

研究生教育书系
信息与电子学科

纳电子器件及其应用

Nanoelectronic Devices and Applications

蔡 理 编著

電子工業出版社

Publishing House of Electronics Industry

北京 · BEIJING

内 容 简 介

纳电子器件是微电子器件的下一代新器件，是电子器件发展的重大变革，是纳电子学的重要组成部分。全书主要分为三个部分：(1)概述纳电子学的发展和基础理论；(2)介绍纳电子器件理论、由纳电子器件构成的电路及其应用；(3)纳电子器件应用中的问题。全书共分8章，包括：纳电子学和纳电子器件发展概述；纳电子学基础；共振隧穿器件；单电子器件；量子点器件；SETMOS混合器件；碳纳米管器件；纳电子器件应用中的问题。

本书可以作为从事纳电子学、纳电子器件和相关领域的科学家、工程师及高校教师阅读的参考书，也适合作为高等院校电子科学与技术、微电子学、应用物理、电子工程等有关专业的硕士研究生、博士研究生或本科高年级学生参考用书。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有·侵权必究。

图书在版编目(CIP)数据

纳电子器件及其应用 / 蔡理编著. —北京：电子工业出版社，2009.5

(研究生教育书系·信息与电子学科)

ISBN 978-7-121-08907-7

I. 纳… II. 蔡… III. 纳米材料—电子器件—研究生—教材 IV. TN103

中国版本图书馆 CIP 数据核字(2009)第 081058 号

策划编辑：李秦华

责任编辑：李秦华

印 刷：

装 订：

出版发行：电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本：720×1000 1/16 印张：17.25 字数：386 千字

印 次：2009 年 5 月第 1 次印刷

印 数：3000 册 定价：39.00 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：(010)88254888。

质量投诉请发邮件至 zltz@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：(010)88258888。

前 言

纳米科学技术是科学发展跨时代的主要内容之一，是21世纪高新科学技术的重要基础。纳米科学技术的核心是纳电子学，它是研究纳电子器件及集成纳电路系统理论和技术的核心。纳电子学涉及的研究领域非常广泛，主要是指在纳米尺度的结构中，探测、识别与控制单个量子或量子波的运动规律等，其发展动力是持续不断缩小的传统硅技术已达到纳米级，因此，发展可替代的新器件技术使电子器件最终达到分子级的极限是非常有必要的。纳电子器件不仅仅是微电子器件尺寸的进一步缩小，更重要的是它们的工作机理将依赖于器件的量子效应特性，而且其功能也有很多突破。纳电子学的研究将从根本上改变电子科学技术的面貌，超越目前集成电路发展中遇到的物理和工艺技术极限，发展全新的集成电路设计和制造方法。目前，基于新效应、新物理机制的新电子器件还在不断涌现，微纳电子器件产业的蓬勃发展将对现代信息化社会和人类的进步起到广泛而深远的影响。

纳电子器件是微电子器件的下一代新器件，是电子器件发展的重大变革，是纳电子学的重要组成部分，它在未来的应用将是不争的事实。纳电子器件与传统的微电子器件相比有很多不同之处，如纳电子器件具有量子隧道效应、库仑阻塞效应、库仑振荡和负微分电阻等特性，其电压-电流呈现很强的非线性特性。针对纳电子器件这些特点展开深入研究，掌握它们的基本工作机理，建立适合准确的电路模型和分析的基本方法，以便于为不久的将来在条件成熟时，能够尽快进行集成电路硬件实现提供可借鉴的理论基础，这是我们每个集成电路理论研究者需要进行探讨的工作。

本书的构思企图是立足于突出纳电子器件、电路与系统，以及潜在应用等方面，着重阐述纳电子器件的理论性和实用性。介绍了一些新兴的纳电子器件，并将重点放在这些新器件的理论及其电路应用方面。将最新的研究成果(包括作者课题组多年的工作)尽可能多地体现在本书中，为这一新兴学科的发展提供新血液。

参与本书编写的还有康强副教授、王森博士、李芹博士和博士研究生吴刚、冯朝文、曾凡喜，感谢研究生孙铁署、陈学军、史党院的研究工作对本书编写的贡献。作者所在的“微纳电子器件研究小组”多年科技活动日的研讨和多项研究课题的成果都为本书提供了极大的支撑。

在本书出版之际，作者衷心感谢陕西省自然科学基金计划项目多年的资助。

还要感谢电子工业出版社的李秦华编辑，从本书的选题到策划出版都付出了大量的时间和精力。

在本书编写过程中，作者参阅了大量的文献和专著，吸取了很多宝贵的新观点，在此对这些参考文献和著作的作者表示最诚挚的谢意。

本书虽然在出版前已历经两届研究生试用，作者也对书稿进行了多次修改和校正，但由于本学科领域涉及内容新、范围广、参考文献众多，而且发展之迅速都是作者所不能顾及周全的，加之作者水平有限，书中一定会出现许多错误和不妥之处，恳请广大读者不吝批评指正。

作 者

2008 年 12 月

目 录

第 1 章 绪论	(1)
1.1 引言	(1)
1.2 微电子学向纳电子学发展及限制	(3)
1.2.1 微电子学向纳电子学发展	(3)
1.2.2 微纳电子器件的技术限制	(5)
1.3 纳电子学的研究与发展	(8)
1.3.1 纳电子学研究	(8)
1.3.2 纳电子学的发展	(10)
1.4 纳电子器件	(13)
1.4.1 引言	(13)
1.4.2 纳电子器件种类	(13)
1.4.3 纳电子器件应用	(18)
参考文献	(23)
第 2 章 纳电子学基础	(34)
2.1 纳结构中量子效应	(34)
2.1.1 电导量子	(34)
2.1.2 弹道输运	(35)
2.1.3 普适电导涨落	(36)
2.1.4 库仑阻塞	(37)
2.1.5 量子相干效应	(38)
2.2 Landauer-Büttiker 电导公式	(39)
2.2.1 两端单通道 Landauer 电导公式	(39)
2.2.2 两端多通道 Büttiker 电导公式	(40)
2.2.3 弹道结构的电导系数	(41)
2.3 单电子隧穿	(42)
2.3.1 单电子隧穿现象及条件	(42)
2.3.2 电流偏置单隧道结	(44)
2.3.3 单电子岛(双隧道结)	(47)

2.3.4 电子输运的主方程	(49)
2.4 库仑台阶和库仑振荡	(50)
2.4.1 引言	(51)
2.4.2 库仑台阶	(51)
2.4.3 库仑振荡	(53)
参考文献	(54)
第 3 章 共振隧穿器件	(57)
3.1 共振隧穿效应	(58)
3.1.1 共振隧穿现象	(58)
3.1.2 共振隧穿机理	(58)
3.2 共振隧穿器件输运理论	(60)
3.2.1 量子力学基础	(60)
3.2.2 双势垒量子阱结构共振隧穿二极管的两种物理模型	(63)
3.3 共振隧穿二极管的特性分析	(66)
3.3.1 共振隧穿二极管的特性及参数	(67)
3.3.2 散射和材料结构对器件特性的影响	(68)
3.4 共振隧穿二极管模型	(70)
3.4.1 电路模拟模型	(70)
3.4.2 物理基础的 RTD 模型	(72)
3.5 RTD 器件的数字电路	(74)
3.5.1 RTD 的基本电路	(75)
3.5.2 单-双稳转换逻辑单元的工作原理	(77)
3.5.3 单-双稳转换逻辑单元构成的数字电路	(79)
3.5.4 基于 RTD 的多值逻辑电路设计	(80)
3.6 RTD 的模拟电路及其应用	(82)
3.6.1 振荡器电路	(82)
3.6.2 细胞神经网络神经元电路	(83)
3.6.3 混沌振荡器电路	(83)
参考文献	(87)
第 4 章 单电子器件	(91)
4.1 单电子盒	(91)
4.2 单电子陷阱	(93)
4.3 单电子晶体管	(93)
4.3.1 SET 的结构及原理	(93)

4.3.2	SET 的特性	(95)
4.3.3	多栅极 SET 的结构及原理	(96)
4.3.4	多栅极 SET 的 I - V 特性	(96)
4.3.5	SET 的数值模拟方法和仿真模型	(98)
4.4	单电子旋转门	(105)
4.5	单电子泵	(106)
4.6	单电子器件的模拟电路应用	(106)
4.6.1	超高灵敏静电计	(106)
4.6.2	单电子能谱仪	(108)
4.6.3	计量标准应用	(108)
4.6.4	红外辐射探测器	(109)
4.6.5	基于 SET 的模拟滤波器	(110)
4.6.6	基于 SET 的细胞神经网络	(112)
4.7	单电子器件的数字电路应用	(115)
4.7.1	基于 SET 的逻辑电路	(115)
4.7.2	单电子存储器	(118)
4.7.3	基于 SET 的数字滤波器	(120)
	参考文献	(123)
第 5 章	量子点器件	(127)
5.1	量子元胞自动机	(127)
5.1.1	量子元胞自动机的结构	(127)
5.1.2	量子元胞自动机的原理	(128)
5.1.3	量子元胞自动机的特性	(129)
5.2	量子元胞自动机基本电路	(130)
5.3	量子元胞自动机的仿真方法	(131)
5.3.1	元胞间哈特里逼近法	(131)
5.3.2	模拟退火法	(132)
5.3.3	遗传模拟退火法	(133)
5.3.4	QCADesigner 软件仿真	(136)
5.3.5	SPICE 模型仿真	(137)
5.4	量子细胞神经网络及其应用	(138)
5.4.1	量子细胞神经网络的机理	(138)
5.4.2	量子细胞神经网络的非线性特性	(140)
5.4.3	QCNN 的追踪控制应用	(146)

5.4.4	QCNN 的图像处理应用	(153)
5.5	量子元胞自动机逻辑电路及应用	(165)
5.5.1	基于量子元胞自动机的异或门和加法器设计	(165)
5.5.2	量子元胞自动机移位寄存器	(168)
5.5.3	量子元胞自动机存储器设计	(171)
5.5.4	量子元胞自动机数字电路设计方法	(174)
	参考文献	(179)
第 6 章	SETMOS 混合器件	(184)
6.1	SETMOS 混合器件结构及特性	(184)
6.1.1	SETMOS 混合器件的结构	(184)
6.1.2	SETMOS 混合器件的工作原理及特性	(186)
6.2	SETMOS 混合器件的模型	(188)
6.2.1	SETMOS 混合器件的模型建立	(189)
6.2.2	SETMOS 混合器件的仿真	(190)
6.3	SETMOS 混合器件模拟电路应用	(192)
6.3.1	SETMOS 积分器	(192)
6.3.2	SETMOS 滤波器	(194)
6.3.3	基于 SETMOS 混合器件的细胞神经网络	(196)
6.4	SETMOS 混合器件数字电路应用	(206)
6.4.1	多值逻辑	(206)
6.4.2	逻辑门电路	(209)
6.4.3	SETMOS 混合器件的数字电路应用	(212)
	参考文献	(217)
第 7 章	碳纳米管器件	(220)
7.1	碳纳米管的结构、电特性及制备方法	(220)
7.1.1	碳纳米管的结构	(220)
7.1.2	碳纳米管的电特性	(222)
7.1.3	碳纳米管的制备	(224)
7.2	碳纳米管场效应管	(225)
7.2.1	CNTFET 的 I - V 特性曲线	(225)
7.2.2	P 型和 N 型 CNTFET	(226)
7.2.3	接触势垒	(228)
7.2.4	局部栅 CNTFET	(228)
7.2.5	双极型 CNTFET	(230)

7.3	碳纳米管场效应管建模方法	(231)
7.3.1	基于弹道运输的建模方法	(231)
7.3.2	肖特基势垒建模方法	(232)
7.4	碳纳米管器件的应用	(234)
7.4.1	基于 CNTFET 的二极管	(234)
7.4.2	基于 CNTFET 的逻辑电路	(236)
7.4.3	基于 CNTFET 的振荡器	(237)
7.4.4	基于双栅极 CNTFET 的可重配置逻辑电路	(238)
7.4.5	基于 CNTFET 的多值逻辑电路	(239)
	参考文献	(241)
第 8 章	纳电子器件应用中的问题	(243)
8.1	单电子晶体管随机背景电荷影响	(243)
8.1.1	单电子晶体管随机背景电荷的产生	(243)
8.1.2	背景电荷对单电子晶体管的影响	(244)
8.1.3	单电子晶体管背景电荷的解决方法	(244)
8.2	影响 SETMOS 混合器件工作的因素	(246)
8.2.1	CMOS 器件噪声分析与抑制	(246)
8.2.2	SETMOS 混合电路设计中偏置电流源的影响	(248)
8.2.3	泄漏能耗的影响与控制	(248)
8.3	量子细胞神经网络的非理想因素	(249)
8.3.1	QCNN 中的非理想因素的类型	(249)
8.3.2	非理想因素对 QCNN 的影响	(250)
8.3.3	非理想因素影响的结果分析	(255)
8.4	其他器件的非理想因素影响	(256)
8.4.1	散射对 RTD 的影响	(256)
8.4.2	RTD 的集成技术	(257)
8.4.3	RTD 应用电路的发展展望	(259)
8.4.4	碳纳米管场效应管制备及特性中的问题	(260)
	参考文献	(261)
	参数符号	(263)
	缩略语	(266)

第 1 章 绪 论

今天人们生活在信息社会中，对信息的依赖和占有程度越来越高，而信息的获取、放大、存储、处理和传输等都离不开微电子技术，因此微电子学的应用显得越来越重要。微电子学研究发展的核心是集成电路 (Integrated Circuit, IC)，21 世纪将是集成电路及其相关领域持续发展的新世纪。随着微电子技术的发展，集成电路的集成度不断攀升，集成化器件的特征尺寸已进入深亚微米、纳米级 (如 100 nm 以下)，在原理、结构和制造工艺等方面有许多重大突破，同时出现了许多新概念、新机理的电子器件，因此，纳电子学应运而生，其发展研究已成为一个前沿热点领域，而纳电子器件是纳电子学重要的组成部分，它的理论和潜在应用研究必将成为关注的焦点。微纳电子器件方面的技术进步，在今后相当长的时期内仍会继续保持其突飞猛进、日新月异的势头。本章将主要概述微电子学向纳电子学发展及限制、纳电子学和纳电子器件的研究与发展。

1.1 引 言

集成电路科学技术的快速发展，使得电子器件的尺寸越来越小。根据 2007 年 12 月修订版的国际半导体技术路线图 (International Technology Roadmap for Semiconductors, ITRS)，物理栅长达到 18 nm、10 nm 和 5 nm 的微处理单元将分别于 2010 年、2015 年和 2021 年实现批量生产^[1]，如表 1.1 所示。ITRS 对动态随机存取存储器 (Dynamic Random Access Memory, DRAM) 的半间距、微处理器单元 (Microprocessor Unit, MPU) 和专用集成电路 (Application Specific Integrated Circuit, ASIC) 的半间距、快闪存储器 (简称闪存, Flash Memory) 的半间距、MPU 的光刻栅长和 MPU 的物理栅长进行了预测。ITRS 给我们提出了一系列的重要课题，包括系统驱动器、设计、测试及测试设备、新兴 (候选) 的研究器件、互连、模型与仿真，等等。ITRS 为未来 15 年的研发需求提供了权威性的预测和指导。在这样的技术背景下，对于未来几代纳米集成电路设计中的纳电子器件模型和仿真工具，以及纳电子器件的特性、纳米集成电路与系统的理论及潜在应用等方面，我们现在就必须对它们进行研究和探索。

众所周知，1965 年 Intel 公司的创始人之一摩尔 (G. Moore) 科学而及时地总结了集成电路的发展规律，提出了著名的摩尔定律：“每隔 18 个月新芯片的晶体管数量要比先前增加一倍，同时性能也会提升一倍”，微电子学中的半导体硅技术已经很好地

遵循了摩尔定理 40 多年，实践证明摩尔定律具有强大的经济生存能力。然而，随着集成电路的集成度越来越高，晶体管的特征尺寸和集成电路的最小线宽也越来越小，摩尔定律受到了极大的挑战，出现了这个行进步伐将有放慢的迹象，以至于一些学者认为，当达到微电子技术的基本物理限制时，将陷入停滞状态^[2]。其中互连问题和功率耗散是造成这一速度减慢的主要技术限制^[2-3]。但是，近年来由于研究者的不懈努力，通过集成电路技术的不断发展，关键是主流硅基 CMOS (Complementary Metal Oxide Semiconductor) 技术的高度成熟，近几年的研究表明，器件尺寸按比例缩小 (Scaling down) 的规律还将持续^[4-5]。在 CMOS 器件尺寸缩小到 10 nm 之前，不会遇到基本物理原理的限制，因为它的最小沟道长度受制于从源极到漏极的量子隧道效应，其约在 10 nm 以下。根据最新的文献资料显示，摩尔定律在 CMOS 器件最终的物理极限到来之前可能将延伸 10~15 年。

表 1.1 ITRS 对半导体技术发展趋势的预测 (2007. 12)

近期的发展趋势

生产年份	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM 半间距 (nm)	65	57	50	45	40	36	32	28	25
MPU/ASIC 半间距 (nm)	68	59	52	45	40	36	32	28	25
Flash 半间距 (nm)	54	45	40	36	32	28	25	23	20
MPU 光刻栅长 (nm)	42	38	34	30	27	24	21	19	17
MPU 物理栅长 (nm)	25	23	20	18	16	14	13	11	10

长远期的发展趋势

生产年份	2016	2017	2018	2019	2020	2021	2022
DRAM 半间距 (nm)	22	20	18	16	14	13	11
MPU/ASIC 半间距 (nm)	22	20	18	16	14	13	11
Flash 半间距 (nm)	18	16	14	13	11	10	9
MPU 光刻栅长 (nm)	15	13	12	11	9	8.4	7.5
MPU 物理栅长 (nm)	9	8	7	6.3	5.6	5.0	4.5

另一方面，集成电路的这些障碍也许提供了可选择其他新电子器件技术的机会，这些技术适用于设计纳米尺度的范围，而且以适当的结构相互连接。因此，有较早出现的基于共振隧穿效应的共振隧穿器件 (Resonant Tunneling Device, RTD)^[6]，还有基于单电子隧道效应和库仑阻塞现象的单电子器件 (Single-Electron Device, SED) 已出现了好多种，其中比较典型的例子是单电子晶体管 (Single-Electron Transistor, SET)^[7-8]，以及能够用于实现高密度低功率存储器的量子元胞自动机 (Quantum Cellular Automata, QCA)^[9]。此外，利用 QCA 还可以构造元胞局部耦合的网络，即所谓的量

子细胞神经网络(Quantum Cellular Neural Network, QCNN)^[10-11], 它是在纳米级实现细胞神经网络(Cellular Neural Network, CNN)^[12]的技术进步。目前, 对碳纳米管(Carbon Nanotubes, CNT)^[13]、纳米线(Nanowires, NW)、分子器件(Molecule Devices, MD)和自旋晶体管(Spin Transistor, ST)的研究^[14-16]也是热点之一。

综上所述, 20 多年来人们将微电子学向纳电子学领域推进的过程中, 经历了两个层面的创新和革命: 一是通过对现有以硅基 CMOS 为主的集成电路技术的不断改进和革新, 将器件的尺寸按比例缩小的规律降至纳米量级, 即纳米 CMOS 器件需要从结构、加工技术以及材料选用等各个方面进行创新; 二是发展新概念、新物理机理的纳电子器件。进而产生了新兴的学科领域: 纳电子学与单电子学^[8, 17-18], 其内涵将在本章 1.3 中阐述。

1.2 微电子学向纳电子学发展及限制

微电子学及超大规模集成电路的飞速发展使得人类在计算机、电子通信、航空航天等重大经济领域取得了突飞猛进的进展, 它们已经成为现代各行各业智能工作的基石。并且极大地影响着我们每个人的日常生活方式, 如因特网和手机的普及、个人计算机和数码产品的大量应用。但是, 随着微加工技术的发展, 微电子器件的集成度越来越高, 当器件尺寸进入纳米级时, 会遇到一些难以逾越的技术瓶颈, 给微电子学的进一步发展带来了一些限制。

1.2.1 微电子学向纳电子学发展

自从1947年晶体管发明以来, 其在尺寸方面持续减小而在开关速度上不断增加。晶体管的这种指数发展速度已经在信息获取、处理和通信技术领域里导致了一场革命。1958年美国科学家基尔比(J. Kilby)发明了集成电路, 开创了微电子技术发展的新时代, 特别是1960年以后, MOS晶体管及其集成电路的出现, 开始了微电子工业蓬勃发展的历史进程。这些发展极大地推动了世界性的产业革命和人类社会的进步。在这中间起决定性作用的是在硅(Si)晶片上工作的CMOS场效应晶体管的发明, 它的制造工艺在不断发展, 以它为基础的超大规模集成电路的设计手段也在不断改进。如今几乎90%以上的电子器件和电路都是以Si为基础的^[19-20]。硅微电子技术的发展主要体现在三个方面: 器件的特征尺寸和集成电路的最小线宽按等比例缩小的规律发展, 集成电路向着系统芯片(System on Chip, SoC)的方向发展, 以及微电子技术与其他领域相结合所产生的新产业和新学科, 比如微机电系统(Micro Electro-Mechanical Systems, MEMS)技术^[21]、DNA芯片(DNA Chip)^[22]等。

1. 按比例缩小规律发展

40 多年来,器件的特征尺寸一直是按比例缩小的规律发展,即遵循着摩尔定律发展。以芯片巨头 Intel 的微处理器研究发展的规模为例^[23]:1971 年,Intel 推出世界上第一片微处理器 4004,线宽 $10\mu\text{m}$,集成 2300 个晶体管;1979 年,第一片成功用于个人电脑的 CPU 8088 内含 2.9 万个晶体管,线宽 $2\mu\text{m}$;1989 年,80486 微处理器芯片集成了 120 万个晶体管,首次突破了 100 万个的界限,同时,线宽也突破了 $1\mu\text{m}$,达到 $0.8\mu\text{m}$;1997 年,Pentium 微处理器包含有 750 万个晶体管,最小线宽从 $0.35\mu\text{m}$ 达到 $0.25\mu\text{m}$,工艺技术到了深亚微米级;2001 年,Intel 公司更是将其生产工艺提升到 $0.13\mu\text{m}$,其 Northwood Pentium 处理器已集成 5200 万个晶体管;2003 年,Intel 生产的 Centrino 微处理器,晶体管数目为 1 亿 4000 万个,其生产工艺到达 90 nm,硅基 CMOS 工艺技术已进入了纳米级;随后的 2005 年,以 65 nm 工艺技术生产了 Intel 双核 Conroe 系列微处理器,它含有 2 亿 9100 万个晶体管;2007 年,Intel 又为半导体制造技术带来了一次革命,生产出的双核 45 nm 处理器 Penryn 拥有 4 亿 1000 万个晶体管,首次采用了高 k 金属栅技术,成为了 45 nm 工艺制程新的 CMOS 结构的分水岭;2008 年 11 月,Intel 公司发布了基于 Nehalem 架构的 Core i7 处理器,晶体管数目达 7.31 亿个,这是 Intel 公司迄今为止最先进、性能最强劲,同时也是结构最为复杂的台式机处理器。目前,根据 Intel 公司的计划,将于 2009~2010 年使技术结点过渡到更先进的 32 nm 工艺^[24]。

纵观 Intel 微处理器的工艺发展路线图可知,从微米芯片到纳米芯片的演变都是在不断地进行着工艺材料与结构的创新和改革,是一个承前启后、持续发展的过程,才使得摩尔定律能够继续延伸。根据 2007 ITRS 的预测和 Intel 公司芯片生产的时间表^[1,23],不难得出,基于硅基 CMOS 器件到物理栅长 10 nm 时即为极限,对于亚 10 nm 栅长的器件,将要采用硅纳米线、碳纳米管和单电子器件,等等,因此对它们进行理论和开发应用研究是非常重要的。

2. 集成电路向系统芯片(SoC)发展

集成系统芯片(SoC)的迅速发展是源于 20 世纪 90 年代,它是基于硅基 CMOS 工艺,但又不限于 CMOS 和硅平面加工工艺。SoC 是以硅基 CMOS 为基础技术,将整个电子系统或子系统集成在一个芯片上或几个芯片上然后将它们封装在一起的。集成芯片系统的发展是以应用为驱动的,所以随着社会信息化的进程,它将会越来越重要,可以认为 21 世纪仅仅只是开始。SoC 将进入空间,进入家庭,进入人体,进入一切需要掌握信息、处理信息的空间和时间。有的科学家把它称之为 U-SoC,即 User SoC 或 Uni-SoC,是新的硅产业周期的驱动力^[25]。

SoC 是从整个系统的角度出发,把处理机制、模型算法、芯片结构、各层次电路

直至器件的设计紧密结合起来,在单个芯片上完成整个系统的功能。SoC必须采用从系统行为级开始自顶向下(Top-down)的设计。SoC的优势主要体现在:嵌入式模拟电路的核(Core)可以抑制噪声,嵌入式CPU Core可以更灵活地设计,还降低了功耗,并减少大量的输出缓冲器,同时可以使DRAM和CPU之间的速度接近。SoC与IC组成的系统相比,由于SoC能够综合并全盘考虑整个系统的各种情况,可以在同样的工艺技术条件下实现更高性能的系统指标。

3. 微电子技术与其他领域相结合

微机电系统(MEMS)或微光机电系统(Micro-Optical Electro-Mechanical Systems, MOEMS)^[25]技术是微电子技术与机械、光学等领域结合的产物,具有体积非常小、重量非常轻等特点。MEMS通常指集微型传感器、微型执行器、信号处理和控制电路、接口电路、通信系统以及电源于一体的微型机电系统。MEMS技术是一种多学科交叉的前沿性领域,它几乎涉及自然及工程科学的所有领域,如电子、机械、光学、物理学、化学、生物医学、材料科学、能源科学等。MEMS在航空、航天、汽车、生物医学、环境监测、军事以及几乎人们接触到的所有领域中都有着十分广阔的应用前景,如微惯性器件能应用于制导、卫星控制、汽车自动驾驶等,还可以用于医疗、高密度存储和显示、光谱分析、信息采集,等等。目前,随着纳电子器件的发展,MEMS已向着纳机电系统(NanoElectro-Mechanical Systems, NEMS)方向演变^[26]。

DNA芯片技术即基因芯片技术,是以生物科学为基础,利用生物体、生物组织或细胞等的特点和功能,设计构建具有预期性状的新物种或新品系,并与工程技术相结合进行加工生产的。具体讲就是利用光刻合成、高速打印或电定位等技术,在支持物硅、玻璃或尼龙膜上按照特定的排列方式有序地固化大量的基因探针,形成DNA微阵列^[22]。因此,它是微电子技术与生物工程技术相结合的产物。据资料报道,采用微电子加工技术,可以在指甲盖大小的硅片上制作出包含有多达10万种DNA基因片段的芯片。利用这种芯片可以在极快的时间内检测或发现遗传基因的变化等情况,可用于遗传学研究、疾病的诊断、治疗和预防,以及转基因工程等领域。

1.2.2 微纳电子器件的技术限制

虽然微电子技术给人类的发展带来了巨大进步,但是研究表明,当电子器件尺寸和集成电路的特征线宽进入纳米级(100 nm以下)时,以硅基CMOS器件为主流的集成电路将面临很多技术障碍。具体来讲,硅微电子技术将受到来自三个方面的限制和挑战^[19-20]:物理方面,主要包括短沟效应、绝缘氧化层量子隧道效应、沟道掺杂原子统计涨落和功耗等;技术方面,主要是寄生电阻和寄生电容、互连延迟和光刻技术等;经济方面,主要体现在制造成本昂贵、难以承受等。这些限制已经成为

微电子学技术继续发展的重大瓶颈。这里着重对硅基 CMOS 器件所面临的几个主要问题加以阐述。

1. 短沟、窄沟效应

短沟效应 (Short Channel Effects, SCE) 是指器件沟道长度减小到一定尺度后, 源、漏结的耗尽层相对于整个沟道长度的比重加大, 栅极下的硅表面形成反型层所需的电荷量减小, 所以阈值电压就减小了。短沟道器件的阈值电压对沟道长度变化很敏感, 沟道越短其影响越大。研究还表明, 进入纳米级的量子效应会使 SCE 效应加强。与此同时, 衬底内耗尽层沿沟道宽度侧向展宽部分的电荷使阈值电压增加。当沟道宽度减小到与耗尽层宽度相当时, 阈值电压增加就变得十分显著。

2. 绝缘氧化层量子隧道效应

随着 CMOS 器件尺寸的不断缩小, 栅绝缘氧化物层的厚度已减小至几纳米量级, 这时电子的直接隧穿效应加剧, 引起栅极泄漏电流成为无法忽视的重要问题^[4, 27], 将导致器件不能正常工作, 严重影响器件的稳定性和可靠性。因此, 量子隧道效应对器件中载流子输运的影响日益严重, 它包括了栅极到衬底之间的隧穿电流, 栅极到沟道之间的隧穿电流 (其可分为经沟道到源、漏之间的隧穿电流)。这些电流使得晶体管处在“关闭”状态也会有电子隧穿电流产生, 导致器件不能正常工作, 这将成为器件按比例缩小达到极限的主要影响因素。目前 Intel 公司生产的 45 nm 芯片, 首次采用的高 k 金属栅技术是解决该问题很好的途径, 成为了未来纳米芯片的新型栅结构。

3. 沟道掺杂原子统计涨落

众所周知, 在制造 CMOS 器件时需要向硅中注入一定的掺杂物。由 MOS 管的原理可知, 在注入离子时, 掺杂原子在器件沟道位置的随机变化会影响 MOS 管电参数的变化。当 MOS 管的尺寸减小时, 掺杂原子在器件中的平均数量将减小, 因此, 掺杂原子数目和它们在器件沟道中的所在位置的随机变化将增加^[28], 将会存在掺杂原子的统计涨落, 这可能导致电导涨落非常明显。而在标准的制造工艺中, 掺杂原子是通过随机散射过程在沟道中寻找到各自的所在位置, 所以, 掺杂原子在沟道中的数目和排列的随机效应是器件的固有效应, 人们不能在标准的制造工艺中把它们取消掉。这个效应将影响器件和整个电路的性能, 比如电流的驱动能力和传输滞后的随机变化, 还将引起 MOS 管阈值电压的随机变化。

4. 寄生电阻和电容与互连延迟

伴随着器件特征尺寸和集成电路的线宽越来越小, 器件的互连线分布寄生电阻和电容却在不断增加, 使得电路在工作速度和集成度方面对 CMOS 工艺技术构成了制约。由于器件的电阻和电容会在器件间产生时间延迟效应, 即 $\tau = RC$, 其中, R

和 C 是互连线上的总电阻和电容。因此,互连问题将是未来纳米CMOS 工艺发展的主要限制之一,以至于有文献称其为“互连专治”^[3,29]。其实为了克服寄生电阻问题,早在几年前就引入了铜互连线工艺技术。对于寄生电容问题,研究中也有较多低介电常数的连线与硅基片的绝缘层结构出现。对于未来的发展,比较有潜力的应用可能是超导互连技术。

5. 光刻技术限制

在半导体产业中,光刻是集成电路制造的核心技术^[30-31]。几十年来,集成电路之所以能飞速发展,光刻技术的支持起到了极为关键的作用,因为它直接决定了单个晶体管器件的物理尺寸。每一代新的集成电路的出现,总是以光刻所获得的最小线宽为主要标志。光刻技术的不断发展为集成电路的进步提供了技术保证,主要体现在三个方面:(1)大面积均匀曝光,在同一块硅片上加工出大量的器件和芯片,保证批量化的生产水平,即不断地增大硅片直径,从最初的 2 英寸^①直径,逐渐发展到 4 英寸、6 英寸、8 英寸直至目前的 12 英寸直径;(2)光刻的最小线宽不断缩小(现已达到 45 nm),使芯片的集成度不断提高,生产成本也随之下降;(3)集成电路中的晶体管尺寸不断缩小后,随着晶体管的时钟速度的不断加快,集成电路的性能也得以持续不断提高。但是,对于制造纳米范围的CMOS场效应管,光刻技术还有一些重要的问题有待解决,比如,对于电子束光刻技术,它的最大挑战是怎样把它与一般的光刻技术结合起来加以应用。而相对于X射线光刻技术或电子束光刻技术,另一个有效的光刻技术是采用远紫外线(EUV)。

6. 功耗和散热

当 CMOS 集成电路中晶体管数量大幅度增加时,其功耗也将快速增长,器件工作时产生的热量也同样大幅度增加^[32]。集成电路中功耗包括静态功耗和动态功耗,由于泄漏电流的存在,就使得静态功耗不为零。而动态功耗是器件状态在两个稳定状态之间转换时所消耗的能量。仍以芯片为例,大量的发热使芯片很难保证其正常的工作状态,而且芯片的过热还会造成其使用寿命缩短、可靠性降低等严重问题,芯片散热问题成为其进一步发展的很大障碍。因此,降低器件的功耗和解决芯片的散热也已成为微电子学进一步发展的一个主要技术瓶颈。

7. 制造成本昂贵

除了上面所涉及的各种物理和技术方面的限制外,随着集成电路集成度的不断提高,为了满足纳米尺度的工艺精度和技术要求,使得现代芯片的制造设备成本

① 1 英寸 = 2.54 cm。

越来越昂贵,摩尔定律的经济学特性显现,称其为“摩尔第二定律”^[31],即大约每隔4年生产新一代芯片的制造设备成本将是加倍增长的。以 Intel 公司为例,1966 年芯片制造设备造价为 1400 万美元,在 1995 年升为 10 亿美元,在 1997 年达 27 亿美元,而到了 2001 年,在以色列生产 Pentium IV 处理器的制造设备价值达 35 亿美元,实际上,芯片制造设备的成本是每 4.5 年加倍增加的。如果资金投入的趋势是连续的话,一些专家预言,到 2015 年估计将达 2000 亿美元,这大约是 Intel 公司当年(2001 年)的资本净价值^[31]。这样高的制造成本是令制造商们难以承受的。

总而言之,为了克服上述器件物理和互连技术等方面的限制,研究者一方面正在开发诸如高 k 栅介质/金属栅、双栅/多栅器件、应变沟道和高迁移率材料以及铜互连技术(扩散阻挡层)、低介电常数材料、多壁碳纳米管通孔和三维铜互连等;另一方面,在电路设计与制造方面,采用硅基微/纳器件混合电路、光电混合集成和系统集成芯片(SoC)技术等,来进一步提高硅基集成电路的速度和功能,以求延长摩尔定律的寿命^[19-20]。

1.3 纳电子学的研究与发展

众所周知,纳米科学技术是科学发展跨时代的主要内容之一,是 21 世纪高新科学技术的重要基础。“纳米技术”(Nanotechnology)这一术语是由 Taniguchi 在 1974 年首次提出的,主要是因为当时涉及原材料越来越精细的加工和抛光技术^[33]。纳米科学技术是在纳米尺度(0.1~100 nm)空间内,研究电子、原子和分子运动规律和特性的崭新科学技术。然而,正如微米科学技术的核心是微电子学一样,纳米科学技术的核心是纳电子学,它是研究纳电子器件及集成纳电路系统理论和技术的基础。纳电子器件不仅仅是微电子器件尺寸的进一步缩小,更重要的是它们的工作机理将依赖于器件的量子效应特性,而且其功能也有很多突破。纳电子学的研究将从根本上改变电子技术的面貌,超越目前集成电路发展中遇到的物理和工艺技术极限,发展全新的集成电路设计和制作方法。

1.3.1 纳电子学研究

1. 基本概念

纳电子学是指在纳米尺度的结构(量子点或库仑岛)中,探测、识别与控制单个量子或量子波的运动规律;研究单个原子、分子人工组装和自组装技术;研究在量子点内,单个量子或量子波所表现出来的特征和功能;用于信息的产生、传递和交换的器件、电路与系统及其在信息科学技术、纳米生物学、纳米测量学、纳米显微学和纳米机械学等应用的学科。近些年来人们对其已耳熟能详。单电子学是指控制

和操纵单个或几个电子的输运规律,特点是制造容易,它是建立在Averin和Likharev创立的正统单电子理论^[17-18]之上的。参考文献[17]系统地阐述了单电子隧道效应的正统理论(Orthodox Theory),它定量地描述了重要的电荷效应,如库仑阻塞(Coulomb Blockade)和单电子隧道振荡(Single-Electron Tunneling Oscillations)。正统理论是一种唯象的理论分析方法,基于此理论来研究单电子器件的输运机理。应该说纳电子学理论涵盖的面更广,包括了单电子学的内容。单电子学是一门很具有吸引力的技术,它显示出电荷输运的新物理效应,尤其是在数字方面呈现出很多优点和良好的特质^[8],但是,也存在着具有挑战性的几方面问题(详见第8章),有待于科研工作者去很好地研究并解决它,以便于在将来更好地付诸于实用中。

2. 研究内涵

纳电子学是研究纳电子器件及电路系统的理论和技术基础,它的发展将是基于纳米尺度显著的物理特性。从微电子器件演化到纳电子器件,是将研究尺度减小到纳米级,即由有限个电子、原子和分子或是单个电子、单个原子和单个分子等构成的基本功能元器件,具有纳米结构和低维性,然后再由这类新元器件组成更为复杂的器件。每一代新电子器件的诞生需要有三个方面的发展作为基础^[34]: (1)新理论,研究以量子效应和统计涨落占支配地位的器件工作原理,即由半导体器件物理向纳器件的量子统计理论发展; (2)新材料,至少有一个维度为有限个原子组成的纳米级材料,即二维、一维和零维结构的低维材料,其表面和界面原子、电子结构将起重要作用,要求高纯度,结构完善,如由高纯硅、锗、砷化镓等半导体材料向无机/有机复合材料发展; (3)新技术,将能根据理论设计,在原子、分子尺度上制备、剪裁、自组装成为功能元件,并进一步集成,要将现有的光刻、掺杂、外延等技术发展为原子分子尺度上的自组装和裁剪技术。此外,还需要发展相应的表征、分析和测试手段。

实际上,纳电子学研究的核心是纳电子器件及集成电路系统所涉及的理论、材料和技术的发展及变革。纳电子器件不仅仅是微电子器件尺寸的进一步缩小,更重要的是它们的工作将依赖于器件的量子特性,而且其功能也将获得突破。纳电子学的研究将从根本上改变电子技术的面貌,超越目前集成电路发展中遇到的物理和工艺极限,发展全新的集成电路设计和制作方法。

显然,在纳米结构中将失去宏观体系的统计平均性,是以量子效应和统计涨落为主要特征,纳电子学就是探讨这些特性及规律,并利用它们来制成各种功能器件的学科。纳电子学的理论基础是纳结构体系中的各种量子效应,如单电子隧穿现象、库仑阻塞效应、电导量子化、弹道输运、普适电导涨落等,我们将在第2章就本书涉及的相关内容进行阐述。

3. 两条途径

从人类传统概念的“自上而下的制造观”而言，纳电子学是微电子学继续向微小世界、更微小世界不断发展的自然延伸；而从著名物理学家费曼(R. P. Feynman)的“自下而上的单个原子组装观”^[35]而言，它又是在全新概念上用单个原子和单个分子构建量子结构、量子器件、量子电路和量子系统的新领域。因此，人们就可以从两个方向去研究纳电子器件及集成电路系统。

当前研究纳电子器件的两条途径是：一是继承微电子学技术，以 Si、GaAs 等为主的无机半导体材料构成的微电子器件尺寸逐渐小下去，即按比例缩小到纳米级的方法，称为“自上而下”模式；二是从原子、分子入手，基于物理/化学生长、组装，使有机/无机和生物学功能材料的尺度长大起来，形成纳米结构，即利用分子组装成功能器件，称为“自下而上”模式^[34]。

在 1.2.1 节中，阐述了芯片巨头 Intel 微处理器研究发展的过程，充分说明了 CMOS 集成电路一直是按比例缩小的规律演化的，是自上而下发展路径。因此，纵观半导体集成电路的整个发展历程可以看出，微电子器件特征尺寸的按比例缩小原理起了至关重要的作用，也正是这种器件尺寸日渐小型化的发展趋势，促使人们所研究的对象由宏观体系进入到纳米体系。从这个意义上说，纳电子学是微电子学发展的必然结果^[36-37]。

另一方面，原子和分子是组成物质的最小结构单元。许多有机物质都具有超分子结构和多极性结构特征，而这些特征都与被称为“分子自组装”的概念有关。研究证实，要完成一个确定的分子自组装过程，首先要建造基本模块。通常是在溶剂中及合适的溶液条件下，由原子或分子形成确定组分的原子团、超分子、分子集合体、纳米粒子以及其他尺度的粒子基元。而这一过程需要系统中存在不同层次的相互作用，由这些相互作用的差异、协同、分子识别以及热力学驱动完成整个自组装过程^[37-38]。

1.3.2 纳电子学的发展

根据上述分析和许多研究表明，不断缩小的硅纳米技术达到最后极限时，还将会继续这一发展趋势到分子级水平。然而，对于新兴纳电子器件及电路系统的进一步发展，国际半导体技术路线图(ITRS)已经明确了按比例缩小的两种趋势^[1]：一是“经典”的 CMOS 器件与集成系统；二是“非经典”的 CMOS 纳米器件和电路结构，它是基于量子效应和更多的纳电子技术。另外，ITRS 还对各种新兴(候选)的研究器件(非 CMOS)的参数进行了预测^[1]，其中包括：共振隧穿器件(RTD)、单电子器件(SED)、量子元胞自动机(QCA)、碳纳米管(CNT)、纳米线(NW)、分子器件(MD)和自旋晶体

管(ST)等。其实,在纳米级的物理和化学中电子和光子的作用将是更有效的,但是也要充分地认识到,对于在纳米尺度的集成电路、器件和系统还有很多问题有待于解决,需要采用更为有效的集成方法,目前在这方面的研究比较活跃^[39-44]。

对于“非经典”的CMOS纳米器件与集成系统,即CMOS纳电子学研究,它是从微电子学向纳电子学的自然演化,是一个持续按比例缩小规律发展的必然过程,期间会面临很多物理和技术方面的障碍,如1.2.2节所述,这就需要不断地进行技术创新和革新^[45]。与此同时,也在不断涌现出许多新机理和新结构的电子器件,使其更快、更有效、更经济地工作,即新兴的纳电子器件。参考文献[20]试图从某一视角提出了一个时限的观点,期望实现一些新的先进器件类型,使它能投入生产中,如图1.1所示。图中呈现出硅技术产业的时间线路图,比较形象地显示了芯片收益和演化出的新器件与时间的关系,以及作为候选新器件类型能够投入生产的时间表。它可以从一个侧面反映出纳电子学的发展趋势。

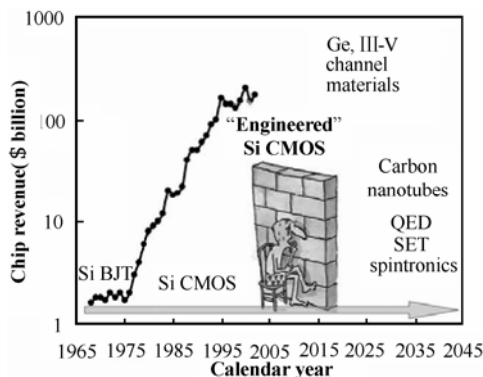


图 1.1 芯片收益与年份的关系^[20](BJT—双极型晶体管, QED—量子电子器件, SET—单电子晶体管等)

而对于新机理的纳电子器件和电路结构是以各种量子效应为基础的,即属于纳电子学的研究。近 20 多年来,从纳米 CMOS 技术发展到具有新机理的研究器件,其中包括单电子器件、共振隧穿器件、量子点器件、碳纳米管和分子器件等,还有纳器件电路结构、集成逻辑电路和存储器,以及光电应用等,这些领域都处于快速发展中,是当前国际前沿研究热点之一。

纳电子器件中有很多都是单电子器件,如本书后面相关章节中涉及的单电子器件、量子点器件和单电子晶体管(SET)与纳米 MOS 混合器件(SETMOS)等。单电子器件中的单电子隧穿现象和库仑阻塞等都是基于单电子学理论的^[8, 46],因此,单电子学是纳电子学中很重要的组成部分。早在 1951 年, Gorter 就正确解释了在低偏置电压下的电流抑制现象,它是由库仑排斥作用引起的,这就是今天人们所认识的库仑阻塞。约 10 年后, Neugebauer 等人在做粒状薄膜实验时,在低偏置电压下发现了同

样的电流抑制现象。此后又经过了 20 多年,直到 1985 年,才由 Averin 和 Likharev 阐明了单电子隧道效应的正统理论^[8, 17]。在这个理论中,定量描述了一些重要的电荷作用,比如,库仑阻塞和单电子隧道振荡。而他们的工作是建立在由 Kulik 和 Shekhter 对一些特例进行研究并明确地做出说明的基础上的^[47]。

实际上,在单电子隧道效应的正统理论被发现之前,20 世纪还有一个为单电子学的发展起着决定性作用的发明出现了,即著名的扫描隧道显微镜(Scanning Tunneling Microscope, STM)^[48],它也是基于对量子力学隧道效应不断地认识、理解的基础上。它是由 Binnig 和 Rohrer 等人于 1981 年在瑞士的 IBM 研究实验室发明的,在 5 年后,他们因这项发明获得了诺贝尔物理学奖。STM 不仅对探查物质的电子和原子结构是不可缺少的测量工具,而且还能够用于在原子级制造人造结构。STM 已经用于建造纳米尺度的几种不同的单电子器件,而且,目前正在研究制造室温下的单电子器件^[8]。

目前,许多研究者关注于由纳电子器件构成的纳集成电路与系统的探索,致力于发展多种用途的纳电子系统,即纳米计算机,以求在纳米尺度能极大地提高集成度和降低能耗,比如多种用途的纳电子存储器和处理器^[43, 49]。而这些进展对于应用更广泛、更普遍的简单电路在缩小尺寸和降低功耗都是很有利的,这些简单电路通常是专门用于某些系统的控制和监测中,它们虽然很不起眼,但应用更为普遍深入,例如,医疗纳机器人技术、模拟/混合信号纳电路、纳米信息存储,等等^[43]。与此同时,开发由这些非 CMOS 候选纳器件构成的超微型、超密集的集成电路与系统也面临着重大的挑战,即纳电路的可靠性问题,它比现有 CMOS 技术的可靠性要低,这是由于这类纳电子器件对环境温度、噪声和材料等因素的高度敏感性,这些物理缺陷将不可避免地导致电路的逻辑门和互连出现故障^[40]。因此,目前出现了许多关于纳电路与系统的可靠性模型设计和方法的研究,使得纳电路与系统更具有容错性和可靠性^[40-42]。还有研究者探究一种自下而上(bottom-up)制备纳电路的新方法,即通过采用 DNA 纳米结构和碳纳米管场效应管(CNTFET)来创建一个分层设计的纳米技术^[44],以适合于纳电子学中由 DNA 引导自组装的电路和系统结构^[50]。另外,纳机电系统(NEMS)也正在科技界中引起了广泛的兴趣^[26],它适用于多种技术应用,如超快传感器、驱动器和信号处理等。

纳电子学的发展还将促进基础理论和科学技术的发展。人们在讨论量子信息加工和量子计算机能否实现,其基础是与信息加工有关的量子系统的基本特性,目前认识到的主要有:叠加性、相干性、牵连性和不确定性。利用这些特性的量子信息加工系统将具有与传统系统惊人的不同;再有,纳电子器件将有相应的材料和裁剪组装技术,它们将与纳米级分辨能力的操纵和自生长、自组装的理论有密切关系,这将是 21 世纪高科技的重要内容。

纳电子学将会在创新与集成中蓬勃发展。虽然我们还无法准确预测纳电子学应用和技术未来不断发展的趋势，但是，可以合理预期未来的电子产品更加纳型化和用途更广泛，如纳电子器件和集成电路、DNA 纳米芯片、纳机电系统(NEMS)^[26]，等等。这些纳电子产品将以更多样的方式帮助人们在家庭、医疗和工作方面的应用，以改善人们的生活质量和健康。

1.4 纳电子器件

1.4.1 引言

如上所述，当器件变得更小、更快且集成度更高时，就必须考虑其量子效应。即使在器件减小到原子或分子这一最终极限之前，也将会遇到四个限制^[51]，即体现在：(1)信号能量接近一个光子能量；(2)信号电荷接近一个电子电荷；(3)器件尺寸接近电子波长；(4)器件尺寸的容差接近一个原子尺寸。显然在这样的情况下，量子现象变得很重要，其影响将极为显著。其实，现在研究的一个方向就是开发纳米尺度器件中出现的量子效应，用以实现目前器件还不能完成的某一功能。在某些应用中，需要工作在上述限制的(1)或(2)或是两者兼有的情形下，量子效应不仅是不可避免的，而且也是所期望的。比如，在天文学中，从单个光子里提取尽可能多的信息是很重要的。量子信息理论中的最新进展显示出，一些完全表现为量子方式的开关元件不会简单地以最小的能量只做计算，而是还能完成用传统计算机不可能做的工作。在量子计算机中，可将通常的比特(bit)用量子(quantum)比特或“qubit”来替代。由于qubit能够相互纠缠，因此就具有了一种在解决高度并行任务中很有用的新型信息。为了读出这样的qubit，即需要放大它们相关的单量子信号，就需要一些新型的器件，即纳电子器件，有时也称为量子器件。

根据1.3节所述纳米科学技术的概念，如果我们将100 nm以下作为纳米尺度，硅基CMOS器件大约在2000年就已进入纳米时代，如图1.2所示^[20]，图中显示半导体产业的技术结点和晶体管特征尺寸与年份的关系。值得注意的是，传统的自上而下微电子学不仅已成为了纳电子学，而且目前正在探索纳米器件的新领域，即自下而上的纳电子学技术和分子电子学。

1.4.2 纳电子器件种类

目前，纳电子器件已出现了几种类型和不同的分类方式。若从电荷的输运方式来区分，纳电子器件可分成两种类型：隧道效应器件和弹道输运器件^[52]。另一方面，从1.3节所述已知，若从现有主流硅基CMOS器件的角度来看，对于纳电子器件可分

为“非经典”CMOS 器件和新机理的纳电子器件^[1]。对于后者，若按器件的结构和工作原理来分类的话，还可进一步细分为共振隧穿器件、单电子器件、量子点器件、碳纳米管器件，等等。另外，还有单电子晶体管 (SET) 与纳米 MOS 的混合器件 (SETMOS)，它结合了 SET 和 MOS 两者的优点。有观点认为，它是与目前工艺结合最紧密的器件，有可能是最早投入应用的器件^[53-54]。本书将着重对这几种纳电子器件进行阐述和探讨。目前还出现有纳米线^[55-56]和自旋晶体管^[57]等，这些纳电子器件都有可能成为硅基 CMOS 器件的候选器件。目前对碳纳米管 (CNT) 关注度比较高^[58-60]，有人甚至预言：“硅以后大约是碳”^[61]，不过作者认为现在下结论还为时过早，因为碳纳米管构成的器件还存在很多亟待解决的问题。对其他候选纳电子器件的研究呼声也很高，如参考文献[62]中 Neto 等人坦言到，量子点元胞自动机 (QCA) 是最有前途替代 CMOS 的超大规模集成电路技术，因为 QCA 之间是依库仑力相互作用的，元胞间没有电流经过，能耗非常小。

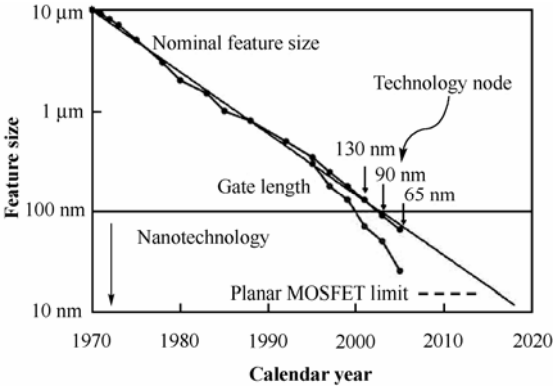


图 1.2 特征尺寸与年份的关系^[20]

1. 共振隧穿器件 (RTD)

RTD 是一种基于电子共振隧穿通过双势垒结构的量子传输器件，是普遍公认地被看做本身就具有高速特征的器件，它的发展相对比较成熟。RTD 包括共振隧穿二极管 (Resonant Tunneling Diode, RTD) 和共振隧穿晶体管 (Resonant Tunneling Transistor, RTT)。共振隧穿二极管 (RTD) 是一种开关速度高的两端器件，在电流-电压 (I - V) 非线性特性曲线中呈现出负微分电阻特性 (Negative Differential Resistance, NDR)^[63-64]，而且 RTD 在电流-电压曲线上还具有多峰特性，这些特性在高速开关器件、多态存储和 A/D 转换电路方面有潜在的优势，并且还适合于进行模拟电路的设计。

如果将两个 RTD 连接在一起，将会有两个稳定的工作点，若将第三个接线端作为一个栅极，则会在两个工作点之间快速转换。另外，若对 RTD 增加一个控制端可

扩展其在多个领域的应用,这个方法已经应用于构造共振隧穿晶体管(RTT)^[65]。RTT具有负跨导特性,能用于几个不同的逻辑电路中,例如在异或门中只需用一个RTT^[66]。有关RTD的基本原理、输运理论、特性分析、器件模型和应用可详见本书第3章内容。

2. 单电子器件(SED)

在单电子器件中,主要是由隧道势垒(隧道结)和岛(库仑岛或量子点)构成,隧道结可以控制每一个电子的单独运动^[45]。为了能够产生量子效应(即库仑阻塞和单电子隧穿现象),与隧道结连接的岛应当足够小,使得当单个电子增加到岛上时,将会引起岛上的电压很显著地增大。所谓正统理论就是用公式表述了单个电子隧穿通过一个特殊隧道势垒现象^[45]。单电子隧道器件包括单电子盒、单电子陷阱、单电子晶体管、单电子旋转门和单电子泵等(详见本书第4章内容)。其中,研究最多、应用最广泛的当属单电子晶体管(SET),它以体积小、功耗低和集成化程度高等特点得到了科学家和研究者的高度重视。SET是三端开关器件,它能将电子从源极一个接一个地输运到漏极。其结构与FET类似^[63],它们最重要的区别在于SET中的沟道是被两个隧道结将源、漏极之间分开,其沟道所起的作用是过渡的小岛(库仑岛或量子点)。特别注意,电子的射入是通过栅极来控制的。在单电子器件中整数个电子的运动是受到库仑阻塞效应制约的。SET的工作参数取决于岛的大小,并且单电子器件已被实验证明是可以在室温条件下工作的^[67-68]。然而,对于SET逻辑电路通常被限制在很低的温度下工作,估计约2 nm SET的逻辑栅参数的工作温度为 $T \approx 20 \text{ K}$ ^[69-70]。

基于单电子效应(即单电子隧穿和库仑阻塞效应)的SET是双隧道结串联结构,其主要特点是:(1)由于它是基于单电子运动和存储,因而功耗特别小;(2)隧道电容和电阻都特别小,且隧穿过程时间很短,所以工作速度特别快(可达几十 THz);(3)因其尺寸在纳米量级,很利于特大规模集成;(4)由于其 I - V 特性曲线具有库仑振荡和库仑台阶特性,便于实现多值逻辑和高频振荡,可以提高器件功能密度。SET的这些优点,使之成为未来CMOS器件最有前途的候选者以及纳电子器件的重要器件^[71]。

单电子器件存在的最严重的问题是所谓的随机背景电荷的影响,即量子点(库仑岛)极易受到邻近电荷的影响^[8]。因此,SET对环境影响非常敏感,一些非理想因素,如材料中杂质电荷、表面缺陷引起的电荷、相邻导体电荷、电磁辐射,等等,都对SET性能产生很大的影响^[8],SET是高灵敏度器件。SET器件存在的另一个问题就是工作温度条件,欲使其能够在室温下可靠地工作,需要使量子点的库仑充电能满足:在 $T=300 \text{ K}$ 时, $E_C = e^2/(2C) \gg k_B T$,这就要求岛的电容 C 小至几个 aF,如此小的(只有几个纳米)量子点在制造上有很大的难度。再者SET还有一个显著的不足就是增益低。目前这些问题正受到研究者的高度关注,并且有些问题已经得到

解决或者是可以加以利用的。

3. 量子元胞自动机(QCA)

1993 年, Notre Dame 大学的 C. Lent 教授等人提出了用铝量子点和氧化铝隧道结来实现量子元胞自动机(QCA)^[9, 72]。因此, QCA 的原型是电子 QCA (E: QCA)^[63-64], 其单一的 QCA 通常是由 4 个、5 个或 6 个单独的量子点或孤岛及隧道结组成。在由 4 个量子点和 2 个多余电子构成的 QCA 元胞中, 量子点在一个正方形元胞的 4 个拐角处^[73-74]。由于库仑静电排斥作用, 两个电子将占据对角线上的量子点位置, 因此, 单个元胞具有 2 个完全极化的状态, 形成 2 个稳定基态。QCA 也属于单电子器件, 其量子点之间的物理相互作用为库仑相互作用和量子隧道效应。

标准的固态 QCA 元胞可以设计为, 在元胞内的量子点之间的距离大约为 20 nm, 而相邻元胞之间的距离大约为 60 nm。在 Lent 提出的假设单分子级 QCA 元胞中, 它要求分子中的电荷局限在特殊的点上, 并且能够在这些点之间隧穿^[75]。对于这种分子级的 QCA, 其元胞内的点之间距离期望值大约是 2 nm, 而元胞之间距离约为 6 nm。

任何由 QCA 实现的逻辑功能电路都是由 QCA 元胞阵列组成。在 QCA 典型电路中, 其特点是元胞规则排列, 彼此通过库仑力只与相邻元胞相互作用, 具有局部相互连接的结构。元胞之间的耦合是通过静电相互作用, 而不是导线, 这种阵列从原理上是能够编码数字信息的。例如, Tougaw 和 Lent 等人首先基于 QCA 设计了基本逻辑门、线、拐角、扇出、择多逻辑门和全加器^[76], 等等。关于量子点器件的详细内容参见本书第 5 章。

QCA 与所有单电子器件一样也存在一个严重的问题, 就是对背景电荷非常敏感, 现在还没有更好地解决此问题的可行性方案。QCA 器件还存在另一问题, 在室温条件下固态 QCA 系统是不能工作的, 对于标准固态 QCA 元胞, 其最高工作温度估计约为 7 K^[73]。

另外, 相对于电子 QCA (E: QCA), 还有磁性 QCA (M: QCA) 的概念^[63-64], 提出采用铁磁点 (Ferromagnetic dot), 估计其最小尺寸大约是 20 nm, 而 M: QCA 元胞的最小尺寸约为 100 nm。在 2007 ITRS 新兴的研究逻辑器件中, 似乎更强调对 M: QCA 元胞性能和参数的阐述^[64]。

4. SETMOS混合器件

显然, SETMOS 混合器件是由 SET 和纳米 MOS 器件组合而成的。它结合了 SET 和 MOS 两者的优点, 即 SET 具有尺寸小、功耗低、高密度性和库仑阻塞振荡等特点, 但又存在灵敏度高、增益低等不足^[77], 而传统的 MOS 晶体管却具有低灵敏度、低输出阻抗、高增益等特点, 两者具有很好的互补性。另外, SETMOS 混合器件还具有

周期性的负微分电阻 (NDR) 特性^[53, 77]。

SET 和 MOS 为两种不同的三端器件，它们之间因其连接形式的不同而有不同的混合结构，由此产生的传输特性也有所不同。从近年来的报道可以总结出，SETMOS 混合器件比较典型的结构有两种：一种是由 Ionescu 等人于 2001 年提出的 SETMOS 结构^[78]，称为 SET 漏极恒压偏置下的串联 SETMOS 结构，其特点是 SET 的漏极被一个工作于亚阈值区的 MOS 管的栅源电压控制在一个相对恒定的电压值上，通过 SET 栅极电压的变化来控制恒流源偏置下的 MOS 漏极电压，常用于数字电路设计 and 应用中；另一种也是由 Ionescu 等人于 2004 年提出的，称为 SET 漏极恒流偏置下的并联 SETMOS 结构^[79]，其特点是 SET 的漏极被恒流源偏置，通过 SET 栅极电压的变化达到控制 MOS 管漏极电流的目的，其中，MOS 管工作在亚阈值区（弱反型区）的起始处，以获得有效的库仑阻塞区和低功耗，因此在 SETMOS 中，输出漏电流成指数倍地放大了恒流源偏置下 SET 的漏极电压振荡行为，其可用于数字电路和模拟电路的设计和应用。关于 SETMOS 混合器件的详细内容参见本书第 6 章。

5. 碳纳米管 (CNT) 器件

碳纳米管 (CNT) 是一种典型的一维纳米材料，首次由日本 NEC 公司的 S. Iijima 博士于 1991 年发现^[80]。CNT 具有许多独特而优良的力学性能和电学性能。在力学性能方面，CNT 的强度是钢的 100 倍，但它的密度却只有钢的 1/6，并且具有很好的柔韧性。在电学性质方面，CNT 可承载电流密度大，量子电导效应明显，是真正的量子导线。因此，目前有许多学者致力于 CNT 在构造电子器件方面的应用研究。有人认为，CNT 将成为纳电子学的主导材料。也有人认为，CNT 虽然有着很高的沟道电子迁移率，但它的手性 (Chirality) 难以控制和寄生效应 (寄生电阻和电容等) 使其难以在高频中工作^[19]。

Tans 和 Martel 同时于 1998 年成功地构造了碳纳米管场效应管 (Carbon Nanotube Field Effect Transistor, CNTFET)^[81-82]，随后，就有许多研究者在结构或电极材料上对它进行了改进，提高了某些方面的性能^[83-86]。作为一种新型的三端电子器件，CNTFET 表现出了与 MOSFET 相似的导电特性，并且与传统的器件相比，在某些电学特性方面表现更好，比如能承受很强的导电电流，更高的阈值转换斜率 (即栅极很小的电压变化将导致很大的漏电流变化)，因此器件的尺寸更小。有学者提出 CNTFET 将有可能替代 CMOS 成为下一代电子器件的主流^[87]。

CNTFET 无论在结构还是在导电特性方面，都与 MOSFET 很相似，均是通过改变栅极电压来改变漏源电流的。根据栅极结构的不同又可以划分为两种 CNTFET，一种是背栅 CNTFET^[81]，一种是局部栅 CNTFET^[85]。与背栅 CNTFET 相比，局部栅 CNTFET 具有更高栅极控制能力，其工作电压范围也更小，在导通和截止的转换区域，

具有更高的跨导。而局部栅 CNTFET 还表现出与 MOSFET 不同的双极导电特性。即 CNTFET 在低栅极电压和高栅极电压条件下都能导通,其中低栅极电压下空穴参与导电,高栅极电压下电子参与导电。另外,还有一种双极型 CNTFET,即两种载流子都能参与导电。双极型 CNTFET 与传统的 BJT 有所不同,在 BJT 中,两种载流子同时参与导电。而在 CNTFET 中,负栅压下空穴载流子参与导电,正栅压下电子载流子参与导电^[88]。BJT 属于电流控制型器件,双极型 CNTFET 属于电压控制型器件。双极导电特性虽然提高了 CNTFET 在关断状态下的电流,但是也增大了电路的静态功耗,这给器件的集成密度和电路的应用都带来了一定的约束。关于 CNT 和 CNTFET 器件的详细内容参见本书第 7 章。

以上我们只是对本书所涉及的纳电子器件的几种类型进行了综述。实际上,ITRS 还阐述了纳米线(NW)、分子器件(MD)和自旋晶体管(ST)等^[64]。限于篇幅,这里就不一一列举了,感兴趣的读者可参考相关文献和书籍。

1.4.3 纳电子器件应用

综上所述,具有新机理的纳电子器件与传统的微电子器件有很多不同之处,有其自身的特点,如具有量子隧道效应、库仑阻塞效应、库仑振荡和负微分电阻等特性,特别是器件的电流-电压关系呈现很强的非线性特性,因而就有许多不同的应用。这里针对本书所涉及的几种纳电子器件的应用进行阐述。

1. RTD 电路

由于 RTD 具有高频高速、低功耗和电路结构简单等特点,因此,它在数字电路和模拟电路方面都有潜在的应用,特别是在高频电路应用更显其固有特性,如利用 RTD 可以设计出高频振荡器,以产生高频信号,等等^[89]。另外,虽然 RTD 具有速度快、频率高等特点,但它是一种两端器件,其电流-电压特性不能调控且无增益,而 RTT 具有 RTD 的特性又为三端器件,但其速度与 RTD/HEMT 并联单元相比并无优势,这里的 HEMT (High Electron Mobility Transistor)为高电子迁移率晶体管。另外,由于 RTT 通常在电路中还需要其他器件,故 RTT 的应用前景可能不如 RTD/HEMT 单片集成结构。因此,RTD 与其他三端器件相结合构成集成电路成为目前的主要研究内容^[90-92]。

RTD 数字电路方面的应用体现在:利用 RTD 与或其他器件串联构成的基本电路,来实现具有双稳态特性的基本电路^[93],从而构成大规模的电路;由两个串联的 RTD 构成的单-双稳转换逻辑单元(Monstable-bistable transition logic element, MOBILE),其中一个 RTD 作为驱动器件,另一个 RTD 作为负载器件,通过驱动器件的输入信号来控制输出电平。MOBILE 可以作为基本逻辑单元进行各种数字电路的设计^[94-95],如

由MOBILE为核心能构成可变逻辑门等^[96]；利用RTD的负微分特性(NDR)，可进行多值逻辑电路的设计，而多值逻辑电路在减小电路的互连线和功耗方面具有优势。

RTD 的电流-电压特性具有非常好的非线性特性，因此，RTD 很适合进行模拟电路的设计，其研究主要有神经网络^[97]和高频振荡器等内容^[98-100]。Li 和 Chua 等人基于 RTD 实现了细胞神经网络(CNN)；Maezawa等人基于RTD的负微分电阻特性提出一种范德波尔振荡电路，并把它用于分频电路；Quintana等人上述范德波尔振荡器的基础上对其进行了改进，使其分频效果更好。而基于 RTD 的混沌电路的设计及应用研究还较少^[101]。

2. SED电路

基于单电子效应的 SED 电路应用主要有：模拟电路、数字逻辑电路和单电子存储器等方面，目前这些领域的研究较为广泛，已成为当前纳电子学的一个研究热点^[9, 46, 67, 102-125]，其中，以 SET 电路的应用最为广泛。

SED 模拟电路主要应用有：基于电容耦合C-SET的超高灵敏静电计^[102]、单电子能谱仪^[46]、基于单电子隧穿的直流电流标准仪^[46]、利用库仑阻塞现象的温度标准计和红外辐射探测器等^[46]，这些都属于单电子计量学电路的应用。另外，在细胞神经网络(CNN)方面，由于 SET 器件满足超大规模 CNN 的特点，例如，局部互连性、器件尺寸很小和极低的功耗，等等。SET 阵列的高密度性对于CNN的实现极富吸引力，细胞间的局部互连可以减小每个细胞间的外部互连^[103]。Goossens 等人提出了 SET-CNN 神经元电路的实现^[104]，由 SET 神经元可以构成一维用于相邻检测图像处理的 CNN，如参考文献[103]提出的基于 SET 的三细胞的 SET-CNN 电路。对于基于 SET 的混沌电路及 CNN 实现和应用方面，还不断有研究者在进行一些探索^[105-107]。再有，对于基于 SET 构成的模拟滤波器机理和方法进行了探讨^[108-110]，为揭示纳米信号处理电路的特性、规律和潜在应用，提供一些理论研究依据。

在数字逻辑电路方面，主要是基于 SET 电路的应用。近些年来各研究者对基于 SET 的逻辑电路研究兴趣浓厚^[111-113]，如基于 SET 的模拟-数字转换器的实现^[111]，参考文献[112]提出了双栅极互补型 SET 的反相器电路。然后，以该 SET 反相器电路为基础可以实现基本与非门、或非门电路，进而实现 SET 全加器电路^[114]。Asahi 等人提出了另一种设计 SET 数字集成电路的方案^[115-116]，随后 Kasai 和 Hasegawa 等人对基于二叉判别图(Binary Decision Diagram, BDD)的 SET 基本逻辑电路构成和制备进行了研究^[117-119]，并实现了各种功能基本逻辑电路，而后设计出一个 4 位全加器的电路结构。由两个 SET 或非门可构成基本 R-S 触发器，并可实现时钟同步 D 触发器的电路^[120]，然后采用基于 SET 的加法器、移位寄存器和存储器来实现 SET 数字滤波器电路结构^[121-122]。

实际上,因为 SET 具有尺寸小、功耗低和电路器件的高密度性等特点,使得它在逻辑电路和存储器这两个领域具有非常大的应用潜力^[123-125]。单电子存储器的应用前景更为看好,因为单电子器件的工作通常只需要很少的电子甚至一个电子就可以实现,具有高速和低功耗的特点,所以可以实现信息超高密度存储,同时,它与单电子逻辑电路相比,单电子存储器更容易解决随机背景电荷涨落的问题^[123]。单电子存储器的基本原理就是通过库仑岛上的电子数目来进行数值记忆存储,它可以是二值存储,也可以是多值存储。单电子存储器类型很多,包括单电子隧穿触发器、电子陷阱型存储器和单电子环型存储器等^[124]。另外,快闪存储器(Flash memory)也朝着单电子学的方向发展^[125]。

3. SETMOS 电路

如前所述,SETMOS 作为一种纳米级混合新器件,结合了 SET 和 MOS 两者的优点,在逻辑电路、存储器和模拟电路等方面都有一些应用。如采用混合 SETMOS 器件可以实现多值逻辑电路和多值存储器等^[53, 77],并利用 SET 和 PMOS 管互补来实现基本逻辑门电路^[126]。

由于 SET 具有周期性的库仑振荡特性,其库仑岛中的电子数目可以代表多值逻辑的多重数值,因而它非常适合于多值逻辑电路的应用,但对于 SET 而言,由于其漏极电流完全依赖于它的漏极电压,使得它的输出电阻非常低,为了克服这个缺点,人们就构造了 SETMOS 混合器件的多值逻辑电路和多值存储器^[53, 77]。Song 和 Lee 等人利用混合 SETMOS 实现了多值逻辑电路^[127],如互补自偏周期性二元反相器和互补型通用平面栅,并利用引导栅(Gate-Induce) Si 岛 SET 的库仑振荡和隧道结的可调特性,提出了互补型单电子反相器和 BDD 逻辑电路。目前,从国内外的研究文献看,采用混合 SETMOS 器件来实现逻辑电路方面的研究报道还不够深入和广泛。

另外,关于 SETMOS 模拟电路方面的应用,主要有基于 SETMOS 混合器件的积分器和滤波器实现,以及细胞神经网络(CNN)的实现和应用等内容。基于 SET/CMOS 混合器件实现了电压有损和无损积分器,并以此为基础设计了 SETMOS 二阶和高阶有源滤波器^[128]。基于 SETMOS 混合器件 CNN 的实现和应用研究体现在,利用 SETMOS 结构的 NDR 特性,构造出细胞体电路,然后用 MOS 实现 A、B 模板电路,以实现 SETMOS 细胞单元和 CNN 结构^[129],并将其应用于图像处理等方面^[130-131],如一维的相邻单元检测、二维的边缘检测和空洞填充等。再有,对于基于 SETMOS 实现的混沌电路进行了研究^[131-132],为混沌在纳电子保密通信等领域的应用提供了新尝试。

4. QCA 电路

QCA 作为纳电子器件中一类重要的器件,如上所述,在用分子实现时,其特征

尺寸仅为几纳米。由于 QCA 元胞之间的连接是通过静电相互作用耦合而成的,不再是利用电压或电流来表示信息,而是通过电子占据的量子点的位置来表征二进制信息,因而它具有超小尺寸、极低功耗和无引线集成等优点,特别是它的尺寸可朝着分子级方向发展,由它构成的集成电路具有超高集成度的特点,是将来极具竞争力的纳电子器件^[133]。QCA 电路在信息处理上提供了一种新的途径,已经引起了广泛的兴趣^[72-76, 133-160],它有利于朝着量子计算的方向发展,这是一种大规模并行计算方法,对于未来的计算机科学发展将是有前途的。对于 QCA 的应用研究可分为数字电路和模拟电路两个方面。

由于 QCA 具有非线性特性和双稳态特性,特别适用于数字电路。前面已经提到,在 Tougaw 和 Lent 等人首先设计出 QCA 的各种基本逻辑电路(如线、拐角、扇出和择多逻辑门等)^[76]后, Wang 和 Zhang 等人基于择多逻辑门设计了全加器^[134-135],还有可采用 QCA 进行异或门电路和全加器的设计^[133, 136],而 Cho 等人提出了四位并行加法器^[137]。Walus 等人提出了一种多层不共面导线交叉,他们还设计了 RAM、4 位处理器,并编制了一个设计 QCA 电路的仿真软件工具 QCADesigner^[138-141]。另外, Janulis 等人设计了一种基于 QCA 的两位移位寄存器^[142],对于 QCA 存储器的设计研究也很多,提出了串入串出、串入并出、并入并出等多种存储器结构^[143-146]。Momenzadeh 等人提出了一种将与、或、非门集成在一起的 QCA 电路,并以此作为设计 QCA 电路的基本模块^[147]。目前,对于 QCA 电路的仿真方法主要有:元胞间哈特里逼近法^[148]、模拟退火法^[149]、遗传模拟退火法^[150]、QCADesigner 软件仿真^[140]以及 SPICE 模型仿真^[151]。

有关 QCA 数字电路研究较多的还有各种设计方法,归纳起来主要有三种:一是自顶向下的设计方法(top-down)^[152-153],分别由 Henderson 和 Tang 等人提出,主要是借鉴了 CMOS 工艺中自顶向下的设计思想,分为 5 个步骤,但此方法没有考虑到 QCA 的实际情况,目前还不太成熟;二是自底向上的设计方法(bottom-up)^[140, 143, 154],分别由 Walus、Berzon 和 Niemier 等人提出,其设计思想各有不同,分为 6 个步骤,其中 Berzon 等人将 QCA 基本逻辑单元进行模块化设计与众不同。但当系统规模较大时,用自底向上方法直接设计 QCA 电路容易出现错误,使得电路设计重复进行,导致开发过程较长,开发成本增加;三是基于 QCA 的综合设计方法^[155],分析了前两种设计方法的不足,结合两者优点和现有仿真软件工具 QCADesigner,提出了将行为级模型与结构逻辑模型综合考虑的设计方法。另外,还有 Huang 等人也提出一种基于模块化设计电路的思想,是将 QCA 基本逻辑封装在一个 3×3 的格子内,整个电路的设计是用这些基本网格来实现^[156]的。详见本书 5.5.4 节的内容。

在模拟电路方面的应用,主要是以 Schrödinger 方程为基础,采用 QCA 元胞构造局部耦合的 CNN 结构,即 1.1 节中提到的量子细胞神经网络(QCNN)^[10-11]。QCNN 融合了 QCA 和 CNN 的优点,具有超高集成度、极低功耗、对信号可以进行实时处

理和并行计算等特点,它是纳米级超大规模信号处理电路的新型结构,因此, QCNN 研究已成为当前纳电子领域的研究热点之一。Porod 等人首先对 QCNN 的数学模型进行了研究,提出了 QCNN 的等效电路模型^[11, 157]; Csurgay 等人对由时变元胞构成的 QCNN 在信号处理方面进行了应用研究^[158-160]; Lin 和 Tsai 等人先提出了大邻域耦合的 QCNN 结构,然后又将其扩展为双层结构,并将其应用于图像处理中^[161-162],但该 QCNN 的数学模型不够精确,结果还不太理想; Fortuna 和 Bucolo 等人对两个元胞耦合而成的 QCNN 的非线性特性进行了分析,得出该系统可产生混沌行为,并提出了以这两个元胞 QCNN 为基本单元,进行信息交换方面的应用^[163-165]; Csaba 等人研究了光耦合和磁耦合的 QCNN^[166-168],并指出这些结构可在信息处理上进行应用,给出了一种仿真和设计磁耦合 QCNN 的工具。本书第 5 章着重阐述了如下内容:对由三个 QCA 耦合而成的 QCNN 系统的非线性特性(平衡点、分岔与混沌行为)进行了分析^[169-170],得出了该系统存在有周期、拟周期、混沌和超混沌状态的结论,并给出了这个系统的分岔类型以及产生混沌的参数选择范围;研究了 QCNN 超混沌系统的一维和三维追踪控制应用^[171-172],实现了该系统的自同步和异结构混沌同步;提出了二维和三维的 QCNN 结构^[173-175],引入了 A 模板、B 模板和阈值的概念,并将 QCNN 应用到图像处理中,实现了不同的图像处理功能,最后分析了两种非理想因素对 QCNN 在图像处理上的影响情况。

5. CNT 器件的应用

CNT 很主要的应用就是制作成碳纳米管场效应管 (CNTFET)^[81-82],它是目前研究最热门、成果也最多的领域。由 CNTFET 可以构成二极管, Yang 用不同的金属构造接触电极,构建了一种与方向有关的器件,它的电流只能从一极流向另一极,因而具有二极管的整流特性^[87],而 Martel 采用分裂栅的方法构造了另一种单向导通的分裂栅二极管^[88]。Bachtold 基于 P 沟道 CNTFET 构建了反相器电路,并采用三个 CNTFET 器件构造了一个三级环形振荡器^[85]。Liu 仿照 CMOS 电路结构的做法,将一个 P 型 CNTFET 和一个 N 型 CNTFET 串联,形成互补型 CNTFET 反相器^[176]。基于两个并联的 CNTFET 可构成二输入或非门电路和具有保持功能的存储器 (SRAM) 电路^[177]。Sordan 利用单个双极型 CNTFET 构造了异或门^[178],参考文献[179]用单根 CNT 构造了一个五级环形振荡器。由 7 个双栅极 CNTFET 器件组成的可重配置逻辑电路^[180],可以实现 8 个不同的逻辑函数。基于 CNTFET 器件还可以实现三值逻辑电路^[181]。

以上只是阐述了由 CNT 构成的 CNTFET 器件及电路方面的应用。对于 CNT 器件的应用还很多,如碳纳米管场致发射显示器^[182],以及纳机电系统方面还有:碳纳米管电机和碳纳米管传感器和探头等^[183-185]。另外, CNT 还在能源和材料等其他领域有很多应用^[186]。

参 考 文 献

- [1] International Technology Roadmap for Semiconductors, 2007 Edition. [http://www. itrs.net/Links/2007ITRS/Home2007.htm](http://www.itrs.net/Links/2007ITRS/Home2007.htm).
- [2] Peercy, P. S. The drive to miniaturization. *Nature*, 2000, 406: 1023-1026.
- [3] Meindl J D. Beyond Moore's Law: the interconnect era . *Computing in Science & Engineering*. January / February 2003 : 20-24.
- [4] Chang L, Choi Y-K, Kedzierski J et al. Moore's law lives on. *IEEE Circuits & Devices Magazine*. January 2003: 35-42.
- [5] Choi Y-K, Jeon Y-C, Ranade P et al. 30nm ultra-thin-body SOI MOSFET with selectively deposited Ge raised S/D. in *Proc. IEEE 58th Device Research Conf.*, Denver, CO, 2000.
- [6] Capasso F, Sen S, Cho A Y et al. Resonant tunneling device with multiple negative differential resistance and demonstration of a three-state memory cell for multiple-valued logic application. *IEEE Electron device letters*. 1987, 8(7): 297-299.
- [7] Meirav, U., Kastner, M. A, Wind, S. J. Single-electron charging and periodic conductance resonances in GaAs nanostructures. *Phys. Rev. Lett.*, 1990, 65: 771-774.
- [8] Wasshuber C. *Computational Single-Electronics*. Springer Verlag; 2001.
- [9] Lent C S, Tougaw P D , Bernstein G H. Quantum cellular automata. *Nanotechnology*, 1993, 4: 49-57.
- [10] Toth G, Lent C S, Tougaw P D. Quantum Cellular Neural Networks. *Superlattices and Microstructure*, 1996, 20(4): 473-479.
- [11] Porod W, Lent C S and Tóth G et al. Quantum-dot cellular nonlinear networks: computing with locally-connected quantum dot arrays. In: *Proc. IEEE Int Symp Circuits Syst.*, 1997, 1: 745-748.
- [12] Chua L O, Yang L. Cellular Neural Networks: Theory. *IEEE Trans. Circuits Syst.*, 1988, 35: 1257-1272.
- [13] Iijima S. Helical microtubules of graphitic carbon. *Nature*. 1991, 345 (6348) pp: 56-59.
- [14] Huang Y et al. Logic Gates and Computation from Assembled Nanowire Building Blocks. *Science*, 2001, vol. 294, no. 5545: 1313-1317.
- [15] Huang J. An Overview of Nanoscale Devices and Circuits. *IEEE Design & Test of Computers*. 2007, July-Aug.: 304-311.
- [16] Flood A.H. et al. Whence Molecular Electronics. *Science*, 2004, vol. 306, no. 5704: 2055-2056.
- [17] Averin D V, Likharev K K. Single-Electronics: a correlated transfer of single Electrons and Cooper

- pairs in systems of small tunnel junctions. In Altshuler B L, Lee P A, Webb R A (eds.). Mesoscopic phenomena in solids. North-Holland, Amsterdam. 1991: 173-271.
- [18] Wasshuber C. Single-electronics - how it works. how it's used. how it's simulated. IEEE Proceedings of the International Symposium on Quality Electronic Design. 2002.
- [19] 王占国. 硅微电子技术物理极限对策探讨. 中国科学院院刊. 2007, 22 (6): 480-485.
- [20] Thompson S E, Parthasarathy S. Moore's law the future of Si microelectronics. Materielstoday. 2006, 9 (6): 20-25.
- [21] Fluitman J. Microsystems technology: objectives. Sensors and Actuators. 1996, A 56: 151-166.
- [22] Fodor S P A, Rava R P, Huang X C, et al. Multiplexed biochemical assays with biological chips[J]. Nature. 1993, 364 (6437): 555-556.
- [23] <http://www.Intel.com/>.
- [24] <http://www.intel.com/cn/>.
- [25] 王阳元. 历史机遇和我国微电子发展之路. 中国集成电路. 2005, 3: 30-38.
- [26] Ekinci K L, Roukes M L. Nanoelectromechanical systems. Rev. Sci. Instrum. 76, 061101-12. 2005.
- [27] 王阳元 张兴 刘晓彦等. 32nm 及其以下技术结点 CMOS 技术中的新工艺及新结构器件. 中国科学 E 辑. 2008, 38 (6): 921-932.
- [28] Tang X, De V K, Meindl J D. Intrinsic MOSFET Parameter Fluctuations Due to Random Dopant Placement. IEEE Trans. VLSI Systems, 1997, 5 (4): 369- 376.
- [29] Meindl J D. Davis J A, Zarkesh-Ha P. et al. Interconnect Opportunities for Gigascale Integration. IBM J. Res. & Dev., vol. 46, nos. 2-3, 2002: 245-262.
- [30] Taur Y, Buchanan D A, Chen W. et al. CMOS Scaling into the Nanometer Regime. Proceedings of the IEEE, April 1997, pp.486-504.
- [31] Rutten P, Tauman M, Bar-Lev. H, et al. Is Moore's law infinite? The economics of Moore's law. Kellogg Tech Venture 2001 Anthology, 2001, pp:1-28.
- [32] Kish L B. Moore's law and the energy requirement of computing versus performance. IEE Proc. Circuits Devices Syst. 2004, 151 (2): 190-194.
- [33] Wang W, Liu M, Hsu A. Hybrid Nanoelectronics: Future of Computer Technology. J. of Comput. Sci. and Technol. 2006, 21 (6): 871-886.
- [34] 薛增泉, 刘惟敏. 纳米电子学. 北京: 电子工业出版社. 2003.
- [35] Feynman R P. There's Plenty of Room at the Bottom: An Invitation to Enter a New Field of Physics. <http://www.zyvex.com/nanotech/feynman.html>.
- [36] 王阳元, 康晋峰. 物理学研究与微电子科学技术的发展. 物理. 2002, 31 (7): 415-421.
- [37] 彭英才, 赵新为, 傅广生. 面向 21 世纪的纳米电子学. 微纳电子技术. 2006, 43 (1): 1-7.
- [38] 张立德, 牟季美. 纳米结构自组装和分子自组装体系. 物理. 1999, 28 (1): 22-26.

- [39] Bahar R. I. et al. Architectures for Silicon Nanoelectronics and Beyond. IEEE Computer. 2007, Jan. : 62-70.
- [40] Han J, Taylor E. et al. Faults, Error Bounds and Reliability of Nanoelectronic Circuits. IEEE ASAP'05.
- [41] Lee J H, Likharev K K. Defect-tolerant nanoelectronic pattern classifiers. Int. J. Circ. Theor. Appl. 2007, 35:239-264.
- [42] Han J, Gao J B, Qi Y. et al. Toward Hardware-Redundant, Fault-Tolerant Logic for Nanoelectronics. IEEE Design & Test of Computers. July-Aug. 2005: 328-339.
- [43] Das S , Gates A J, Abdu H A. et al. Designs for Ultra-Tiny, Special-Purpose Nanoelectronic Circuits. IEEE Trans. on Circuits and System -I. 2007, 54 (11): 2528-2540.
- [44] Patwardhan J P, Dwyer C. et al. Circuit and System Architecture for DNA-Guided Self-Assembly of Nanoelectronics. Proceedings of Foundations of Nanoscience. 2004.
- [45] Chou S. Integration and innovation in the nanoelectronics era. 2005 IEEE International Solid-State Circuits Conference. 2005 : 36-41.
- [46] Likharev K K. Single-electron Devices and Their Applications. IEEE Proc., 1999, 87 (04): 606-632.
- [47] Kulik I O, Shekhter R I. Kinetic phenomena and change discreteness effects in granulated media. Sov. Phys. JETP 1975, 41: 308-316.
- [48] Binnig G, Rohrer H. et al. Surface studies by scanning tunneling microscope. Phys. Rev. Lett. 1982, 49: 57-61.
- [49] Husband C P, Husband S M, Daniels J S. et al. Logic and memory with nanocell circuits. IEEE Trans. Electron Devices, 2003, 50 (9):1865-1875.
- [50] Yan H, Park S H, Finkelstein G. et al. DNA Templated Self-Assembly of Protein Arrays and Highly Conductive Nanowires. Science, Sep. 2003.
- [51] Devoret M H, Schoelkopf R J. Amplifying quantum signals with the single-electron transistor. Nature, 2000, 406: 1039-1046.
- [52] Burke P J. AC performance of nanoelectronics: towards a ballistic THz nanotube transistor. Solid-State Electronics 48 (2004): 1981-1986.
- [53] Mahapatra S Ionescu A M. Realization of Multiple Valued Logic and Memory by Hybrid SETMOS Architecture. IEEE Trans. On Nanotechnology, 2005, 4 (6): 705-714.
- [54] Zhang W C, Wu N J, Hashizume T. Novel Hybrid Voltage Controlled Ring Oscillators Using Single Electron and MOS Transistors. IEEE Trans. On Nanotechnology, 2007, 6 (2): 170-175.
- [55] Hofheinz M, Jehl X, Sanquer M. et al. Simple and controlled Single Electron Transistor Based on Doping Modulation in Silicon Nanowires. Appl. Phys. Lett. 89 (14): Art. No. 143504 OCT 2 2006.
- [56] Hayashi M, Thomas L, Rettner C. et al. Current driven domain wall velocities exceeding the spin

- angular momentum transfer rate in permalloy nanowires. *Phys. Rev. Lett.* 98, 037204 (2007).
- [57] Yosuke Mizuno et al. Spin-dependent transport properties in GaMnAs-based spin hot-carrier transistors. *Applied Physics Letters* 90, 162505, 2007.
- [58] Bethoux J M, Happy H, Dambrine G. et al. An 8-GHz ft Carbon Nanotube Field-Effect Transistor for Gigahertz Range Applications. *IEEE Electron Device Letters*. 2006, 27 (8): 681-683.
- [59] Fiori G, Iannaccone G, Klimeck G. Coupled Mode Space Approach for the Simulation of Realistic Carbon Nanotube Field-Effect. *IEEE Trans on Nanotechnology*. 2007, 6 (4): 475-480.
- [60] Frostt S E, Dysartt T J, Kogget P M, Lent C S. Carbon Nanotubes for Quantum-Dot Cellular Automata Clocking. *IEEE Conference on Nanotechnology 2004* : 171-172.
- [61] 孙定. 硅以后大约是碳. *金属世界*. 2002, 3.
- [62] Neto O P V, Pacheco M A C, Barbosa C R H. Neural Network Simulation and Evolutionary Synthesis of QCA Circuits. *IEEE Trans. on Computers*. 2007, 56(2): 191-201.
- [63] Zhirnov V V, Hutchby J A, Bourianoff G I, et al. Emerging research logic devices. *IEEE Circuits & Devices Magazine*. 2005, May/June: 37-46.
- [64] International Technology Roadmap for Semiconductors, 2007 Edition. [http://www.itrs.net/ Links/2007ITRS/2007_ERD.pdf](http://www.itrs.net/Links/2007ITRS/2007_ERD.pdf).
- [65] Reed M A, Frensley W R, Matyi R J. et al. Realization of a Three-terminal Resonant Tunneling Device: the Bipolar Quantum Resonant Tunneling Transistor. *Appl. Phys. Lett.* 1989, 54,:1034.
- [66] P. Fau, et al. Fabrication of Monolithically-integrated InAlAs/InGaAs/InP HEMTs and InAs/AlSb/GaSb resonant Interband Tunneling Diodes. *IEEE Trans. Electron Dev.* 2001, 48,: 1282.
- [67] Yano K, Ishii T, Hashimoto T. et al. Room-temperature single-electron memory. *IEEE Trans. Electron Devices*. vol. 41, p. 1628, Sept. 1994.
- [68] Saitoh M. Hiramoto T. Room-temperature observation of negative differential conductance due to large quantum level spacing in silicon single-electron transistor. *Jpn. J. Appl. Phys.* 2, Lett. vol. 43, no. 2A, p. L210, Feb. 2004.
- [69] Chen R H, Korotkov A N, Likharev K K. Single-electron transistor logic. *Appl. Phys. Lett.*, vol. 68, no. 14, p. 1954, Apr. 1996.
- [70] Gerousis C P, Goodnick S M. Simulation of single-electron tunneling circuits. *Phys. Solid State*, vol. B 233, no. 1, p. 113, Sept. 2002.
- [71] 赵正平, 郭荣辉. 单电子器件. *微纳电子技术*, 2002 (1): 17-21.
- [72] Lent C S, Tougaw P D, Porod W. Bistable saturation in coupled quantum dots for quantum cellular automata. *Appl. Phys. Lett.* 1993, 62 (7): 714-716.
- [73] Lent C S, Tougaw P D. Dynamics of quantum cellular automat. *J. Appl. Phys.*, vol. 80, no. 8, pp.

- 4722-4736, Oct. 1996.
- [74] Lent C S, Tougaw P D. A device architecture for computing with quantum dots. *Proc. IEEE*, vol. 85, pp. 541-557, Apr. 1997.
- [75] Lent C S, Isaksen B., Lieberman M. Molecular quantum-dot cellular automata. *J. Amer. Chem. Soc.*, vol. 125, no. 4, pp. 1056-1063, Jan. 2003.
- [76] Tougaw P D, Lent C S. Logical devices implemented using quantum cellular automata. *J. Appl. Phys.*, 1994, 75(3): 1818-1825.
- [77] Inokawa H, Fujiwara A, Takahashi Y A. Multiple-Valued Logic and Memory With Combined Single-Electron and Metal-Oxide-Semiconductor Transistors. *IEEE Trans. Electron Devices*. 2003, 50 (2): 462-470.
- [78] Inokawa H, Fujiwara A, Takahashi Y A. multiple-valued logic with merged single-electron and MOS transistors. *IEDM Tech. Dig.*, 2001:147-150.
- [79] Ionescu A M, Mahapatra S, Pott V. Hybrid SETMOS architecture with Coulomb blockade oscillations and high current drive. *IEEE Electron. Device. Lett.*, 2004, 25 (6): 411-413.
- [80] Iijima S. Helical microtubules of graphitic carbon. *Nature*. 1991, 345(6348) pp: 56-59.
- [81] Tans S J, Alwin R M, Verschuereen, Cees Dekker. Room temperature transistor based on a single carbon nanotube. *Nature*, 1998, 393. pp:49-52.
- [82] Martel R, Schmidt T, Shea H R. et al. Single- and multi-wall carbon nanotube FET. *App. Phy. Let.*, 1998. 73 (17): 2447-2449.
- [83] Yang L, Anantram M P, Han J. et al. change of carbon nanotubes: Effect of small uniaxial and torsional strain. *Phys Rev. B*, 1999, 60 (19): 13874-13878.
- [84] Guo J. Assessment of silicon MOS and carbon nanotube FET performance limits using a general theory of ballistic transistors. *Digest IEDM*, pp: 711-715.
- [85] Bachtold A. et al. Logic circuit with carbon nanotube transistors. *Science*, 2001.pp:1317-1320.
- [86] Wind S J, Appenzeller J, Martel R. Vertical scaling of carbon nanotube FET using top-gate electrodes. *App. Phy. Let.*, 2002.pp:3817-3819.
- [87] Yang M H. et al. Carbon nanotube schottky diode and directionally dependent FET using asymmetrical contacts. *App. Phy. Let.* 2005. pp: 253116-1-253116-3.
- [88] Martel R, Derycke V, Lavoie C. et al. Ambipolar electrical transport in semiconducting single-wall carbon nanotubes. *Phy. Rev. Let.*, 2001. pp: 256805-1-256805-4.
- [89] Brown E R, Soderstrom J R, Parker C D, et al. Oscillations up to 712GHz in InAs/AlSb resonant tunneling diodes. *Appl. Phys. Lett.*, 1991, 58 (20): 2291.
- [90] Auer U, Prost W, Janssen.G, et al. A novel 3-D integrated RTD-HFET frequency multiplier. *IEEE*

- J. Select.Topics Quantum Electron. (Special Issue on Ultra Fast Electronics, Optoelectronics, and Photonics), 1996, vol. 2, no. 3, pp. 650-655.
- [91] Zhang H, Mazumder P, Yang Kyounghoon. Resonant tunneling diode dased qmos edge triggered flip-flop design. ISCAS, 2004, 705-708.
- [92] Pinaki Mazumder, Shriram Kulkarni. Digital circuit application of resonant tunneling devices. Proceed of the IEEE, 1998, 86(4):664-686.
- [93] Mathews R H, Sage J P, Sollner G T C L., et al. A New RTD-FET Logic Family. Proceedings of the IEEE, 1999, 87(4): 596-605.
- [94] Maezawa K, Akeyoshi T, Mizutani T. Flexible and reduced-complexity logic circuit implemented with resonant tunneling transistor. IEDM, 1993, 415-418.
- [95] Maezawa K, Matsuzaki H, Yamamoto M, et al. High-speed and low-power operation of a resonant tunneling logic gate MOBILE. IEEE Electron Device Lett., 1998, vol. 19, pp. 80-82.
- [96] Maezawa K, Akeyoshi T, Mizutani T. Function and application of monostable-bistable transition logic elements having multiple-input terminals. IEEE Transon Electron Devices, 1994, 41(2): 148.
- [97] Li S R, Mazumder P Chua L O. On the implementation of RTD based CNNs. IEEE ISCAS 2004: 25-28.
- [98] Quintana J.M, Avedillo M J. Nonlinear dynamics in frequency divider RTD circuits. Electronics Letters 2004, 40(10).
- [99] Suzuki S, Hanashima K, Asada M. Proposal of resonant tunneling diode oscillators with offset-fed slot antennas in THz and sub-THz range. IEEE, 2006: 108.
- [100] Xie B, Xue C Y, Zhang W D. et al. A GaAs micromachined Accelerometer with frequency output based on resonant tunneling diodes. IEEE 2006.
- [101] 吴刚, 蔡理, 王森, 李芹. 基于共振隧穿二极管的蔡氏电路设计研究. 微电子学. 2009, 38 (2).
- [102] Likharev K K. Single-Electron Transistors: Electrostatic Analogs of the DC SOUID's, IEEE Trans. On Magnetics, 1987. 23 (2): 1142-1145.
- [103] Gerousis C, Goodnick S M, Porod W. Toward Nanoelectronic cellular neural networks. International Journal of Circuit Theory and Applications, 2000. 28: 523-535.
- [104] Goossens J, Ritskes J, Verhoeven C, van Roermund A. Learning single electron tunnelling neural nets. Proceedings of the Pro RISC Workshop on Circuits, Systems and Signal Proceeding, Vol.1, 1997: pp 179-186.
- [105] 刘河潮, 蔡理, 王森. 基于单电子晶体管类双涡卷混沌电路. 微电子学. 2005. 35 (5): 557-560.
- [106] 刘河潮, 蔡理, 王森. 基于单电子晶体管可编程细胞神经网络电路及应用研究. WCICA2006. in China Dalian, June 2006. pp. 2796-2800.
- [107] 刘河潮. 基于单电子晶体管的混沌电路及细胞神经网络实现与应用. 西安: 空军工程大学硕

- 士学位论文. 2005, 3.
- [108] 陈学军, 蔡理, 孙铁署. 单电子晶体管积分器及其性能分析. 固体电子学研究进展, 2004, 24(2): 178-182.
- [109] 陈学军, 蔡理, 孙铁署. 一种基于单电子晶体管的二阶低通滤波器. 微电子学, 2004, 34(6): 675-681.
- [110] 陈学军. 基于单电子晶体管的模拟滤波器设计及仿真实现. 西安: 空军工程大学硕士学位论文. 2004, 3.
- [111] Hu C H, jiang J F, Cai Q Y. Analog-to-Digital converter based on single-electron tunneling transistors. IEEE Trans. On VLSI Systems. 2004. 12 (11): 1209-1213.
- [112] Ono Y, Takahashi Y, Nagase M. et al. Si complementary single-electron inverter. IEDM, Tech.Dig., 1999, 15: 367-370.
- [113] Kim D H, Kim K R, Sung S K. Dynamic exclusive-OR gate based on gate-induced Si island single-electron transistor. Electronics letters, 2002, 38(11): 527-529.
- [114] 孙铁署, 蔡理. 一种基于互补型单电子晶体管全加器电路的研究, 电子器件, 2004, 28(2): 366-369.
- [115] Asahi N, Akazawa M., Amemiya Y. Binary-decision-diagram device. IEEE Trans. on electron devices. 1995, 42 (11): 1999-2003.
- [116] Asahi N, Akazawa M, Amemiya Y. Single-Electron Logic Device Based on the Binary Decision Diagram. IEEE Trans Electron Devices. 1997, 44 (7): 1109-1116.
- [117] Kasai S, Hasegawa H. GaAs and InGaAs single electron hexagonal nanowire circuits based on Binary Decision Diagram logic architecture. PHYSICA E, 2002, 13: 925-929.
- [118] Kasai S, Hasegawa H. A single electron Binary-Decision-Diagram quantum logic circuit based on schottky wrap gate control of a GaAs nanowire hexagon. IEEE Electron device letters 2002, 23(8): 446-448.
- [119] Kasai S, Yumoto M, Hasegawa H. Fabrication of GaAs-based integrated half and full adders by novel hexagonal BDD quantum circuit approach. Solid-state electronics, 2003, 47: 199-204.
- [120] 孙铁署, 蔡理, 马彦芬. 一种基于互补型单电子晶体管 D 触发器设计. 河北大学学报(自然科学版), 2004, 24(6): 652-656.
- [121] 孙铁署, 蔡理. 基于单电子晶体管的数字滤波器硬件实现. 电路与系统学报. 2006. 11 (6): 41-44.
- [122] 孙铁署. 基于单电子晶体管的数字电路及数字滤波器设计. 西安: 空军工程大学硕士学位论文. 2004, 3.
- [123] 孙劲鹏, 王太宏. 单电子存储器. 微纳电子技术, 2002, 39 (8): pp.7-17, 30.
- [124] Wasshuber C, Kosina H, Selberherr S. A Comparative Study of Single-Electron Memories, IEEE Trans. on electron devices, Vol.45(11): 2365-2371, Nov.1998.

- [125] Thean A, Leburton J P. Flash memory towards single-electronics. IEEE Potentials. October/November. 2002 :35-41.
- [126] Venkataratnam A, Goel A K. Design and Simulation of Logic Circuits with Hybrid Architectures of Single Electron Transistors and Conventional Devices. Nano-Networks and Workshops, 2006. NanoNet '06. 1st International Conference , Lausanne: 1-5, Sept. 2006.
- [127] Song K W, Lee S H, Kim D H, Lee J-D. et al. Complementary self-biased scheme for the robust design of CMOS/SET hybrid multivalued logic, in Proc. Int. Symp. Multiple-Valued Logic 2003, pp. 267-272.
- [128] 史党院. 基于 SET/CMOS 混合器件的模拟滤波器设计与仿真研究. 西安: 空军工程大学硕士学位论文, 2007, 3.
- [129] 冯朝文, 蔡理, 李芹. 基于单电子器件的细胞神经网络实现及应用研究. 物理学报, 2008, 57 (4): 2462-2467.
- [130] 冯朝文, 蔡理, 康强. 基于 SETMOS 细胞神经网络的图像处理研究. IEEE WCICA'08. Chongqing, China. June, 2008. pp 9214-9219.
- [131] 冯朝文. 基于 SETMOS 混合器件电路及神经网络实现与应用研究. 西安: 空军工程大学硕士学位论文, 2008, 3.
- [132] 冯朝文, 蔡理, 康强. 基于单电子器件的混沌电路研究. 物理学报. 2008. 57 (10): 6155-6161.
- [133] Lusth J C. Balancing. QCA Logic Gates under Image Charge Neutralization. IEEE-NANO, 2002, 347-350.
- [134] Wang W, Walus K, Jullien G A. Quantum-Dot Cellular Automata Adders. IEEE, 2003, 461-464.
- [135] Zhang R M, Walus K, Wang W, et al. A Method of Majority Logic Reduction for Quantum Cellular Automata. IEEE Transactions on Nanotechnology, 2004, 3(4): 443-450.
- [136] 王森, 蔡理, 刘河潮. 基于量子细胞自动机的全加器实现. 固体电子学研究与进展. 2005. 25 (2): 148-151.
- [137] Cho H, Swartzlander E E. Pipelined Carry Lookahead Adder Design in Quantum-dot Cellular Automata. IEEE, 2005, 1191-1196.
- [138] Zhang R M, Walus K, Wang W, et al. A Method of Majority Logic Reduction for Quantum Cellular Automata. IEEE Transactions on Nanotechnology, 2004, 3(4): 443-450.
- [139] Walus K, Mazur M, Schulhof G, et al. Simple 4-Bit Processor Based On Quantum-Dot Cellular Automata(QCA). Proceedings of the 16th International Conference on Application-Specific Systems, Architecture and Processors (ASAP'05), 2005, 1-6.
- [140] Walus K, Dysart T J, Jullien G A, et al. QCADesigner: A rapid design and simulation tool for quantum-dot cellular automata. IEEE Trans. on Nanotechnology, 2004, 3 (1): 26-31.
- [141] Walus K, Vetteth A, Jullien G A, and Dimitrov V S. RAM design using quantum-dot cellular

- automata. Nanotechnology Conf. vol. 2, San Francisco, CA, 2003, pp. 160-163.
- [142] Janulis J R, Tougaw P D, Henderson S C, et al. Serial Bit-Stream Analysis Using Quantum-Dot Cellular Automata. IEEE Trans. on Nanotechnology, 2004, 3 (1): 158-164.
- [143] Berzon D, Fountain T J. A memory design in QCAs using the squares formalism[A]. Proc. 9th Great Lakes Symp. VLSI. Mar. 1999, pp. 168-172.
- [144] Vankamamidi V, Marco O, Lombardi F. A Line-Based Parallel Memory for QCA Implementation. IEEE. Transactions on Nanotechnology, 2005, 4 (6): 690-698.
- [145] Janulis J R, Tougaw P D, Henderson S C, et al. Serial Bit-Stream Analysis Using Quantum-Dot Cellular Automata. IEEE. Transactions on Nanotechnology, 2004, 3 (1): 158-164.
- [146] 王森, 蔡理, 刘河潮. 基于量子细胞自动机的只读存储器设计. 微电子学与计算机. 2007. 24 (11): 46-48.
- [147] Momenzadeh M, Huang J, Tahoori M B. et al. Characterization, Test, and Logic Synthesis of And-Or-Inverter (AOI) Gate Design for QCA Implementation. IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, 2005, 24 (12): 1881-1893.
- [148] Lent C S, Tougaw P D. Lines of interacting quantum-dot cells: A binary wire. J. Appl. Phys, 1993; 74 (10): 6227-6233.
- [149] Macucci M, Iannaccone G, Francaviglia S. et al. Semiclassical simulation of quantum cellular automaton circuits. International Journal of Circuit Theory and Applications 2001, 29: 37-47.
- [150] Wang S, Cai L. Simulation of Quantum Cellular Automaton Circuits Based on Genetic Simulated Annealing Algorithm. IEEE ISCAS2005. in Japan Kobe, May, 2005. pp 2325-2328.
- [151] Tang R, Zhang F M, Kim Y B. Quantum-dot cellular automata SPICE macro model. GLSVLSI'05, April 17-19, 2005, Chicago, Illinois, USA.
- [152] Henderson S C, Johnson E W, Janulis J R. et al. Incorporation Standard CMOS Design Process Methodologies into the QCA Logic Design Process. IEEE Trans. on Nanotechnology. 2004. 3 (1): 2-9.
- [153] Tang R, Zhang F M, Kim Y B. QCA-Based Nano Circuits Design. IEEE Trans. on Nanotechnology, 2005, 4 (3): 2527-2530.
- [154] Niemier M T, Ravidhndran R, Kogge P M. Using Circuits and Systems-Level Research to Drive Nanotechnology. Proceedings of the IEEE International Conference on Computer Design. 2004.
- [155] 王森, 蔡理, 苏发院. 基于量子细胞自动机的设计方法. 微纳电子技术. 2007. 44 (4): 170-174.
- [156] Huang J, Momenzadeh M, Schiano L, et al. Simulation-based Design of Modular QCA Circuits. Proceedings of 2005 5th IEEE Conference on Nanotechnology. Nagoya, Japan. 7902-7905.
- [157] Porod W. Towards Nanoelectronics: Possible CNN Implementations using Nanoelectronic Devices. Proc. IEEE International Workshop on Cellular Neural Networks and their Applications, London, England: 1998. 20-25.

- [158] Csurgay á, Porod W, Lent C S. Signal processing with near-neighbor-coupled time-varying quantum-dot arrays. *IEEE Trans. Circuits Syst. I*, 2000, 47(8): 1212-1223.
- [159] Csurgay á, Porod W. Equivalent circuit representation of arrays composed of Coulomb-coupled nanoscale devices: modeling, simulation and realizability. *International Journal of Circuit Theory and Applications*, 2001; 29: 3-35.
- [160] Csurgay á, Porod W, Pakos B. Signal processing by pulse-driven molecular arrays. *International Journal of Circuit Theory and Applications*. 2003; 31:55-66.
- [161] Lin L J, Cheng C H, Huang K H, et al. The Quantum-Dot Large-neighborhood Cellular Nonlinear Network (QLN-CNN) in Nanotechnology. *IEEE-NANO*, 2001; 331-334.
- [162] Tsai T C, Sun M, Lin L J, et al. A New Two-Layer Quantum-Dot Large-neighborhood Cellular Nonlinear Network (QLN-CNN) Using Quantum-Dot Cellular Automata. *IEEE-NANO 2002*, 355-357.
- [163] Fortuna L, Porto D. Chaotic Phenomena in Quantum Cellular Neural Networks. *Proceedings of the 7th IEEE International Workshop on Cellular Neural Networks and their Applications (CNNA'02)*, Frankfurt, Germany, May. 2002, 369-377.
- [164] Bucolo M, Fortuna L, Rosa M L, et al. Information Exchanges in Quantum Arrays due to Spatial Diversity. *IEEE*. 2003: 888-891.
- [165] Fortuna L, Rosa M L, Nicolosi D, et al. Nanoscale System Dynamical Behaviors: From Quantum-Dot-Based Cell to 1-D Arrays. *IEEE Transactions on very Large Scale Integration Systems*, 2004, 12 (11): 1167-1173.
- [166] Csaba G, Csurgay á, Porod W. Computing architecture composed of next-neighbour-coupled optically pumped nanodevices . *International Journal of Circuit Theory and Applications*. 2001; 29: 73-91.
- [167] Csaba G, Imre A, Bernstein G H, et al. Signal Processing with Coupled Ferromagnetic Dots . *IEEE-NANO*, 2002; 59-62.
- [168] Csaba G, Porod W, Csurgay á. A computing architecture composed of field-coupled single domain nanomagnets clocked by magnetic field . *International Journal of Circuit Theory and Applications*, 2003; 31: 67-82.
- [169] 蔡理, 马西奎, 王森. 量子细胞神经网络的超混沌特性研究. *物理学报*. 2003.52 (12): 3002-3006.
- [170] Wang Sen, Cai Li, Kang Qiang. et al. The Characteristics of Nonlinear Chaotic Dynamics in Quantum Cellular Neural Networks. *Chinese Physics*. 2008. 17 (8): 2837-2843.
- [171] Wang Sen, Cai Li, Wu Gang. Tracking Control and Synchronization with Diverse Structure of the Quantum Cellular Neural Network. 2007 IEEE International conference on control and automation. Guangzhou, China. May 30. pp 2210-2213.

- [172] 王森, 蔡理, 吴刚. 量子细胞神经网络超混沌系统的追踪控制与同步 控制与决策. 2008. 23 (2): 204-207.
- [173] 王森, 蔡理, 康强等. 二维量子细胞神经网络及其图像处理应用. 固体电子学研究进展. 2008.28 (3): 340-345.
- [174] 王森, 蔡理, 李芹, 吴刚. 一种基于量子细胞自动机的三维的量子细胞神经网络. 量子电子学报. 2008. 25 (5): 540-545.
- [175] 王森. 量子细胞神经网络的理论及应用研究. 西安: 空军工程大学博士学位论文. 2008, 3.
- [176] Liu X L. et al. Carbon nanotube field-effect inverters. App. Phy. Let, 2001. pp: 3329-3331.
- [177] Ali Javey. Electrical characterization and device application of individual single-wall carbon nanotube. PH.D, 2005. pp: 32-38.
- [178] Sordan R. et al. Exclusive-OR gate with a single carbon nanotube. App. Phy. Let, 2006. pp: 053119-1 -053119-3.
- [179] Chen Z H. et al. An integrated logic circuit assembled on a single carbon nanotube. Science, 2006. pp: 1735-1735.
- [180] Jin L. Connor I O, Navarro D. et al. Design of a Novel CNTFET-based reconfigurable logic gate. IEEE Computer Society Annual Symposium on VLSI. 2007.
- [181] Raychowdhury A, Roy K. carbon-nanotube-based voltage-mode multiple-valued logic design. IEEE Tran on Nanotech, 2005. pp: 168-179.
- [182] 朱长纯, 贺永宁. 纳米电子材料与器件. 北京: 国防工业出版社. 2006.
- [183] Fennimore A M, Yuzvinsky T D, Han W Q. et al. Rotational actuators based on carbon nanotubes. Nature, 2003, (424): 408-410.
- [184] Modi A, Koratkar N, Lass E. et al. Miniaturized gas ionization sensors using carbon nanotubes. Nature, 2003, (424):171-174.
- [185] Ghosh S, Sood A K, Kumar N. Carbon nanotube flow sensors. Science, 2003. 299: 1042-1044.
- [186] Li J, Furuta T, Goto H. et al. Theoretical evaluation of hydrogen storage capacity in pure carbon nanostructures. Journal of Chemical Physics. 2003, 119 (4): 2376.

第 2 章 纳电子学基础

纳电子学是与微电子学不同的新领域，它是以纳米尺度物理现象为基础的，即纳结构体系中具有各种量子效应，并将其用于信号和数据处理的。而基于纳电子器件的电路结构具有超微小尺寸和超低功耗，这将成为人们设计新的纳电路与系统不竭的驱动力^[1-2]。纳电子器件的工作机理是以纳电子学理论为基础，当电子器件的尺寸接近纳米尺度时，纳米系统结构中已经不具有宏观体系的统计平均性，其物理现象是以量子效应为主要特性。本章将阐述纳电子学中最基本的物理现象和载流子输运规律，主要包括纳结构中的量子效应、Landauer-Büttiker 输运理论、单电子隧穿、库仑台阶和库仑振荡等，它们是纳电子器件的物理基础。

2.1 纳结构中量子效应

当器件尺寸接近德布罗意波长(de Broglie wavelength)量级(纳米尺度)时，量子效应对器件工作的影响将非常重要，主要表现为：电导量子化、载流子的弹道输运、单电子库仑阻塞效应、普适电导涨落和量子相干效应，等等。下面简要概述这些与纳电子器件相关的效应。

2.1.1 电导量子

经典物理中假定物理量是连续的，而在基于量子力学理论的纳米系统中，可测量的物理量为离散量，如电导率是以 e^2/h 倍数变化的，其中 e 为电荷量， h 为普朗克常数，这里的最小变化值 e^2/h 称为电导量子(Conductance quantum)。因为按固体物理学^[3]，金属的直流电导率可以表示为^[4-5]

$$\sigma = \frac{ne^2\tau(E_F)}{m^*} \quad (2.1)$$

式中， n 为传导电子密度，在二维条件下为 $n = k_F^2/2\pi$ ，其中 k_F 为费米波矢； m^* 为电子有效质量； E_F 为费米能级， $\tau(E_F)$ 为费米面上电子输运弛豫时间，其物理意义是处于某动能本征电子的平均寿命，即经过时间 $\tau(E_F)$ 之后完全失去了对原有动量的记忆，在满足量子效应条件下可以表示为 $\tau(E_F) = m^*l_e/(k_F\hbar)$ ，其中 l_e 为电子的平均自由程， $\hbar = h/(2\pi)$ 为约化普朗克常数。将 n 与 $\tau(E_F)$ 的这些表达式代入到式(2.1)中，可得

$$\sigma = k_F l_e \left(\frac{e^2}{h} \right) \quad (2.2)$$

式(2.2)为二维体系的表达式,即电导率是因子 e^2/h 的函数,所以, e^2/h 称为电导量子,记为 G_Q ,有时也常用其倒数,即 $R_Q = h/e^2 \approx 25.813 \text{ k}\Omega$,称为电阻量子(Resistance quantum)。

在 IBM 公司工作的 Landauer,于 1957 年导出了另外一个公式,他的基本想法是,当测量一个样品的电流-电压(I - V)特性曲线时,在这个样品上至少要连接两条导线来测量流过的电流。若将连接样品的导线视为理想导体,即传播电子波的理想波导,而将被测器件视为一个势垒。这样,器件的电导系数就一定依赖于电子波穿透势垒的透射率 T 。对于一个一维体系,考虑了电子的自洽屏蔽作用之后,得到了电导率与透射率之间的关系式为

$$\sigma = \left(\frac{e^2}{h} \right) \frac{T}{1-T} \quad (2.3)$$

由式(2.3)可知,当透射率 T 为 1 时,电导率将为无穷大,即电阻为零。式(2.3)比较直观地给出了纳电子器件中电导率量子化的特征,因此在单电子器件中会产生库仑台阶(Coulomb staircase)。

2.1.2 弹道输运

当电子的弹性散射平均自由程 l_e 比体系(或系统)的尺度 L 小得多时,受无序分布杂质的散射,电子输运主要是扩散方式。而当电子的弹性散射平均自由程 l_e 与系统的尺度 L 相当时,杂质散射可以忽略,限制电流大小的是边界散射,称为弹道输运(Ballistic transport)方式。按 Landauer 理论可得电子弹道传输的公式为^[4-5]

$$\sigma = \left(\frac{e^2}{h} \right) T \quad (2.4)$$

式中, T 为透射率。

弹道输运的研究主要集中在高迁移率半导体异质结二维电子气系统,一般是在 GaAs / AlGaAs 半导体系统中进行的^[4-5]。采用横向限制分裂门技术,在二维电子气的上面沉积有纳米尺寸隙缝的门电极,相对于 AlGaAs 层加负电压,由于静电作用,其下方二维电子气中的电子耗尽,留下一窄的电子通道。这种技术易于实现横向限定宽度与费米面处电子波长 $\lambda_F \approx 50 \text{ nm}$ 可比的尺度,这时单个二维亚带将进一步分裂成一系列的一维子带,使电子只能在一维方向运动,这种器件称为电子波导,器件

中电荷输运是一维弹道的。器件这种弹道性，是因为其长度和宽度均小于二维电子气的低温平均自由程 $l_e \approx 10 \mu\text{m}$ ，且杂质散射也极少。这种方法的优点是，在某一阈值(典型值为 -0.6 V)以上，增加负栅压，通道的宽度和电子密度连续可调。用这种结构研究电子的弹道输运特性，取得了一系列成果^[4-5]。碳纳米管属于这种准一维系统的弹道输运特性，目前在这方面的研究已有很多。

在电子波导中，尽管横向尺寸小于电子平均自由程，但由于波导较长，电子仍可能受到杂质的弹性散射等影响使问题复杂化。量子点接触通常指二维电子气中短而窄的收缩区，一般长 L 与宽 W 相近 ($L \approx W$)，均远小于电子受杂质散射的平均自由程 l_e ，因而输运过程是完全弹道的，弹道输运的一些本征特性得以揭示，其中最突出的是 $2W \geq \lambda_F$ 量子点接触系统的电导量子化现象^[3-4]。在量子点接触中，单电子输运过程显示电导率量子化行为，可以观测到电导的台阶行为。

2.1.3 普适电导涨落

20 世纪 80 年代中期，实验发现在相干长度内电导作为磁场的函数 $G(B)$ 呈现非周期的涨落。在微电子器件中的细小栅极中的电导与电压的关系也有相似的涨落，参考文献[3, 4]对几个介观(mesoscopic)样品中的电导涨落实验进行了阐述。在介观样品中的这种涨落具有如下特征^[4]：

(1) 这种涨落是与时间无关的非周期涨落。由于热噪声与时间有关，因此这种电导涨落不是热噪声。

(2) 这种涨落是样品特有的，每一特定的样品有其自身特有的涨落图样，而且，对于给定的样品，在宏观条件不变的情况下，其涨落图样是可以重现的，因此，这种涨落被称为样品的指纹。

(3) 电导涨落最突出的特征是涨落大小的量级为 $e^2/h (\approx 4 \times 10^{-5} \text{ S})$ 的普适量，与样品材料、大小、无序程度、电导平均值无关，只要样品是介观大小的，并处于金属区，即满足 $\lambda_F \ll l_e \ll L \leq L_\phi$ (其中， λ_F 为费米面处电子波长， l_e 为弹性散射平均自由程， L 为样品的线性度， L_ϕ 为电子波函数相位相干长度)。理论研究还表明，电导涨落的大小与样品形状及空间维数只有微弱的依赖关系。正是由于电导涨落大小的这一普适性，故称为普适电导涨落(Universal Conductance Fluctuations, UCF)。

从物理上看，普适电导涨落是由于电子波量子相干效应。由于散射，细金属线中的电子通过样品有许多不同的运动路径。在磁场中每条路径将得到一个附加相移 ϕ ，

两条不同路径之间，因磁场而引起的相位差由这两条路径所包围的磁通决定。因此每个结点处干涉图样将随磁场振荡，周期为 h/e 除以回路的面积。因为面积的取值可以从零直至样品垂直磁场方向的截面积大小，不同回路的周期和相位振荡叠加会产生影响，所以样品电导是一个非周期的函数。即由于电子运动的路径是无规则的，路径所包围的磁通量也是无规则的，导致了随机干涉效应和相应的电导涨落，涨落的均方根值为 e^2/h 。不同的样品即使宏观性质完全相同，其涨落的图样也不相同，这是由于载流子受样品中杂质的相干散射引起的。电导取决于样品中的杂质组态，样品电导涨落的图样反映了样品在微观上的特定杂质位形，是样品的特定指纹^[5]。

2.1.4 库仑阻塞

在纳米体系结构中，由于微粒静电能的变化远超过 $k_B T$ ，电荷的改变十分困难，这相当于如图 2.1(a) 所示的情形，当单电子从一个金属微粒通过绝缘层隧穿到另一金属微粒，由于使体系能量改变过大而在一定范围内被禁止，即形成的电流在一定的条件下会产生中断，这种现象称为隧穿过程的库仑阻塞^[3](Coulomb blockade)。这里按参考文献[3]对库仑阻塞效应的概念进行阐述。

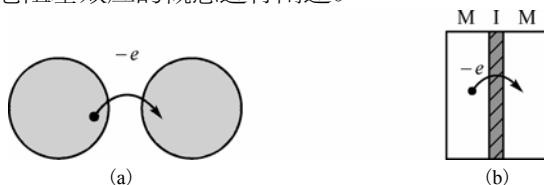


图 2.1 (a) 电子在微粒之间；(b) MIM 结中的量子隧穿

为研究方便，将图 2.1(a) 结构等效成一如图 2.1(b) 所示的金属(M)、绝缘体(I)构成的 MIM 结^[3]。从经典物理的角度，这是一电容器，设电容值为 C ，称为隧道结电容。从量子力学的角度，由于电子可隧穿过中间的势垒，称为隧道结。当电子从极板 1 隧穿到极板 2 时，极板 1 的电荷增加 e ，结电压改变 $\Delta V = e/C$ ，静电能增加 $E_C = e^2/(2C)$ ，这个能量也称为电容器的充电能。

在通常的尺度下，如果结面积为 $0.1 \times 0.1 \text{ nm}^2$ 时，单电子隧穿引起的结电压改变很小， ΔV 约为 10^{-9} V ，其效果为热涨落所掩盖。唯一可能的后果是由于电荷的分立性，在通过隧道结的电流中产生散粒噪声(Shot noise)。但当尺寸小到如 $0.1 \text{ nm} \times 0.1 \text{ nm}$ ，绝缘层厚 1.0 nm 左右时，结电容 $C \approx 10^{-15} \text{ F}$ ，温度 $T = e^2/(2Ck_B) \approx 1 \text{ K}$ ，在 mK 温度

范围会出现库仑阻塞现象^[6]。

库仑阻塞现象发生的第一个条件显然是热涨落的影响要小,即

$$E_C \equiv \frac{e^2}{2C} \ll k_B T \quad (2.5)$$

否则热涨落会影响充电效应,这一条件相当于要求结足够小,即减少电容 C ,以及工作温度 T 足够低,对隧道结而言,充电能起主要作用^[7-8]。

第二个条件是量子力学的涨落要小。如果单电子隧穿过程的平均时间为 τ_T ,形式上可写成 $\tau_T = R_T C$, R_T 为隧道结电阻,隧穿过程引起的能量涨落 $\Delta E \approx \hbar / \tau_T$,量子力学涨落足够小,相当于 $E_C \ll \hbar / (R_T C)$,或

$$R_T \ll R_Q = \frac{h}{e^2} \quad (2.6)$$

式中 $R_Q = h/e^2$ 为电阻量子,其数值约为 $25.813 \text{ k}\Omega$ 。

2.1.5 量子相干效应

当系统的物理尺度在纳米级时,电子输运过程要经历很多多次弹性散射,具有量子相干效应,主要有 A-B 效应、AAS 效应、普适电导涨落等^[4-5]。

Aharonov 和 Bohm 研究了电磁场的磁矢势 \mathbf{A} 的物理意义,指出:如果电子束被分开,并包围一定的磁通而后合并,如图2.2所示,则不管电子束经过的路径上有无磁场存在,其叠加的强度将随磁通量做周期性的变化^[9]。很容易证明,这时两电子分束的相位差为

$$\Delta\varphi = \frac{e}{\hbar} \left(\int_{L_1} \mathbf{A} \cdot d\mathbf{l} - \int_{L_2} \mathbf{A} \cdot d\mathbf{l} \right) = \frac{e}{\hbar} \oint \mathbf{A} \cdot d\mathbf{l} = 2\pi\Phi/(\hbar/e) \quad (2.7)$$

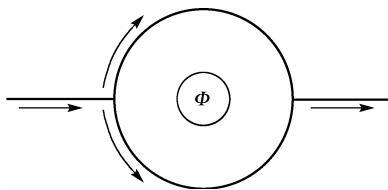


图 2.2 A-B 效应示意图

即其周期为 \hbar/e 。这个效应的意义在于证明了磁矢势 \mathbf{A} 是真实的物理量而不是数学上的计算方法^[4]。这种 A-B 效应后来被实验所证实^[10]。但是这些实验中电子的路径都是在真空中,也就是说电子不经受任何散射。能否在一定程度上有无序存在的固体中观察到上述效应,一直是人们所关注的问题。

Sharvin 的实验证实了在弹性散射存在的情况下,电子波仍然是相干的。然而,这种干涉基于电子分波经历的散射具有时间反演对称性。因此人们仍以不懈地努力在寻求以 \hbar/e 为周期的物理现象^[4]。

在观测 A-B 效应的实验中,人们发现其傅里叶谱上除 \hbar/e 峰外,还有 $\hbar/(2e)$ 峰^[5]。

这个以 $h/(2e)$ 峰所表明的特征, 称为 AAS 效应^[11]。对于非理想的薄壁小圆柱样品,

其电导随穿过中空区的磁通 Φ 做周期振荡, 其周期的理论计算结果为 $h/(2e)$ 。物理

图像为: 当电子波被初始散射体散射后, 两个分波分别沿顺时针和逆时针路径传播, 也就是沿着互为反演的路径传播。尽管每次散射, 振幅可能有所削弱, 但对于散射体, 其弹性散射正过程和逆过程的振幅和相位变化是相同的。结果两个分波在回到初始散射体时振幅和相位相同, 因而发生相位干涉。这是电子波局域化倾向的表现, 导致了样品电导的降低。当磁通 Φ 由环形路径包围时, 沿顺时针方向路径, 磁矢势的相位改变为 $-\varphi$, 而逆时针方向相位改变为 φ , 两个波在初始点相遇时的相位差为 2φ , 于是所产生干涉的相应周期为 $h/(2e)$, 而不是 h/e ^[5]。后来 AAS 效应被实验证实^[12]。关于普适电导涨落在上面已介绍。

2.2 Landauer-Büttiker电导公式

在研究纳体系的电子器件时, 主要观测手段是测量器件的 I - V 特性曲线, 因此器件的电导系数的计算在纳电子器件的研究中占有十分重要的地位。然而, 这里面对的是纳米尺度体系的量子输运问题, 载流子无规行走不同路径间的相位相干不能略去, 同时还要计及样品和其他部分之间界面的存在, 需要采用 Landauer 类型的公式, 将输运视为载流子流入射到样品边界上的结果, 通过透射率 T 和反射率 R 表述其电导^[3]。Landauer 首先推导出了两端单通道电导公式^[13-14], Büttiker 将其推广到多通道情况下, 推导出了多通道 Büttiker 电导公式^[15]。Landauer-Büttiker 电导公式能给人们比较直观的概念, 便于更好地理解纳电子器件的输运机理。

2.2.1 两端单通道Landauer电导公式

为便于理解, 首先讨论如图2.3(a)所示的两个理想电子库间通过一理想导体相连接的情形^[3]。理想导体是指不含杂质, 电子在其中不受散射的导体。假定理想导体是严格一维的, 即只有一个传播模式或通道。电子波在沿导体方向仍以行波方式传播, 能量作为波矢量 \mathbf{k} 的函数可写为

$$E(\mathbf{k}) = E + \frac{\hbar^2 \mathbf{k}^2}{2m} \quad (2.8)$$

其中, E 为带底能量, m 为电子质量。

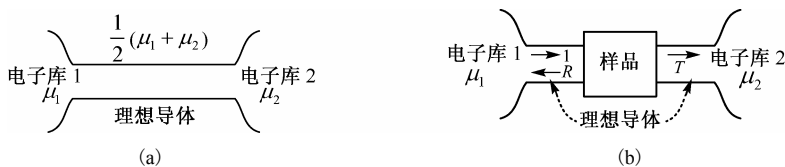


图 2.3 与电子库相连的两端导体示意图

理想电子库满足条件为：(1)所有入射的电子，不管其能量与相位，均被库吸收；(2)在库的内部，电子处于热平衡状态，按费米统计分布，电子库能够不断地提供能量低于其化学势 μ 的电子，这些电子的能量及相位与所吸收的电子无关^[3]。同时理想电子库和理想导体间无反射地光滑连接。

在 $T = 0 \text{ K}$ 情形下，设库 1 的化学势 μ_1 高过库 2 的化学势 μ_2 ，即

$$\mu_1 = \mu_2 + eV \quad (2.9)$$

其中 V 为电压差，由于化学势小于 μ_2 ，从库 1 向右和库 2 向左的电子对电流的贡献相互抵消，向右的净电流为

$$I = 2e \int_{\mu_2}^{\mu_1} v_k \frac{dk}{dE_k} \frac{dE_k}{2\pi} = \frac{2e}{h} (\mu_1 - \mu_2) \quad (2.10)$$

式(2.10)推导中用到了电子波速度 $v_k = \hbar^{-1} dE_k/dk$ ，因子(或系数)“2”来源于每个 k 态有两个电子。将式(2.9)代入到式(2.10)中，这样，便可得两端单通道理想导体的电导为

$$G = \frac{I}{V} = \frac{2e^2}{h} \quad (2.11)$$

理想导体上的化学势同等程度地受到两个电子库的控制，化学势为 $\mu = (\mu_1 + \mu_2)/2$ ，且沿理想导体并无电压降或化学势的变化。电压降实际上均等地降在理想导体和左右两个电子库的接触区上，式(2.11)给出的电阻 $1/G$ 是接触电阻，在理想情形下，每一通道每个接触的电阻为 $h/(4e^2)$ ，约为 $6.5 \text{ k}\Omega$ 。

现在讨论如图 2.3(b)所示的情况，即在理想导体中间插入一段纳米尺度的无序导体或器件，如果入射电子的透射率 T 小于 1，则式(2.10)给出的电流应按比例减小，即为

$$I = \frac{2e}{h} (\mu_1 - \mu_2) T = \frac{2e^2}{h} VT \quad (2.12)$$

因此一维两端单通道器件的电导为

$$G = \frac{I}{V} = \frac{2e^2}{h} T \quad (2.13)$$

这是 Landauer 类型公式之一，常称为 Büttiker 公式^[14]。

扣除接触电阻后可得到样品或器件本身的电导为

$$G = \frac{2e^2}{h} \frac{T}{1-T} = \frac{2e^2}{h} \frac{T}{R} \quad (2.14)$$

式(2.14)即为两端单通道 Landauer 电导公式^[13]。

按照我们原有的认识，有限值的电导或电阻总是与能量的损耗联系在一起的，而这里，样品或器件本身决定着电导或电阻的大小[参见式(2.14)]，损耗或是不可逆过程却发生在另外的地方——电子库中，电子在电子库中受到非弹性散射，达到热平衡，非弹性散射同时也去掉了电子的相位记忆，这与原有的认识十分不同^[3]。

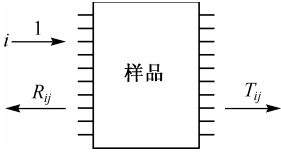


图 2.4 纳系统样品两端多通道示意图

2.2.2 两端多通道 Büttiker 电导公式

现在来讨论当连接的纳米系统导线不是严格的一维导体而有一定宽度时，即电子将填充其多个子能带，设共有 N 个通道被填充，则有 N 个允许通道模式，如图2.4所示为纳米系统样品两端多通道情形示意图^[15-16]。这里分析讨论

是设在 $T = 0 \text{ K}$ 情形下，上述公式(2.9)成立。

为便于分析，对给定能量 E ，则令 T_{ij} 为电子从左端第 i 通道透射到右端第 j 通道的透射率，而 R_{ij} 为从左端第 i 通道反射回左端第 j 通道的反射率，因此从左端透射进入右端第 j 通道的总透射率为

$$T_j = \sum_{i=1}^N T_{ij} \quad (2.15)$$

从左端各通道反射回左端第 j 通道的总反射率为

$$R_j = \sum_{i=1}^N R_{ij} \quad (2.16)$$

同样可对右端的通道做相应的定义 $T'_j = \sum_i T'_{ij}$ 和 $R'_j = \sum_i R'_{ij}$ 。由于电子是自由的，应该满足精细平衡条件^[5]

$$R'_j + T_j = 1, \quad R_j + T'_j = 1 \quad (2.17)$$

由上面单通道器件求净电流公式(2.10)，可以得出右端第 j 通道的总电流为

$$I_j = \frac{2e}{h} (\mu_1 - \mu_2) T_j = \frac{2e}{h} (\mu_1 - \mu_2) \sum_{i=1}^N T_{ij} \quad (2.18)$$

则可得到从左端向右端多通道器件总电流为

$$I = \sum_{i=1}^N I_j = \frac{2e}{h} (\mu_1 - \mu_2) \sum_{i=1}^N T_j = \frac{2e}{h} (\mu_1 - \mu_2) \sum_{i,j=1}^N T_{ij} \quad (2.19)$$

将式(2.9)代入到式(2.19)中, 便可得两端多通道样品或器件的电导为

$$G = \frac{I}{V} = \frac{2e^2}{h} \sum_{i,j=1}^N T_{ij} \quad (2.20)$$

2.2.3 弹道结构的电导系数

如果器件是弹道结构的一维(1D)纳米线, 杂质散射可以忽略, 限制电流大小的是边界散射^[5]。在测试器件(即纳米线)的两端电导时, 将两端连接的导线视为两个无限宽的理想电子库, 其内部电子处于热平衡状态, 能量分布满足费米统计分布, 设两个电子库的化学势分别为 μ_1 和 μ_2 , 并且 $\mu_1 > \mu_2$, $\Delta\mu = \mu_1 - \mu_2$ 。若 n 为电子密度, E 为能量, 很容易证明一维结构的态密度为 $(dn/dE) = 1/(2\pi\hbar v)$, 其反比于速度 v , 因此注入子带 j 的电流^[14]

$$I_j = 2ev_j \frac{dn}{dE} \Delta\mu = \frac{2e}{h} (\mu_1 - \mu_2) \quad (2.21)$$

不依赖于所考虑的特定一维(1D)子带, 通常可以只用费米能级处的态密度和速度来讨论。如果温度远小于横向能级间隔(即满足 $k_B T \ll \Delta E$ 条件), 理想细线的长度远大于衰减模式的衰减长度, 并假设电流是均等地分布于各子带。总电流 $I = N(2e/h)\Delta\mu$, N 为低于费米能级的一维子带总数, 两个宽电子库之间的电位差为 $V = \Delta\mu/e$, 则有 N 个子带的理想弹道线两端电导为

$$G = \frac{2e^2}{h} N \quad (2.22)$$

这里, 理想弹道结构的两端电导是子带数的量子化函数。注意, 两端电阻总是正的。如果考虑到细线中不存在散射(即 $T_{ij} = \delta_{ij}$)的条件, 则式(2.20)可以简化为式(2.22)。

2.3 单电子隧穿

单电子的隧穿(Single-Electron Tunneling, SET)现象是纳米体系结构中出现的基 本物理现象, 它是各种单电子隧穿器件的工作基础。这类器件的共同特点是在特定的时间内, 只有单个电子在电路中传输。为使这种传输方式具有可控制性, 需要设置满足电子隧穿的发生条件, 这些条件包括与器件相连的外部环境电压、电流、能

量等物理量。为能够借助于传统方法来分析和设计单电子隧穿器件电路，必然需要以电压、电流作为分析对象来进行，即对其 $I-V$ 特性进行研究。所以，就需要搞清楚单电子隧穿所要满足的外部条件以及它们的输运理论和特性。

2.3.1 单电子隧穿现象及条件

1951 年，Gorter 观察到颗粒状金属的电阻随温度下降表现出反常增加的行为，他解释为每个金属微粒相互之间存在隧穿势垒^[8]，这就是最早提出的单电子隧穿现象，但当时并没有产生很大的影响。直到 20 世纪 80 年代后期，随着微细加工技术的发展，美国 Bell 实验室和 MIT 的研究人员，相继在金属和半导体微结构中观察到了库仑阻塞效应，单电子隧穿现象才重新得到关注，并很快成为固体物理学研究中的一个热点^[7-8, 17]。同时，单电子隧穿现象作为构造未来单电子器件的基础，引起了人们越来越多的关注。1985 年，由 Averin 和 Likharev 阐明了单电子隧道效应的正统理论^[7, 18]。在这个理论中，定量描述了一些重要的电荷作用，比如，库仑阻塞和单电子隧穿振荡(也称为库仑振荡)。

现在讨论如图 2.5 所示结构的情况，在源和漏极之间加一个电极，称其为量子点(或称为“岛”)。在源极和漏极之间加电压，电子从源极到漏极必须经过中间的岛。假设电子通过源-岛和岛-漏之间绝缘隙(或称隧道结)的传导是由量子隧穿产生的，而且这一隧穿过程进行得很快，可以视为每次只是以单个电子的方式穿过绝缘隙，并且每次穿过特定隧道结的隧穿事件是不相关的，满足泊松(Poisson)过程。电子从源极到漏极的输运过程中，必定会使得岛中的电荷发生变化。若在通常的电子器件中，这个变化是很微小的电荷量，然而，如果岛足够小，当岛中出现一个过剩电子都会使岛的电势改变很大，发生库仑阻塞使得隧穿几率下降^[5, 8]。图 2.5 所示结构为双隧道结系统。

这种单电子隧穿现象反应了电子在具有微小隧道结体系的输运过程中，由于单个电子的进出引起系统能量的显著变化，限制了下一个电子的隧穿，而导致宏观电学性质($I-V$ 特性)的显著变化。具体讲，单电子隧穿通过双隧道结时，量子点(岛)中的电量变化为一个电子电量 e ，因此单电子隧穿现象将呈现电荷量子化。电子能否隧穿通过隧道势垒，主要是由电子隧穿引起的系统静电能的变化而决定的。通常对量子点的静电能变化的计算都是由它的电容 C 来体现的。当电子 e 发生隧穿时，使得系统的库仑能将增加至 $E_C = e^2/(2C)$ 。然而，在纳米隧道结系统中发生单电子隧穿现象，实现库仑阻塞，必须满足下面的两个基本条件^[8]：

第一个条件是系统中必须有一个导电的岛(量子点)，它只通过隧道势垒与其他金属

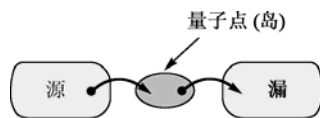


图 2.5 电子在源-岛-漏之间量子隧穿

电极连接, 且隧道结的隧穿电阻 R_T 必须远大于电阻量子 $R_Q = h/e^2 \approx 25.813 \text{ k}\Omega$, 即

$$R_T \gg R_Q = \frac{h}{e^2} \quad (2.23)$$

其中隧道结电阻 R_T 是一个唯象学的量, 它是由隧道结两边电极上电位差 V 与隧穿几率 Γ 的比值关系定义的, 而单个电子通过势垒的隧穿几率为 $\Gamma = V/(eR_T)$ 。隧道结电阻可以由费米能级处的势垒透射率 T 表示为 $R_T^{-1} = 4\pi^2 NTR_Q^{-1}$, 这里 N 是通过势垒的独立电子通道数量。式 (2.23) 要求对于岛上一个过剩电子, 与隧穿寿命 (即隧穿过程的平均时间) $\tau_T = R_T C$ 相关的能量不确定量比库仑能 $E_C = e^2/(2C)$ 小得多。这个条件基本保证了岛上过剩电子被局限在岛的范围内。如果系统的隧道结电阻 R_T 比电阻量子 R_Q 小, 由于非局域态对电子传输有利, 电流可以流过岛, 该系统的充电能效则被抑制了^[5]。

第二个条件是岛必须足够小, 或是温度必须足够低, 使得加到岛上的一个电荷载流子增加的静电能 $E_C = e^2/(2C)$ 远远超过温度引起的热涨落能, 即

$$E_C = \frac{e^2}{2C} \gg k_B T \quad (2.24)$$

否则热涨落会影响充电效应, 这一条件要求减少电容 C 和降低工作温度 T 。为了能在室温下观测和利用库仑阻塞效应, 要求电容数量级约为 $C = 1 \text{ aF} = 10^{-18} \text{ F}$, 这是一个很小的数值。由此可以估算岛的尺寸, 通常量子点 (岛) 的电容不仅取决于它的尺寸和局部静电环境, 还与能级间距有关, 计算模型各有不同。若这里采用公式

$C = 2\pi\epsilon_0\epsilon_r r$ 来计算岛的半径 r , 其中 ϵ_0 真空介电常数, ϵ_r 为相对介电常数, 则可

得出纳米 (nm) 数量级结果。在式 (2.24) 中, 只要使得岛的半径稍大点, 即电容略低于 10^{-15} F 数量级, 实验就需要在几十 mK 温度范围内进行, 这样才会观察到库仑阻塞效应。

式 (2.23) 和式 (2.24) 保证了可以用库仑电能来控制电荷在岛之间的输运。可以采用在外部加栅极电压来使岛中的电荷能增加或降低, 达到操纵单个电荷载流子的输运, 如图 2.6 所示。

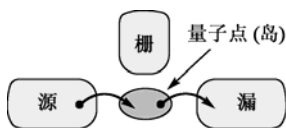


图 2.6 外加栅极电压操纵单个载流子示意图

2.3.2 电流偏置单隧道结

Likharev 等人创立的正统单电子理论^[7-8]描述了在库仑阻塞影响下的电荷输运规律, 正统理论 (Orthodox theory) 是一种唯象的理论分析, 虽然是建立在三种主要假设^[8]的基础上的, 但是理论计算结果与实验有较好的一致性。从上面的讨论可知, 产生

单电子隧穿现象的基本系统是一个金属岛，以及至少是通过两个隧道结与电子库相连接的系统。因此，单电子隧穿现象的主要研究对象是超小隧道结，它是由两个金属(M)电极及夹在其间的绝缘隙构成，如图2.7(a)所示，其参数为结电容 C 和隧道结电阻 R_T ，图2.7(b)为隧道结的符号表示(带竖线的方框符号)。与通常的电容相比，隧道结中的绝缘隙足够薄，具有势垒，在纳米级系统中电子能以一定的几率隧穿势垒。

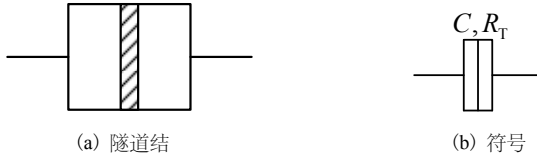


图 2.7 隧道结及其符号示意图

如果只有一个小电容的隧道结，如图2.7(a)所示的金属隧道结，Likharev 等人预言单结的库仑阻塞及新效应的应用，他们从理论上讨论了一个由电流源 I 偏置图2.7(a)所示的隧道结^[19]，用高阻抗电压表测得其电压降为 V ，并将隧道结的特性用两个参量来表征，即隧道结电容 C 和电阻 R_T 。结的状态则用两个本性不同的自由度描述^[5]，第一个自由度是结电容上的电荷 Q ，它是连续变化的量。 Q 为在两个金属电极中因电子相对正背景电荷移动而引起的感应电荷。电子很小的位移将导致电荷 Q 的微小变化，即使以基元电荷为尺度，电荷 Q 也是连续的，可以是基元电荷的任意实数。第二个自由度是已经通过隧道势垒的电子数 n ，它是分立变化的量。

现在就来考虑一个如图2.8所示，偏置电流为 I 的单隧道结情形^[3]，电流 I 可看做是随时间变化的，即亦可写为 $I(t)$ 。如上面所述，这里隧道结的特性由结电容 C 和结电阻 R_T 两个参数来描述。而隧道结的状态由另外两个参数描述：结电极上的电荷 Q 和通过势垒隧穿电子数 n ，电子隧穿将导致体系静电能的改变为

$$\Delta E^{\pm} = \frac{Q^2}{2C} - \frac{(Q \mp e)^2}{2C} = \pm \frac{e}{C} \left(Q \mp \frac{e}{2} \right) \quad (2.25)$$

e/C 前的+号对应于极板 1 减少电荷 e 。在 $T = 0 \text{ K}$ 时，隧穿过程仅当 $\Delta E^{\pm} > 0$ ，即使体系能量减小时才能发生，因而在

$$-\frac{1}{2}e < Q < \frac{1}{2}e \quad (2.26)$$

范围内, 发生库仑阻塞。

当偏置电流 $I(t)$ 不为零且很小时, 隧道结上的电荷按 $\dot{Q} = I(t)$ 的速率线性增加。结上电荷 Q 来源于金属极板上导电电子相对于正电荷背景很小的位移, 可以连续变化。当 Q 超过阈值 $e/2$ 时, 隧穿发生, 使 Q 突然降到 $-e/2$ (参见图 2.9), 新的循环开始。图 2.9 中的实线所示过程使体系能量降低, 虚线所示过程使体系能量升高。隧道结的端电压 V 相应地地呈现锯齿形振荡 (参见 2.4.3 节中的图 2.17), 振幅为 $e/(2C)$ 。这种单电子隧穿过程的重叠频率为

$$f = \frac{\bar{I}}{e} \quad (2.27)$$

式中 \bar{I} 为平均电流 (或为恒定电流 I 亦可)。在物理上重要的是, 尽管隧穿过程本身是随机的, 这时 (在低温和很小的偏置电流下) 相邻的隧穿事件却是关联的, 相隔一定的时间间隔, 这是静电能起主要作用产生的新的效应。

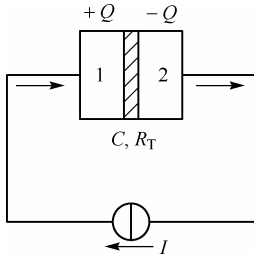


图 2.8 电流偏置单隧道结示意图

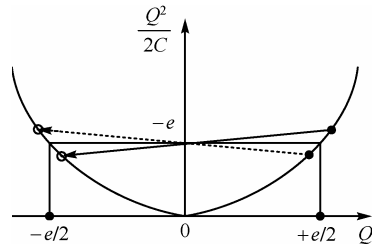


图 2.9 隧穿过程库仑阻塞示意图

在低温极限 $\Delta E \ll k_B T$ 条件下, 按正统单电子理论^[7], 单电子隧穿速率的计算结果可写为

$$\Gamma(\Delta E) = \frac{1}{e^2 R_T} \cdot \frac{\Delta E}{1 - \exp(-\Delta E / k_B T)} \quad (2.28)$$

对于温度 $T = 0 \text{ K}$ 时, 上述方程可简化为

$$\Gamma(\Delta E) = \begin{cases} \frac{1}{e^2 R_T} \Delta E, & \Delta E > 0 \\ 0, & \Delta E < 0 \end{cases} \quad (2.29)$$

其中 ΔE 是隧穿引起的静电能的变化。隧穿速率计算中涉及的隧穿矩阵元和电子能态密度的影响反映在隧道结电阻 R_T 的大小中。

偏置电流为 I 时, 隧道结电压按速率 I/C 增加, 隧穿发生时, 突然下降 e/C 。对

于 $V(t)$ 总大于阈值 $e/(2C)$ 情形, 隧穿率式(2.29)为

$$\Gamma(V) = \frac{C}{2e^2 R_T} \left[V^2 - \left(V - \frac{e}{C} \right)^2 \right] \quad (2.30)$$

如平均电压记为 \bar{V} , 在从 $\bar{V} - e/(2C)$ 到 $\bar{V} + e/(2C)$ 的一个周期内, 发生一次隧穿, 即

$$\int_{\bar{V}-e/2C}^{\bar{V}+e/2C} \frac{dV}{I/C} \Gamma(V) = 1 \quad (2.31)$$

将式(2.30)代入式(2.31), 并计算得

$$\bar{V} = IR_T + \frac{e}{2C} \quad (2.32)$$

这样, 当电流较大时, 伏安特性呈线性, 但与通常欧姆定律给出的结果相比, 在电

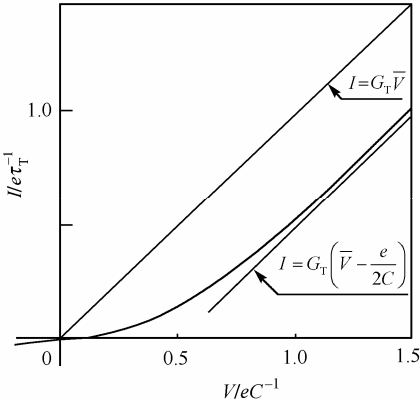


图 2.10 偏置电流单结的直流 I - V 特性(图中 $G_T = 1/R_T$)

压轴上平移了 $e/(2C)$ (参见图2.10)。 $I = 0$ 时 I - V

曲线线性部分的截距 $V_G = e/(2C)$ 称为库仑隙 (Coulomb gap), 是判断库仑阻塞存在的证很小时, 单电子隧穿振荡明显, \bar{V} 低于阈值, 通过仔细的计算给出 $I \propto \bar{V}^2$ 。

对于电压偏置的情形, 隧穿后, 结上的电荷从 Q 改变为 $Q - e$, 偏离外电压源附加在结

上的电荷 $Q = CV$, 体系处于非平衡态。为建立

平衡, 电压源要传输一个电子并使结重新充电到 Q , 因而与隧穿过程相联系的体系能量的改变是电压源所做的功 $\Delta E = eV$, 体系静电能没有变化。按照式(2.29), 得

$$I = e\Gamma = \frac{V}{R_T} \quad (2.33)$$

直流 I - V 曲线没有反常, 与欧姆定律给出的相同。

2.3.3 单电子岛(双隧道结)

电流偏置单隧道结在基础领域研究肯定是有意义的, 但它不适合实际应用, 因为清晰的库仑阻塞所需的必要条件, 在实验上用单隧道结系统太难实现了^[5]。对于单

隧道结系统, 电容 C 除隧道结本身的电容 C_j 外, 实际上不可避免地还包括电极引线间的杂散电容 C_L , C_L 通常远大于 C_j , 典型的关系有 $C_L = 10^4 C_j$, 致使总电容 C 变得很大, 这是在单隧道结系统中难以观察到单电子振荡的原因。

解决的办法是采用图 2.11 所示的双隧道结串联结构。对于两个隧道结之间的单电子岛或简称“岛”(亦称量子点或库仑岛)而言, 岛与周围环境间的电容为

$$C_{\Sigma} = C_1 + C_2 \quad (2.34)$$

并不受引线间杂散电容 C_L 大小的影响。只要 C_1 ,

C_2 足够小, 通过任一隧道结的单电子隧穿即可导致岛的静电能的明显改变。且隧穿引起的电荷改变以单电子电荷为单位, 因此两隧道结之间的岛也常称为库仑岛, 或单电子岛。

为有效地控制岛上的电荷, 通常通过一小电容 C_G 由“栅”电压 V_G 向单电子岛“注入”电荷

$q_0 = C_G V_G$, 形成三极管式的电路, 如图 2.11 所示, 此电路即为在 4.3 节中介绍的单电子晶体管 (Single-Electron Transistor, SET) 基本结构及工作原理。此时单电子岛的库仑能为

$$\Delta E = \frac{(ne + q_0)^2}{2C_{\Sigma}} = \frac{(ne + C_G V_G)^2}{2C_{\Sigma}} \quad (2.35)$$

其中 n 为整数, ne 为与隧穿事件联系的电荷数, C_{Σ} 要改为

$$C_{\Sigma} = C_1 + C_2 + C_G \quad (2.36)$$

在单电子器件中研究最多的是单电子晶体管 (SET), 而 SET 工作的物理基础就是单电子隧道效应、库仑阻塞和单电子振荡^[7]。第一个 SET 实验是在 1987 年完成的^[20-21]。在 SET 结构中, 电子隧穿过一个隧道结使岛充电, 隧穿过另一个结就使岛放电, 这样导致有净电流通过器件, 电流值 I 受栅电压 V_G 控制。若两个结的隧道结电阻 $R_T \ll R_Q$, 则电子传输速率由电路的平衡静电能的变化决定。当忽略岛上电子态

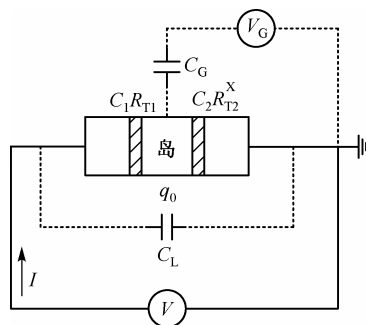


图 2.11 由双隧道结构成的单电子晶体管示意图

的能谱组成时，作为隧穿第一个隧道结的结果，由于过剩电子数从 n 到 $n+1$ 跃变，能量的改变可给出为

$$\Delta E_1 = \frac{e \left[\left(C_2 + \frac{1}{2} C_G \right) V + C_G V_G - ne - \frac{e}{2} \right]}{C_\Sigma} \quad (2.37)$$

式(2.37)中栅电压仅出现在组合项 $(C_G V_G - ne)$ 中，导致所有可测量的量随 V_G 呈周期性变化，周期为 e ，因为 $C_G V_G / e$ 的整数部分总能纳入 n 中。在半导体器件中，这样

严格的周期性通常不会遇到，因为栅电压 V_G 影响结的隧道结电阻，而且栅电容与 V_G 是弱相关的^[5]。按速率式(2.29)分析表明，在温度为 $T=0$ K 时，若 SET 的岛上具有 n 个电子的状态是稳定的，对于隧穿第一个结和第二个结，电压分别需要满足

$$e \left(n - \frac{1}{2} \right) < C_G V_G + \left(C_2 + \frac{1}{2} C_G \right) V < e \left(n + \frac{1}{2} \right) \quad (2.38a)$$

$$e \left(n - \frac{1}{2} \right) < C_G V_G - \left(C_1 + \frac{1}{2} C_G \right) V < e \left(n + \frac{1}{2} \right) \quad (2.38b)$$

这样，在 V_G - V 平面中沿 V_G 轴有菱形区，如图 2.12 所示(图中设 $C_1 < C_2$)^[7]，在菱形区内三极管的岛上有固定数量的过剩电子。在这些菱形内，所有传输因库仑阻塞而被抑制，没有电流流过器件是稳定的。例如，在 $V_G = V = 0$ ， $n=0$ 态是稳定的。

式(2.38)表明，只要系统在 V_G - V 平面上 $V \neq 0$ 的一点离开了 $n=0$ 的稳定区，则会发生隧穿跃迁，比如到了 $n=1$ 区，对于隧穿越过另一个结来说，这个新态是不稳定的。因此，在第一个隧穿事件之后电子即刻通过另一个结离开岛，系统返回到 $n=0$ 态，循环再次开始。

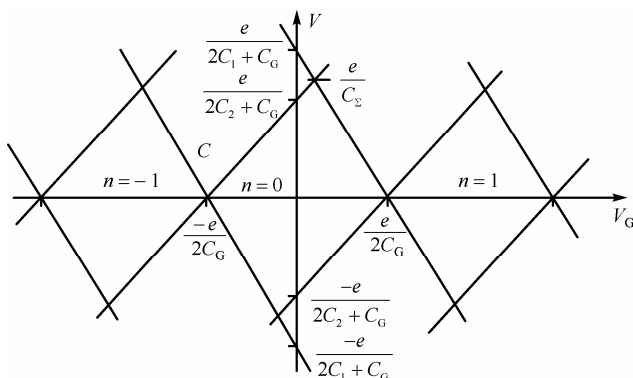


图 2.12 SET 的稳态图(只在菱形区内是稳定的)

当电压 V 为 e/C 的数量级时, 电流 I 对 V_G 很敏感。当极化电荷 $C_G V_G$ 有一个小的变化, 即只需基元电荷 e 的一小部分就可使电流从 0 变化到 $E_C/(eR_T)$ 的数量级。所以, 单电子晶体管 (SET) 可用做高灵敏静电计, 同样可用做低噪声模拟信号放大器。

用单电子岛构成的单电子隧穿器件作为基本单元, 可以构建更精密且复杂得多的结电路, 当然, 还可以用多岛构成一维阵列和二维阵列等器件和简单电路, 由这些单电子器件就构成了单电子电路系统, 所涉及内容将在后面的章节中讨论。

2.3.4 电子输运的主方程

如前所述, 正统单电子理论只告诉我们, 在单电子电路中如何来计算一个电子隧穿过势垒 (隧道结) 的隧穿几率, 但是没有阐述任何关于许多电子隧穿的统计学规律。参考文献[7]阐述了关于单电子电路中出现的多个部分电子隧穿状态问题, 对它们的研究必然要采用统计力学和随机过程的理论。这个方法仅能推测计算出电子操纵隧穿的统计学规律, 然而, 下面将要讨论数学模型——电子输运的“主方程” (Master Equation, ME) 计算出的结果, 与实验结果符合得很好, 实验也证实了该模型的正确性^[7, 22]。

首先假设系统的电子隧穿与过去状态无关, 即它们具有无记忆性, 因此, 电子隧穿几率只取决于该系统当时的瞬时状态, 这个假设正确地符合了马尔可夫 (Markov) 过程判据。这里, 如果采用前面讲述的在正统理论的假设下, 单电子隧穿过程的情况分析, 则可以做进一步的假设, 若将系统变为在任意时刻用类似于跳跃的方式, 对这样一个系统, 就可以用主方程来描述:

$$\frac{\partial p(S, t)}{\partial t} = \int dS' [\Gamma(S|S') p(S', t) - \Gamma(S'|S) p(S, t)] \quad (2.39)$$

这里 $p(S, t)$ 是状态空间中的概率密度函数, 而 $\Gamma(S|S')$ 是表示从状态 S' 到状态 S 的跃迁 (隧穿) 速率。如果系统的状态是离散的, 则主方程变为

$$\frac{\partial P_i(t)}{\partial t} = \sum_{j \neq i} [\Gamma_{ij} P_j(t) - \Gamma_{ji} P_i(t)] \quad (2.40)$$

这里的 Γ_{ij} 表示从状态 j 到状态 i 的跃迁(隧穿)速率, $P_i(t)$ 是状态 i 与时间相关的占据概率。在这里一个状态就是一个特殊的电荷分布, 也就是说, 每个岛或是量子点由一定数量的电子占据着。

对于单电子电路的分析和计算, 需要进行数值模拟(或仿真), 在4.3.5节中介绍了几种方法, 其中的主方程方法就是设法求解式(2.40), 在单电子电路系统中, 一般都是按这样的随机过程来进行分析讨论的。

这里着重对于一个串联的双隧道结体系, 即一个 SET 系统进行讨论。由介观结构的哈密顿量出发, 可以得到描述库仑岛不同电子数的态占据概率 $p(n, t)$ 的一个简单的主方程^[22-23], 即

$$\begin{aligned} \frac{\partial p(n, t)}{\partial t} = & [\Gamma_1^+(n-1) + \Gamma_2^+(n-1)] p(n-1, t) + [\Gamma_1^-(n+1) + \Gamma_2^-(n+1)] p(n+1, t) - \\ & [\Gamma_1^+(n) + \Gamma_2^+(n) + \Gamma_1^-(n) + \Gamma_2^-(n)] p(n, t) \end{aligned} \quad (2.41)$$

其中, n 和 p 分别代表库仑岛上的电子数和相应态的占据几率, 且满足

$$\sum_{n=-\infty}^{+\infty} p(n) = 1 \quad (2.42)$$

式(2.41)中的 Γ 表示势垒的隧穿几率。在某一时刻, 体系中同时存在着4种可能的隧穿路径, 如图2.13所示, 分别用 Γ_1^+ , Γ_1^- , Γ_2^+ , Γ_2^- 表示, 其中+、-号分别代表着库仑岛内或外的隧穿方向, 而1、2分别代表通过隧道结1或2的隧穿过程。式(2.41)中等号右边第三项分别表示由 $n-1$ 态向 n 态、由 $n+1$ 态向 n 态以及由 n 态向 $n-1$ 态和 $n+1$ 态的变化速率。

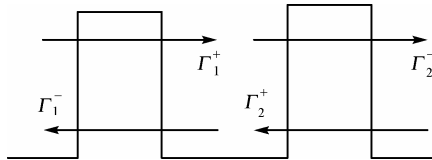


图 2.13 串联双隧道结体系示意图

通过整个体系的电流等于每个隧道结的隧穿电流的代数和, 而各隧道结的隧穿电流等于 n 由 $-\infty$ 到 $+\infty$ 变化时, 所有相应隧穿过程贡献之和。一般情况下, SET 的输入电流和输出电流分别为

$$I_1(V) = e \sum_{n=-\infty}^{+\infty} p(n, t) \left[\Gamma_1^-(n) - \Gamma_1^+(n) \right] \quad (2.43a)$$

$$I_2(V) = e \sum_{n=-\infty}^{+\infty} p(n, t) \left[\Gamma_2^+(n) - \Gamma_2^-(n) \right] \quad (2.43b)$$

在大多数情况下，对隧道结施加直流(恒流)偏置电压，则得到也是直流电流。在这种情况下，就可以求出主方程的稳态解，此时，通过两个隧道结的电流相等：

$I = I_1 = I_2$ ，即

$$I(V) = e \sum_{n=-\infty}^{+\infty} p(n) \left[\Gamma_1^-(n) - \Gamma_1^+(n) \right] = e \sum_{n=-\infty}^{+\infty} p(n) \left[\Gamma_2^+(n) - \Gamma_2^-(n) \right] \quad (2.44)$$

2.4 库仑台阶和库仑振荡

在2.3节中介绍了单电子隧穿现象，分别对电流偏置单隧道结和双隧道结情形进行了讨论。本节将重点关注单电子隧穿现象的时间和空间相关性，它是单电子学的核心。这里所呈现出的单电子隧穿现象具有周期振荡性，称为库仑振荡(Coulomb Oscillation)。而且双隧道结串联体系(即单电子晶体管结构)的电流-电压关系将出现台阶形式变化，即库仑台阶现象。

2.4.1 引言

对单隧道结而言，若在其两端接上电流源时，单电子隧穿事件将是周期性出现的，即为单电子隧道振荡(Single-Electron Tunneling Oscillations)现象。在不同的偏置电压下，单电子晶体管(SET)的电流-电压(I - V)特性会呈现不同的形式，即SET的两个基本特性就是库仑振荡和库仑台阶^[24-25]，通过它们的变化可以表征电荷与能量的量子化对岛(量子点)输运的影响。在固定的栅极偏压时，隧穿电流随漏源极偏压将以台阶式增加变化，每一个台阶对应应增加一个电子输运，台阶之间的间隔为 e/C ，这就成为库仑台阶。量子点(岛)和漏源极之间的隧穿势垒越高，所观察的台阶数目将越大。而在固定漏源极偏压下，SET的漏源极隧穿电流将随栅极偏压的变化而振荡，这就是库仑振荡。当量子点(库仑岛或岛)中的电子数较大时或量子点(岛)中的能级效应可忽略时，电流的振荡为周期性的库仑振荡。在较小的漏源极偏压下，SET将随栅极偏压逐渐增大或减小而交替导通、关闭(单电子开关现象)。当然，SET还有自旋极化效应和相干共振隧穿等特性^[7]。

2.4.2 库仑台阶

在一个隧道结中发生的隧穿事件有时会影响到相邻隧道结中的隧穿概率，因而就在此相邻隧道结中引起另一个隧穿事件发生，我们称它为空间相关隧穿现象^[7]。可以用最简单的系统来呈现出空间相关隧穿现象，该系统就是在 2.3.3 节中讨论的图 2.11 双隧道结串联结构，这里暂且不考虑图中所加的两个电压源的情形。假设中间的岛是未充电的，左边隧道结具有电容 C_1 ，加有电压 V_1 ，右边隧道结具有电容 C_2 ，且设其接地。这时，岛的电压则为 $V_1 C_1 / (C_1 + C_2)$ 。当 V_1 增大时，两个隧道结其中一个结上的电压终将克服库仑阈值，并且有一个电子将发生隧穿。这个隧穿事件将改变中间岛的电压为 $e / (C_1 + C_2)$ ，因此，加在另一个隧道结上的电压也可以克服库仑阻塞，并且在这个结中也有一个电子将发生隧穿。依次地，这第二个隧穿事件能够在第一个隧道结中又引起一个隧穿事件发生，结果又会在第二个隧道结中引起又一个隧穿事件发生，等等，如此重复下去，这个就被称为空间相关单电子隧穿现象。

现对双隧道结串联的体系进行分析，如图 2.14 所示。图中表明了两个隧道结的串联结构，两个隧道结之间的中心电极由一个孤立的量子点(岛)构成^[26-27]。

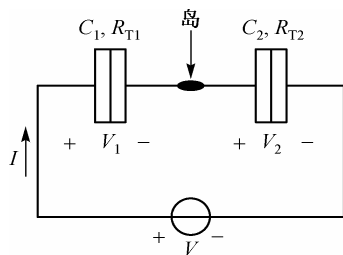


图 2.14 双隧道结串联结构

若假设由理想电压源驱动这个串联隧道结系统，则该系统两端的总电压为 V ，隧道结 1 上的电压为 V_1 ，隧道结 2 上的电压为 V_2 ，其参考方向如图 2.14 所示。电子从隧道

结 1 开始隧穿，这时加在入射势垒(即隧道结 1)的两端势能差为 eV_1 。如果一个电子

隧穿到中间的岛上，系统的库仑能将增加电能为 $\Delta E = e^2 / [2(C_1 + C_2)] = e^2 / (2C)$ 。在温度 $T < (e^2 / 2C) / k_B$ 时，充电能 ΔE 主宰着通过沟道(岛)的电流。当 eV_1 小于 ΔE 时，电子隧穿进入岛将会引起整个系统能量的升高，这时通过岛的电子输运过程是被禁止的，因而整个体系中将没有电流流过，此时系统处于库仑阻塞，如图 2.15 所示，当 $|V| < e / (2C)$ 时，有 $I = 0$ 。只有当 eV_1 大于 ΔE 时，即当 $V > V_T = e / (2C)$ 时 (V_T 为库仑阈值)，克服了库仑阻塞，电流才开始出现。每当入射势垒两端的势能发生变化，即 $e\Delta V_1$ 为 ΔE 的整数倍 $n (n = 1, 2, 3, \dots)$ 时，进入岛中的电子数就增加一个，同时电流也发生一次跃变。即在 eV_1 能量范围内，包含在岛上的电子态的数目将随着外加电压

的增大呈现量子化增长， I - V 特性曲线则表现为台阶形变化趋势(即库仑台阶现象)，台阶的个数反映出库仑岛上积蓄的电子数目。

这里需要说明，台阶形式的 I - V 特性曲线出现的前提条件是：必须满足 $R_{T2}C_2 \neq R_{T1}C_1$ ，即两个隧道结不对称。通常电子对某个结的隧穿几率与该结的电容 C 和电阻 R_T 有关，它们的数值越小，电子隧穿通过结的速率就越快。对两个隧道结来说，假如入射隧道结的电容和电阻远小于射出隧道结的电容和电阻，那么对入射势垒的隧穿几率就会远大于对射出势垒的隧穿几率。在这种情况下，岛中的电子数将尽可能保持最大值，而流过两个隧道结的电流则由岛中射出势垒的隧穿几率 $1/\tau$ 决定，其中 τ 是平均单个电子隧穿出势垒所需的时间。一般而言，流过两个隧道结的电流也与加在势垒上的电压有关，所以，随着电压 V 的增加，电流也会有所上升。但是当岛内的动态电荷积累时，若由 eV_1 范围充电状态而突然增加 1 个电子时，电流便会跃升 e/τ ，从而形成阶梯状的库仑台阶， e/τ 为台阶的高度，如图 2.16 所示。显然，在 I - V 特性曲线上，随着 V 的增加，电流 I 将以台阶式增加，每一个台阶对应增加一个电子输运，台阶之间的间隔为 $\Delta V = e/C$ [26]。顺便指出，如果 $R_{T2}C_2 = R_{T1}C_1$ ，那么电子隧穿进入和隧穿离开岛的速率相同，电子将无法停留在岛上， I - V 曲线则不会表现出库仑台阶现象，而是类似于单隧道结的情况。

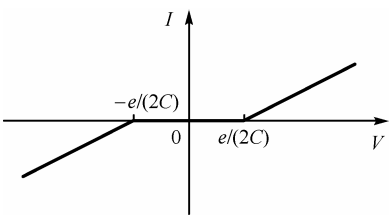


图 2.15 I - V 特性 ($|V| < e/(2C)$ 时, $I = 0$ 库仑阻塞)

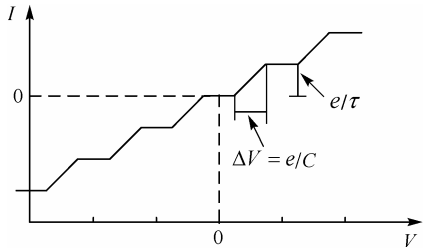


图 2.16 库仑台阶

2.4.3 库仑振荡

现考虑前面 2.3.2 节中图 2.8 所示的电流偏置单隧道结情形，它实际上呈现的是时间相关单电子隧穿现象。如果设在隧道结两端偏置的电流源为恒定电流 I ，并且假

设隧道结已被充电到 Q ，在一个隧穿过程中，充电变化的范围是 $\pm e$ ，单电子隧穿使得系统的静电能变化为^[7]

$$\Delta E = \frac{(Q \pm e)^2}{2C} - \frac{Q^2}{2C} = \frac{e^2}{2C} \left(1 \pm \frac{2Q}{e} \right) \quad (2.45)$$

其中 C 为隧道结电容。由式 (2.45) 可以看出，当电荷电量 Q 增加达到 $e/2$ 时，对一个电子隧穿过程是非常有利的 ($\Delta E < 0$)，因为它减少了系统的能量，此时隧道结两端的电压达到了 $V_T = e/(2C)$ 。这里，恒定电流 I 使得隧道结上的电荷是以恒定速率 $dQ = Idt$ 充至 $Q = e/2$ 为止，于是，一个单电子隧穿 (Single-Electron Tunneling, SET)

事件将发生，它将使电量 Q 变化为一个 e ，使得电荷变为 $Q = -e/2$ 。当然，这个隧穿过程也使得隧道结电压跃变了 $2V_T = e/C$ ，即电压由原来的 $e/(2C)$ 降为 $-e/(2C)$ 。在

经过了时间 $t_{\text{SET}} = e/I$ 后，电流源又重新给隧道结充电至 $Q = e/2$ ，并且另一个隧穿事件将发生，如此循环往复，形成电荷和电压的周期性振荡。因此，单电子隧穿事件是周期性出现的，即为单电子隧道振荡，其振荡频率为 $f_{\text{SET}} = I/e$ [参见式 (2.27)]，并且它不是随机的，这个就被称为时间相关单电子隧穿^[7]。这种情形如图 2.17 所示，图中取归一化坐标，即纵坐标取为 $V/2V_T = VC/e$ ，横坐标取为 t/t_{SET} ，其中， $V_T = e/(2C)$ ， $t_{\text{SET}} = e/I$ 。

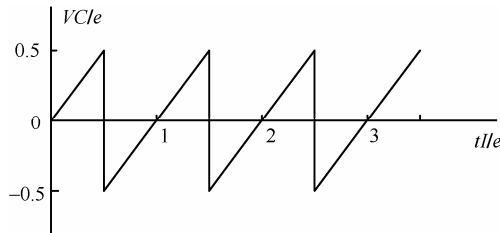


图 2.17 隧道结的周期性单电子隧道振荡

对于双隧道结串联结构 (参见 2.3.3 节中的图 2.11)，其工作的物理基础是单电子隧道效应、库仑阻塞和单电子振荡。图 2.18 所示为单电子晶体管 (SET) 基本原理图，这里采用了隧道结符号。图中，库仑岛 (量子点) 与漏、源两个电子库之间以隧道方式接触，

并与栅极通过电容 C_G 耦合，其中，设 $C = C_D + C_S + C_G$ ， C 为系统电容， C_D 和 C_S 为隧道结电容， C_G 为栅极与岛之间的电容。下面分析在固定漏源极偏压 V 下，SET 的漏源极隧穿电流 I 将随栅极偏压 V_G 的变化情况而变化。

在偏压 V 不变时，随着 V_G 的变化，岛上的电位将发生相应变化，而岛上的电压与岛中电子的数目有关。如果电荷隧穿进入岛上或从岛上离开，岛上的电压都会发生变化，因而，两个隧道结上电压 V_D 和 V_S 也会随之发生变化。当隧道结上电压高于临界电压 $e/(2C)$ 时，将会发生电子隧穿，即或是电子隧穿一个结，进入到岛上，或是电子离开库仑岛，隧穿出一个结。若 V 较小时，隧穿电流 I 就表现为库仑振荡特性^[28]，如图 2.19 所示，其振荡电压的间隔为 $\Delta V_G = e/C_G$ ^[26]。

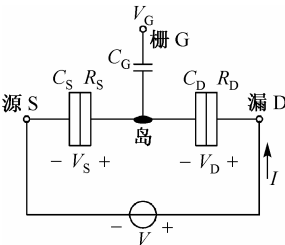


图 2.18 单电子晶体管基本原理图

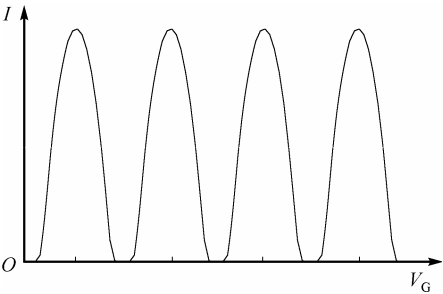


图 2.19 库仑振荡

库仑振荡是电荷量子化的一个重要结果。能够呈现库仑振荡的器件是单电子晶体管 (SET)，因为当量子点的占据态变化一个电子时，它就会产生周期性的开关效应。SET 可以用做单电子回旋器。当在两个势垒电极上加一个相位相差 π 的交变电压 (设频率为 f) 时，在电压变化的一个周期内，单个电子 e 正好穿越量子点一次。这时，穿过量子点的量子化电流为 $I = ef$ 。目前正在研究可以将这种器件作为计量学中的电流标准仪。SET 的一个最有希望也是最有前途的应用是用做超大容量的存储器。为了降低功耗，增大存储量，有效方法是减少每个存储单元 (位) 中的电荷量。显然，

随着硅芯片技术的发展,每个位中储存信息需要的电荷量不断下降,但预计到2010年仍然需要成千上万的电子。SET 储存信息只需要一个电子,所以它将是超大容量存储器的最好选择,可以在室温下工作、容量高达 256×10^{12} 位的单电子存储器已被提出^[26]。

参 考 文 献

- [1] Da Costa J C, Hoekstra J, Goossens M J, et al. Considerations about nanoelectronic GSI processors. *Analog Integrated Circuits Signal Processing* 2000; 24: 59-71.
- [2] Huang J. An Overview of Nanoscale Devices and Circuits. *IEEE Design & Test of Computers*. 2007, July-Aug: 304-311.
- [3] 阎守胜. 固体物理基础 (第二版). 北京: 北京大学出版社, 2003.
- [4] 阎守胜, 甘子钊. 介观物理. 北京: 北京大学出版社, 1995.
- [5] 薛增泉, 刘惟敏. 纳米电子学. 北京: 电子工业出版社. 2003.
- [6] Beenakker C W J, Theory of Coulomb-blockade oscillations in the conductance of a quantum dot. *Phys. Rev. B*, 1991, vol. 44: 1646-1656.
- [7] Wasshuber C. *Computational Single-Electronics*. Springer Verlag; 2001.
- [8] Likharev K K. Single-electron Devices and Their Applications. *IEEE Proc.*, 1999, 87 (04): 606-632.
- [9] Aharonov Y, Bohm D. Significance of Electromagnetic Potentials in the Quantum Theory. *Phys. Rev.*, 1959, 115: 485-491.
- [10] Chambers R G. Shift of an Electron Interference Pattern by Enclosed Magnetic Flux. *Phys. Rev. Lett*, 1960, 5: 3-5.
- [11] Altshuler B L, Aronov A G, Spivak B Z. The Aaronov-Bohm Eect in disordered conductors. *JETP Lett*, 1981, 33 (2): 94.
- [12] Webb R A, Washbern S, Umbach, C P, et al. Observation of h/e Aharonov-Bohm Oscillations in Normal-Metal Rings. *Phys. Rev. Lett*, 1985, 54: 2696-2699.
- [13] Landauer R. *IBM J. Res. Develop.* 1957. 1, 223-231.
- [14] Büttiker M. *Phys. Rev. Lett*, 1986, 57: 1761-1764.
- [15] Büttiker M, Imry Y, Landauer R. et al. *Phys. Rev. B*, 1985, 31(10): 6207-6215.
- [16] 朱长纯, 贺永宁. 纳米电子材料与器件. 北京: 国防工业出版社. 2006.
- [17] Karafyllidis, L. Design and simulation of a single-electron random-access memory array. *IEEE Trans. on Circuits and Systems—I*: 2002. 49 (9): 1370-1375.
- [18] Averin D V, Likharev K K. Single-Electronics: a correlated transfer of single Electrons and Cooper pairs in systems of small tunnel junctions. In Altshuler B L, Lee P A, Webb R A (eds.).

- Mesoscopic phenomena in solids. North-Holland, Amsterdam. 1991: 173-271.
- [19] Lkharev K K, Zorin A B. J Low Temp. Phys, Feb. 1985, 59: 347-382.
- [20] Fulton T A, Dolan G J. Observation of single-eleetron charging effects in small tunnel junctions. Phys. Rev. Lett. 1987, 59:109-112.
- [21] Kuzmin L S, Likharev K K. Direct experimental observation of discrete correlated single-electron tunneling. JETP Letters, 1987, 45: 495-497.
- [22] Likharev K K. Correlated discrete transfer of single electrons in ultrasmall tunnel junctions. IBM J. Res. Develop, 1988, 32: 144-158.
- [23] 杜磊, 庄奕琪. 纳米电子学. 北京: 电子工业出版社. 2004.
- [24] Goldhaber-Gordon D, Michael S, Montemerlo J et al. Overview of nanoelectronic devices. Proceedings of the IEEE, 1997, 85(4): 521-540.
- [25] 王太宏. 单电子晶体管及其集成研究. 世界科技研究与发展. 2002, 23 (3): 14-19.
- [26] 曾树荣. 半导体器件物理基础(第二版). 北京: 北京大学出版社, 2007.
- [27] Likharev K K. Single-Electron Transistors: Electrostatic Analogs of the DC SQUID's, IEEE Trans. On Magnetics, 1987. 23 (2): 1142-1145.
- [28] Beenakker C W J. Theory of Coulomb-blockade oscillations in the conductance of a quantum dot. Phys. Rev. B, 1991, 44: 1646-1656.

第3章 共振隧穿器件

1969年Tsu(朱兆祥)和Esaki(江崎)首先预测到半导体超晶格势垒结构中能够产生共振隧穿(Resonant Tunneling, RT)现象^[1-2],并预言若给GaAs/Al_xGa_{1-x}As双势垒或多势垒结构加上偏置电压,会出现负微分电阻(Negative Differential Resistance, NDR)的*I-V*特性,而这种特性正是由于在同一能带中通过势垒的电子共振隧穿引起的,之后,共振隧穿现象在实验室得到验证^[3-6],在共振隧穿现象和NDR的基础上,一种新型的量子器件应运而生,即共振隧穿器件(Resonant Tunneling Device, RTD)。

共振隧穿器件(RTD)具有以下几个特点^[7]:

(1)高频高速。RTD的最高频率理论预计值为2.5 THz^[3],实际RTD的最高频率为712 GHz^[8],RTD的开关时间 t_r 低到1.5 ps^[9-10]。RTD有如此高的频率和开关速度是因为在半导体器件各种载流子输运机制中,隧穿机制是比扩散、漂移等更快的物理机制;器件电容值 C 非常小,在 10^{-14} F的数量级,故 RC 乘积小,有利于频率的提高;RTD器件的有源区(DBS)非常短(5~10 nm),缩短了载流子渡越器件的时间。基于上述原因,RTD已成为目前速度最快的器件之一。

(2)RTD是一种负阻器件,负阻特性可导致双稳态特性,双稳态进一步产生了自锁特性。在数字电路中触发器才具有自锁功能。故本质上讲,一个RTD器件在自锁功能上就对应于一个触发器。因此用RTD构成数字电路时,可以节省大量的器件。

(3)RTD的另一个重要特点就是可在*I-V*曲线上产生多峰特性。RTD的多峰特性对于设计研制多态存储和A/D转换电路非常有利,节省的器件数目更多。

(4)RTD单管及其集成电路与常规器件相比,具有较低的耗散功率。其原因是RTD的电容很小,故其动态功率低;工作时维持电流接近*I-V*特性的谷值点,电流较低;由于节省器件,减少了电路复杂程度,降低了总功耗。

共振隧穿器件是纳米电子器件系列中的一个重要成员,在当前的各种纳米电子器件中,相对于单电子器件和量子点器件,共振隧穿器件的发展更快和更为成熟,并已经开始进入应用阶段,因而备受人们的关注。本章将从共振隧穿的基本原理出发,探讨共振隧穿器件的特性及建模,最后给出共振隧穿器件的应用。

3.1 共振隧穿效应

3.1.1 共振隧穿现象

共振隧穿器件的基本结构是双势垒量子阱(Double Barrier Quanta Well, DBQW), 这个特殊的结构包括两个势垒层, 中间有一个势阱层, 将两个势垒分开。最常见的双势垒量子阱结构采用 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ (势垒)/ GaAs (势阱)/ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ (势垒) 异质结构。势垒层一般是用没有掺杂的宽能带隙的材料制成, 宽度为1.4~5.0 nm, 最早采用也是最常见的势垒材料为 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($x=0.25\sim0.30$), 势阱层用没有掺杂的窄能带隙材料, 宽度一般为3.0~7.0 nm, 如 GaAs 材料构成。一个典型的双势垒量子阱结构(导带以上的部分)如图3.1所示, 左侧势垒称为发射势垒, 发射势垒的左侧为 N^+ 型重掺杂发射区(E), 故 E_F 在 E_C 之上; 右侧势垒称为收集势垒, 收集势垒的右侧为重掺杂集电区(C); 两势垒区和势阱区一般不掺杂。

当发射区相对于集电区加上一个正向偏置时, 使发射区的费米能级与势阱中的共振能级 E_0 一样高, 电子从发射区向集电区的透射率增加, 从而形成正向电流。同时, 从集电区到发射区的反向电流被抑制, 因为集电区的费米能级存在较高的势垒。当发射区相对于集电区的正向偏置电压增大共振隧穿现象, 这种现象成为共振隧穿器件的工作基础。

3.1.2 共振隧穿机理

1. 势阱中电子能量的量子化

由于势阱宽度很窄, 其尺寸接近甚至小于德布罗意波长。根据量子力学的观点, 在这种情况下阱中电子能量将发生量子化, 形成分立的、不连续的束缚能级。以矩形势阱为例, 沿 z 方向(与势垒平面垂直的方向)运动的电子在势阱中能级的能量为:

$$E_{n_z} = \frac{\hbar^2}{2m^*} \left(\frac{\pi n_z}{L_w} \right)^2 \quad (n_z=1, 2, \dots) \quad (3.1)$$

其中, \hbar , m^* 分别为约化普朗克常数和电子有效质量, n_z 为分立能级数, L_w 为势阱宽度。因此, 能级间的能量间隔为:

$$\Delta E_{(n_z+1), n_z} = E_{n_z+1} - E_{n_z} = \frac{\hbar^2}{2m^*} \left(\frac{\pi}{L_w} \right)^2 \left[(n_z+1)^2 - n_z^2 \right] \quad (3.2)$$

从式(3.1)和式(3.2)可见, 势阱越宽, L_w 越大, 则阱中能级能量越低, 能量间隔越窄。通常 $n_z = 1$ 时的最低能级称为基态能级, 用 E_0 表示。

2. 共振隧穿过程

双势垒共振隧穿效应不同于通常量子力学中的单势垒隧穿效应^[11-12]。在单势垒隧穿效应中, 隧穿几率只和势垒高度有关, 势垒越低越窄, 隧穿几率就越大。共振隧穿除了和势垒高度和宽度有关外, 还和势阱中能量的分布有关。由于势阱中的能量量子化, 从发射极 E_F 以下, E_C 以上能量为 E 的电子经过势垒只能和势阱中基态能级 E_0 (设激发态能级已高于势垒) 发生隧穿, 而不能与其他能量间发生隧穿, 因为势阱中的电子不能存在于除 E_0 以外的其他能量上。如图3.1所示, 未加偏压时 E_0 位于 E_F 以上, 故无隧穿发生。当存在外加偏压时, 如图3.2所示, 能带向下倾斜, E_0 下降到与 E_F 对准时共振隧穿开始, 此时的偏压称为起始电压 V_T 。当偏置电压 V 增大时, E_0 与 E 区 E_F 以下 E_C 以上某能量 E 对准时, 该能级 E 与势阱中的 E_0 能级发生共振隧穿。

共振隧穿达到 E_0 上的电子在势阱中因在 Z 方向上受到限制(二维电子气),

只能沿 xy 方向(垂直与 z 方向的平面)运动, 并具有动能 $\hbar^2 k_{xy}^2 / (2m^*)$, 其中 k_{xy} 为隧穿时 xy 方向的动量, 故总能量为 $E_0 + \hbar^2 k_{xy}^2 / (2m^*)$, 它必须与 E 相等, 因而有

$$E = E_0 + \frac{\hbar^2 k_{xy}^2}{2m^*} \quad (E_C \leq E \leq E_F) \quad (3.3)$$

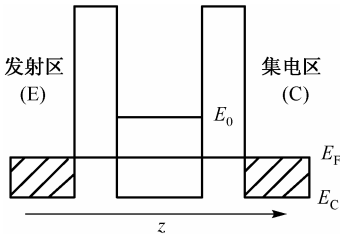


图 3.1 双势垒量子阱结构

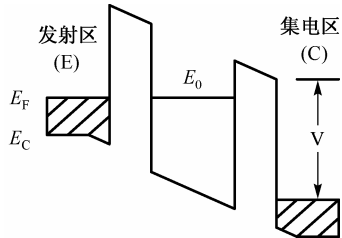


图 3.2 加偏压时的能带图

另一方面在发射区电子沿 xy 方向上的动量应和隧穿后势阱中 xy 方向上动量相等(阱中沿 z 方向运动受限, 故 $\hbar k_z = 0$, 其中 k_z 为隧穿时 z 方向上的动量), 故有

$$\hbar k_{xy} = \text{常数} \quad (3.4)$$

当 V 增长, E 与 E_0 对准 ($E = E_0$) 同时下降 (E 向 E_C 逼近) 时, $E_F - E = E_F - E_0$ 的能量变为隧穿后 E_0 能级上的动能。此动能对应于动量[或从式(3.3), 当 $E = E_F$ 时, 可得到]

$$\hbar k_{xy} = \left[2m^*(E_F - E_0) \right]^{\frac{1}{2}} \quad (3.5)$$

如果假设 $E_F = \hbar^2 k_F^2 / (2m^*)$, $E_0 = \hbar^2 k_0^2 / (2m^*)$, $E = \hbar^2 k_z^2 / (2m^*)$, 则式(3.5)在 k 空间被表示为 $k_z = k_0$ 的一个费米盘, 如图 3.3 所示。当 V 增大时, E ($E = E_0$) 向 E_C 移动, 对应于费米盘沿 k_z 轴下降。由于单位面积费米盘上电子态密度为 $m^* E_F / \pi \hbar^2$, 随着盘下降。盘面积增大隧穿电流也增大, 在费米盘增大的过程中, 双势垒结构的 I - V 特性呈现正微分特性, 当 $V = V_p$ 时, $E = 0$, $E_0 = E_C$, 费米盘面积达到最大, 隧穿电流也达到最大 $I = I_p$, I_p 即为峰值电流, V_p 为峰值电压。如 V 再增加, $E < 0$, E_0 对准 E_C 以下的禁带, 则共振隧穿条件不再满足, 隧穿停止, 隧穿电流变为 0, 在隧穿电流减小到 0 的过程中, 双势垒结构的 I - V 特性呈现负微分特性, 如图 3.4 所示。

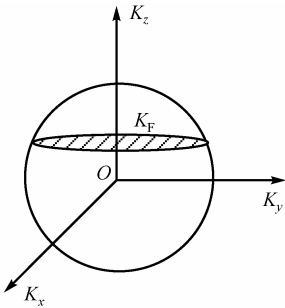


图 3.3 费米盘

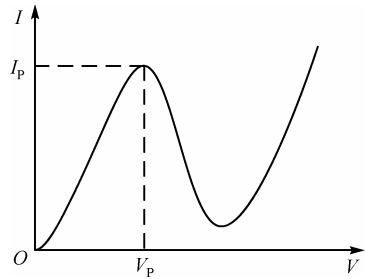


图 3.4 双势垒结构的 I - V 特性

3.2 共振隧穿器件输运理论

载流子的输运现象是最终确定电子器件 I - V 特性的基础。共振隧穿器件输运的核心问题是共振隧穿效应，在3.1节中，对共振隧穿效应进行了定性的描述，本节将对共振隧穿效应进行进一步的分析，阐述共振隧穿器件的输运理论。

3.2.1 量子力学基础

RTD 是由其核心部分——DBQW 和两端的引出电极：发射极(阴)极和集电(阳)极构成的，因此，共振隧穿的输运理论必须建立在量子力学的基础之上，从量子力学出发对共振隧穿器件的输运理论进行阐述，而 DBQW 的输运理论必须以量子阱中能量的量子化，产生分立能级和单势垒隧穿两个量子力学概念为基础。

1. 量子阱中能量量子化的波函数描述

按照量子力学理论，如果一个电子位于势垒高度为 V_0 ，宽度为 L_w 的势阱中，当势阱宽度 L_w 接近德布罗意波长时，电子的动量 $\hbar k$ 将发生量子化。与自由运动相对应的连续能量 $E_k = \hbar^2 k^2 / (2m)^*$ 将分裂成子能带 $E_{n_z}(k)$ 。

对于势阱高度为 V_0 、势阱宽度为 L_w 的量子阱，如图3.5所示，其波函数 $\Psi(z)$ 的一维薛定谔方程为

$$H\Psi(z) = \left[\frac{-\hbar^2}{2m^*} \frac{d^2\Psi(z)}{dz^2} + V(z) \right] \Psi(z) = E\Psi(z) \quad (3.6)$$

式中， H 为哈密顿量， E 为能量本征值。

对式(3.6)中势阱中和势阱两侧三个区域中分别求解，并用 $\Psi(z)$ 和 $d\Psi/dz$ 在边界处保持连续为条件确定积分常数，则可得到势阱中分立能级 E_{n_z} 和相应的波函数 $\Psi(z)$ 的表达式

$$E_{n_z} = \frac{\hbar^2 \pi^2 n_z^2}{2m^* L_w^2}, \quad n_z = 1, 2, \dots \quad (3.7)$$

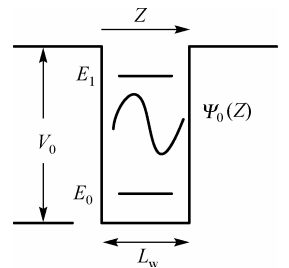


图 3.5 量子阱示意图

$$\Psi(z) = \exp \left[-\frac{2m^*(V_0 - E_{n_z})}{\hbar^2} \right]^{1/2} z \quad (3.8)$$

式(3.7)说明势阱中的能量分布为非连续的, 分裂成多个分立的能级。式(3.8)表明在势阱中电子存在的几率正比于 $|\Psi|^2$ 。为便于分析, 将上述的式(3.2)的能级间隔重写如下

$$\Delta E_{(n_z+1), n_z} = E_{n_z+1} - E_{n_z} = \frac{\hbar^2}{2m^*} \left(\frac{\pi}{L_w} \right)^2 \left[(n_z + 1)^2 - n_z^2 \right] \quad (3.9)$$

由此可看出, 阱宽 L_w 越小, 则能级的能量(E_0, E_1)就越大, 而且能量间隔也越大。阱宽越大, E_{n_z} 越小, 能级间隔也变小。

2. 电子的单势垒隧穿

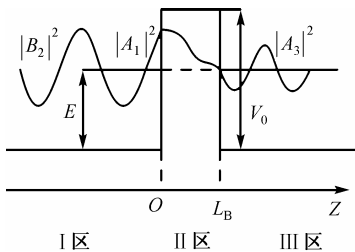


图 3.6 单电子势垒隧穿

图 3.6 给出能量为 E 的电子沿 z 方向入射高度为 V_0 、宽度 $L_B = a$ 单势垒的情况。若从经典力学观点看, 如果 $E < V_0$, 则不论 L_B 为何值, 电子全部被反射回来, 不可能穿透势垒到达势垒右侧。但是按照量子力学理论, 能量 E 大于 V_0 的粒子有可能越过势垒,

但也有可能反射回来; 而能量 E 小于 V_0 的粒子有可能被势垒反射回来, 但也有可能贯穿势垒。用上述求解薛定谔方程的方法, 可以得到在左侧 I 区内波函数的通解为

$$\Psi_1(z) = A_1 \exp(jk_1 z) + B_1 \exp(-jk_1 z) \quad (3.10)$$

式中, 等号右侧第 1 项表示振幅为 A_1 的平面入射波; 第 2 项表示振幅为 B_1 , 能量为 $E = \hbar^2 k_1^2 / (2m^*)$ 的反射波。在势垒 II 区, 波函数为

$$\Psi_2(z) = A_2 \exp(jk_2 z) + B_2 \exp(-jk_2 z) \quad (3.11)$$

式中, k_2 满足 $V_0 - E = \hbar^2 k_2^2 / (2m^*)$ 。同样对 $z > a$ 的 III 区, 电子波函数为

$$\Psi_3(z) = A_3 \exp(jk_1 z) \quad (3.12)$$

此处 k_1, k_2 都是实数, $k_1 = (2m^* E / \hbar^2)^{1/2}$, $k_2 = (2m^* (E - V_0) / \hbar^2)^{1/2}$, 当粒子能量 E 小于 V_0 时, k_2 是虚数, 设 k_3 是实数, 则有

$$k_3 = \left[\frac{2m^* (V_0 - E)}{\hbar^2} \right]^{1/2}$$

利用边界处 $\Psi(z)$ 和 $d\Psi/dz$ 连续性条件, 确定波函数中的系数。由 $(\Psi_1)_{z=0} = (\Psi_2)_{z=0}$, 可以得出

$$A_1 + B_1 = A_2 + B_2$$

$$\text{由} \left(\frac{d\Psi_1}{dz} \right)_{z=0} = \left(\frac{d\Psi_2}{dz} \right)_{z=0}, \text{ 可以得出 } k_1 A_1 - k_1 B_1 = k_2 A_2 - k_2 B_2$$

$$\text{由} (\Psi_2)_{z=a} = (\Psi_3)_{z=a}, \text{ 可以得出 } A_2 \exp(jk_2 a) + B_2 \exp(-jk_2 a) = A_3 \exp(jk_1 a)$$

$$\text{由} \left(\frac{d\Psi_2}{dz} \right)_{z=a} = \left(\frac{d\Psi_3}{dz} \right)_{z=a}, \text{ 可以得出 } k_2 A_2 \exp(jk_2 a) - k_2 B_2 \exp(-jk_2 a) = k_1 A_3 \exp(jk_1 a)$$

解上述方程, 可以得出

$$A_3 = \frac{4k_1 k_2 \exp(-jk_1 a)}{(k_1 + k_2) \exp(-jk_2 a) - (k_1 - k_2) \exp(jk_2 a)} A_1$$

当粒子能量 E 小于 V_0 时, k_2 是虚数, 设 k_3 是实数, 令 $k_2 = jk_3$, 则有

$$A_3 = \frac{2jk_1 \exp(-jk_1 a)}{(k_1^2 - k_3^2) \sinh k_3 a + 2jk_1 k_3 \cosh k_3 a} A_1$$

式中 \sinh 和 \cosh 依次是双曲正弦函数和双曲余弦函数, 其值为

$$\sinh x = \frac{\exp(x) - \exp(-x)}{2}, \quad \cosh x = \frac{\exp(x) + \exp(-x)}{2}$$

电子的流量与波函数振幅的平方 $|A|^2$ 成正比, 定义电子波的反射率 R 为反射波的几率流密度与入射波几率流密度的比值, 透射率 T 为透射波几率流密度与入射波几率流密度的比值, 则

$$R = |B_1 / A_1|^2 \quad (3.13)$$

$$T = |A_3 / A_1|^2 \quad (3.14)$$

$$R + T = 1 \quad (3.15)$$

可得到单势垒隧穿的透射率为

$$T(E) = \left| \frac{A_3}{A_1} \right|^2 = \frac{4k_1^2 k_3^2}{(k_1^2 + k_3^2)^2 \sinh^2 k_3 a + 4k_1^2 k_3^2}$$

如果粒子的能量很小, 以至于 $k_3 a \ll 1$, 则 $\exp(k_3 a) \approx \exp(-k_3 a)$, $\sinh^2 k_3 a$ 可以近似地用 $\frac{1}{4} \exp(2k_3 a)$ 代替, 则有

$$T(E) = \frac{4}{\frac{1}{4} \left(\frac{k_1}{k_3} + \frac{k_3}{k_1} \right)^2 \exp(2k_3 a) + 4}$$

当 $k_3 a \ll 1$ 时, $\exp(2k_3 a) \approx 1$ 时, 可写成

$$T(E) = D_0 \exp(-2k_3 a) = D_0 \exp\left(-\frac{2}{\hbar} \left(2m^* (V_0 - E)^{\frac{1}{2}} a \right)\right) \quad (3.16)$$

式中, D_0 是常数, 它的数量接近于 1。由式 (3.16) 可以看出, 透射率 $T(E)$ 随势垒的

加宽或加高而减小。单势垒隧穿既是共振隧穿的基础又是单势垒隧穿器件的工作原理。单势垒隧穿器件振荡频率和速度可以达到很高, 但其负阻峰谷电流比 (Peak-to-Valley Current Ratio, PVCR) 低于双势垒的共振隧穿器件。

3.2.2 双势垒量子阱结构共振隧穿二极管的两种物理模型

3.2.1 节中从量子力学基础出发, 通过求解薛定谔方程, 对电子的单势垒隧穿进行了讨论, 引入了透射率这个概念, 而通过双势垒结构的隧穿电流本质上依赖于透射率。本小节将从输运理论的角度出发, 建立双势垒量子阱结构共振隧穿二极管 (Resonant Tunneling Diode, RTD) 的两种物理模型。

在共振隧穿器件的异质结构材料生长过程中, 不论是分子束外延, 还是金属有机化合物气相沉积都会引入缺陷或进行必要的掺杂。晶格缺陷或杂质都会形成载流子的散射源, 这将使电子在 DBQW 中运动时发生散射。由于散射作用的强弱不同决定了描述 DBQW 共振隧穿的两种物理模型不同, 即相干隧穿模型和顺序隧穿模型。相干隧穿理论是建立在电子运动过程中散射作用比较弱时电子波相位始终保持在相干条件基础上的; 而顺序隧穿理论是建立在散射作用较强, 运动电子因散射而不能保持原有相位基础上的。这种模型认为整个隧穿过程是由两个相互独立的隧穿过程串接而形成的。

1. 相干隧穿模型

相干隧穿模型^[13-14]是在散射作用可以忽略不计, 隧穿过程中相位始终保持相干的条件才适用的。这时可将 DBQW 看做电子波的一个法布里-珀罗 (Fabry-Perot) 谐振腔。双势垒相当于半透射的反射镜。双势垒之间的势阱相当于两反射镜之间的谐振腔, 电子隧穿过程相当于光波进入谐振腔经多次反射后光强增强最后透射出去的过程, 如图 3.7 所示。

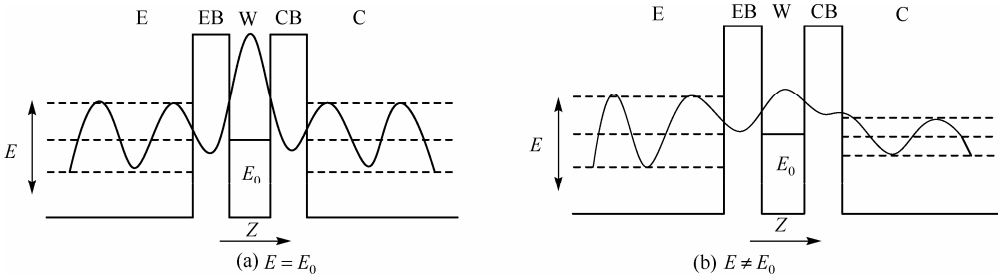


图 3.7 相干隧穿模型示意图

整个处理问题的方法和过程与前面处理单势垒的情况类似。先列出双势垒系统的薛定谔方程，求出通解后，利用双势垒系统的 $\Psi(z)$ 和 $d\Psi/dz$ 在边界连续的条件确定积分常数，最后得到 $\Psi(z)$ 的函数形式。现以电子波的概念描述发生共振隧穿的物理过程。在图 3.7 中考虑从 E 区能量为 E 的电子经发射势垒 EB 注入到势阱 W 中，电子波进入势阱后沿 z 方向运动到达收集势垒 CB。部分穿透 CB，部分被 CB 反射沿 $-z$ 方向又返回到 EB，又有部分透射回到 E 区，一部分反射回到势阱 W。这相当于在阱内的能级上电子以速度 $v_z = \hbar k_z / m^*$ 在势垒 EB 与 CB 间振荡。每一个周期 $(2L_w / v_z)$ 内入射势垒两次，而每次对势垒入射又伴随着以一定的几率 $T(E)$ 透射出势垒。如果 $E \approx E_0$ 接近共振隧穿发生的条件，则经过多次反射后势阱中的电子波振幅增强，逐渐达到一个振幅最大的稳定态，然后从势垒 CB 投射出去而对应于很大的隧穿电流，即达到共振隧穿状态。与此相应的总透射率 T 与每个势垒透射率 T_E, T_C 的关系为

$$T(E = E_0) = \frac{4T_E T_C}{(T_E + T_C)^2} \quad (3.17)$$

当 EB 和 CB 完全相同时，即 $T_E = T_C$ ，即 $T(E = E_0) = 1$ ，隧穿电流达到最大，这就是图 3.7(a) 的情况；如果 $E \neq E_0$ ，则电子波在两势垒间振荡时没有相互增强，即没有达到共振条件，此时总的透射率 $T(E)$ 为 T_E 和 T_C 的乘积，即

$$T(E \neq E_0) = T_E T_C \quad (3.18)$$

在这种情况下, 由于 T_E 或 T_C 为一指数型数值很小的数字, 故使 $T_E T_C \ll 1$, 这时对应图 3.7(b) 所示的情况, 即共振隧穿停止。

共振隧穿电子对 DBQW 的透射率 $T(E)$ 随能量 E 变化的规律如图 3.8 所示。可以看出当 $E = E_0$ 或 $E = E_1$ 时, $T(E) = 1$, 发生共振隧穿, 相应的隧穿电流达到最大值。当能量 E 偏离 E_0 或 E_1 时, $T(E)$ 迅速下降, 隧穿电流也随之下降, 体现出共振隧穿与非共振隧穿的主要区别。当 E 增大接近 V_0 时, $T(E)$ 增大接近于 1, 这相当于热离子发射的情况。

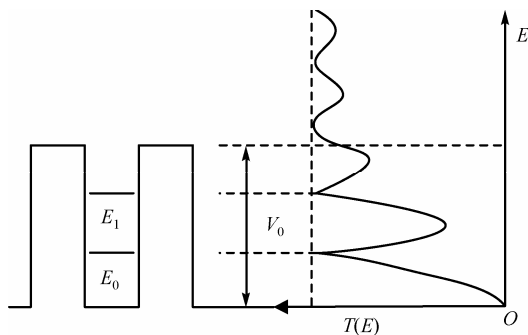


图 3.8 DBQW 共振隧穿 $T(E)$ - E 特性

势阱中能级上的电子经多次势垒间的反射最终达到一个振幅最大的稳定状态, 这需要一定的时间, 此时间常数被表示为电子在该能级上的寿命 τ 。

$$\tau = \hbar / \Delta E \quad (3.19)$$

式中, ΔE 对应一个能带宽度, 通常情况下 ΔE 以图 3.8 中 $T(E)$ - E 特性上半最高峰处的全宽度 (Full Width at Half Maximums, FWHM) Γ 来表示, 即

$$\tau = \hbar / \Gamma \quad (3.20)$$

式中, Γ 也称为谐振宽度。 Γ 越大表示共振隧穿效应越强, 隧穿电流越大。峰值电流密度越大, 能级时间常数或能级寿命 τ 越短。

现在讨论共振隧穿电子总的能量分布情况。在发射区的电子以能量 E 沿 z 方向运动, 这时属于导带中的自由电子的三维运动, 能量为准连续分布。电子穿透发射势

垒进入势阱后,在势阱内沿 z 方向上的运动是受限的,故电子在势阱中只能在 xy 平面内运动。共振隧穿发生条件的动量守恒也是沿 xy 平面内的动量守恒。沿 z 方向的动量为零,势阱中的电子处于一种二维电子气(2DG)。如果假设 z 方向的共振隧穿运动和势阱内 xy 平面内电子运动是独立的,则共振隧穿电子总能量 E 为

$$E = E_0 + \frac{\hbar^2 \mathbf{k}_{xy}^2}{2m^*} \quad (3.21)$$

式中, \mathbf{k}_{xy} 为与 z 垂直的 xy 平面内的波矢量。由式(3.21)可以看出,势阱中每一个量子化的能级已形成一个子能带。此子能带的宽度 ΔE 一般用谐振宽度 Γ 来代替。

有了 $T(E)$,隧穿电流密度 J 可以利用下式来计算

$$J = \frac{em^* k_B T}{2\pi^2 \hbar^3} \int_0^\infty dE T(E, V_0) [f(E) - f(E')] \quad (3.22)$$

式中, k_B 为玻尔兹曼常数; $f(E)$ 和 $f(E')$ 分别为发生隧穿两端的费米函数。故 J 最后可表示为

$$J = \frac{em^* k_B T}{2\pi^2 \hbar^3} \int_0^\infty dE T(E, V_0) \ln \left[\frac{1 + \exp(E_F - E)/k_B T}{1 + \exp(E_0 - E - eV)/k_B T} \right] \quad (3.23)$$

式中, V 为所加的偏压。针对具体给出 $T(E, V_0)$ 的表达式后,就可利用式(3.23)给出 J - V 的关系,得到器件的 I - V 特性。

2. 顺序共振隧穿模型

顺序共振隧穿模型^[15-17]是建立在散射作用较强,电子从发射极隧穿到势阱中的能级后,由于受到散射作用,电子波丧失其原始相位,达到一定的热平衡分布后再从势阱隧穿到集电区。整个RTD由两个无相位联系的独立隧穿过程串联而构成。

现以 J_1 表示电子从发射区隧穿到势阱形成的共振态的电流密度; J_2 表示从势阱共振态隧穿到集电区的电流密度。这两种电流密度可分别表示为

$$J_1 \propto T_E(E_F^E - E_F^W) \quad (3.24)$$

$$J_2 \propto T_C(E_F^W - E_F^C) \approx T_C(E_F^W - E_0) \quad (3.25)$$

式中, T_E , T_C 分别表示发射势垒和收集势垒的隧穿透射率; E_F^E , E_F^C , E_F^W 分别表

示发射区、集电区和势阱中共振态的费米能级； E_0 为势阱中的基态束缚能级。

势阱中在基态能级上积累的电荷面密度为

$$\sigma \propto \sigma_{2D}(E_F^W - E_0) \quad (3.26)$$

式中， σ_{2D} 为二维电子气态面密度。按照前述顺序隧穿模型基本思想，达到稳态时，

势阱电荷积累为一恒定值，必然有 $J_1 = J_2$ ，联立式(3.24)至式(3.26)可以得到

$$J \propto \frac{T_E T_C}{T_E + T_C} (E_F^E - E_0) \quad (3.27)$$

$$\sigma \propto \frac{T_E}{T_E + T_C} \sigma_{2D} (E_F^E - E_0) \propto \sigma_{2D} J / T_C \quad (3.28)$$

从式(3.27)，式(3.28)可知，当 $T_E \square T_C$ 时可得到较大的 σ 稳定值；当 $T_E \square T_C$ 时得到较小或趋于零的 σ 值；当 J 一定时， T_C 越大则 σ 值越小。

3.3 共振隧穿二极管的特性分析

前面两节分别讨论了共振隧穿二极管的基础——共振隧穿效应，然后对共振隧穿的输运理论进行了讨论，阐述了两种共振隧穿的物理模型。在实际的器件制备中，散射是如何影响共振隧穿器件的 I - V 特性的，而且共振隧穿器件的 I - V 特性还受到材料等因素的影响。本节将在这方面进行讨论。

3.3.1 共振隧穿二极管的特性及参数

在3.1节中，我们讨论了理想情况下双势垒量子阱在发生共振隧穿现象时的能带变化图以及 RTD 的基本 I - V 特性曲线，如图3.9(a)所示。但在实际的共振隧穿二极管发生共振隧穿时，其特性要受到各种其他因素的影响，如材料的影响、温度的影响，等等。参考文献[3]对共振隧穿器件的 I - V 特性进行了研究，如图 3.9(b)所示。

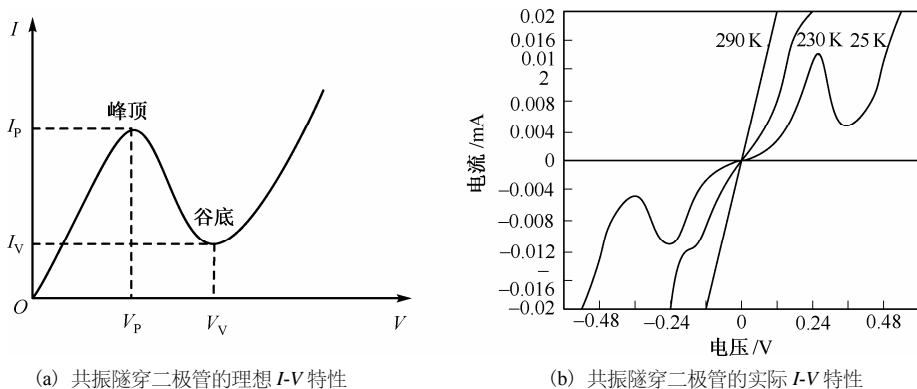
图 3.9 共振隧穿二极管的 I - V 特性

图 3.9 给出了 RTD 在三个不同温度下的正向和反向偏置的 I - V 特性，从图中可以看出， I - V 特性是近似于原点对称的，但负偏置方向峰值电流稍微低一些，这种非对称是许多 RTD I - V 特性曲线的典型特性，这种非对称性与材料有关。共振隧穿器件 I - V 特性的另一个非常重要的特征是温度的影响，从图中可以看出，随着温度的增加，决定 RTD 性能的重要参数峰谷电流比 (PVCR) 呈逐渐减小的趋势，直至负微分电阻现象完全消失。PVCR 随温度增加减小的原因可以简单解释为载流子热发射跨越势垒产生，非共振电流随温度增加所致，也与围绕共振能级的透射率函数展宽有关。前一效应将使谷值电流增加，后一效应将使峰值电流减小。在高温，谷值电流也会由于声子辅助隧穿而增加，从而进一步降低 RTD 的 PVCR。

在分析 RTD 的特性时，一些参数用来表征器件的性能，为了方便说明，我们使用 RTD 理想的 I - V 特性进行说明，如图 3.9(a) 所示。随着共振隧穿器件两端的电压从零开始增大，器件的电流呈逐渐增大的趋势，当两端电压为峰值电压 V_p 时，流过器件的电流达到电流峰值 I_p ，器件两端电压经过峰值电压 V_p 后继续增大，这时流过器件的电流随着电压的增大呈现逐渐减小的趋势，直至电压达到谷值电压 V_v ，这时对应的电流成为谷值电流 I_v ，电流随电压增大而逐渐减小，即负微分电阻特性，这是共振隧穿器件一个非常重要的特性。当器件两端电压经过谷值电压继续增大，电流按照传统二极管的特性呈逐渐增大的趋势。

共振隧穿二极管其他重要的参数如下：

$$R_{p1} = \frac{V_p}{I_p} \quad (3.29)$$

$$R_{p2} = \frac{V_p - V_v}{I_p - I_v} \quad (3.30)$$

$$|R_n| = \frac{V_v - V_p}{I_p - I_v} \quad (3.31)$$

$$PVVR = \frac{V_p}{V_v} \quad (3.32)$$

$$PVCR = \frac{I_p}{I_v} \quad (3.33)$$

其中 R_{p1} 为正电阻区的平均电阻, R_{p2} 为负电阻区的平均电阻, R_n 为负阻区的阻值,

PVVR (Peak-to-Valley Voltage Ratio) 为峰谷电压比, PVCR 为峰谷电流比。

3.3.2 散射和材料结构对器件特性的影响

1. 散射对共振隧穿二极管特性的影响

前两小节已经研究了共振隧穿二极管的两种物理模型: 相干隧穿模型与顺序隧穿模型, 前者是在忽略散射的作用不计, 隧穿过程中相位始终保持相干的条件下进行研究的, 而后者则考虑了散射作用对于隧穿的影响。在量子力学中, 散射现象也称为碰撞现象, 对于共振隧穿器件的特性具有非常重要影响的散射主要包括电子-声子散射^[18-21]、杂质散射^[22-26]等。共振隧穿过程中, 电子会受到散射引起的动量和能量弛豫(relaxation), 破坏相位的相干性。下面将用顺序隧穿模型研究散射对于透射率和电子非平衡分布的影响^[27]。

围绕共振态的透射率函数为:

$$T(E_Z) = \frac{\Gamma^2}{(E_Z - E_0)^2 + \Gamma^2} \quad (3.34)$$

式中 Γ 是共振能级的宽度, 通过引入一个因子将这个公式扩展到顺序隧穿理论范围, 这个因子表示波函数相位的随机变化, 求出的对称双势垒透射率函数为:

$$T(E_Z) = \frac{\Gamma}{\Gamma_{\text{tot}}} \frac{\Gamma_{\text{tot}}^2}{(E_Z - E_0)^2 + \Gamma_{\text{tot}}^2} \quad (3.35)$$

式中 Γ_{tot} 是共振能级的总宽度, 包括固有展宽(即共振能级的宽度) Γ 和散射展宽

Γ_S , $\Gamma_{\text{tot}} = \Gamma + \Gamma_S$, 则 Γ_S 对应的散射引起的相位破坏时间 τ_S 为:

$$\tau_s = \hbar / \Gamma_s \quad (3.36)$$

在顺序隧穿范围内, $\Gamma_s / \Gamma > 1$, 透射率峰值迅速减小, 透射峰变宽, 这导致在谷区隧穿电流增加, PVCR 急剧减小。

2. 材料结构对于隧穿的影响^[28-31]

共振隧穿二极管的特性, 特别是 NDR 特性直接与所用的材料以及特定的器件结构, 如势垒宽度 L_B 、势阱宽度 L_W 、势垒高度 H_B 、发射区掺杂浓度 N_E 有密切的关系。对于实际电路的应用而言, 一般都尽可能要求大的 I_p , 较小的 V_p , 较小的 $|R_N|$ 和 I_V 值, 较大的或适当的 PVCR 以及较小的 PVVR。

RTD 的电流密度 J 由两部分组成, 共振隧穿电流密度 J_{RT} 和过剩电流密度 J_{ex} , J_{ex} 主要包含非弹性隧穿电流和热离子电流 J_{th} , J_{th} 对温度较敏感, 随温度的升高而增大。 J_{ex} 随电压 V 呈指数性增长, 在高压处 J_{ex} 变大。因此若 V_V 较高, 则 I_V 中 I_{ex} 的成分变大, PVCR 变小。故 V_p 和 V_V 值较低有利于提高 PVCR。在进行 RTD 材料结构设计时, 其主要任务之一就是设法提高电流密度中 J_{RT} 所占的比例, 减小 J_{ex} 所占的比例。

(1) L_B 、 L_W 、 H_B 与 J 的关系

RTD 的电流密度 J 由两部分组成, 共振隧穿电流密度 J_{RT} 和过剩电流密度 J_{ex} , 因此提高 RTD 性能的一种方法是提高 J_{RT} 所占的比例。 J_{RT} 和隧穿透射率 T 都与能量分布密切相关, 近似与 $\Delta E_{XP}^{(i)}$ 和 $E_{XP}^{(i)}$ 的乘积成正比。其中 $E_{XP}^{(i)}$ 为基态隧穿透射率 T 峰值对应的能量, $\Delta E_{XP}^{(i)}$ 为峰值对应的宽度。 $\Delta E_{XP}^{(i)}$ 随 L_B 的减少呈指数性增长, 同时也随 L_W 的增大而减少。 $E_{XP}^{(i)}$ 随 L_W 的增加而降低, 而与 L_B 无关, 即减小 L_B 和 L_W 有助于增大 $\Delta E_{XP}^{(i)}$ 。减小 L_W 可提高 $E_{XP}^{(i)}$, 故若只考虑增大 J_{RT} , 应同时减小 L_B 和 L_W , 即增大 $\Delta E_{XP}^{(i)}$ 和增大 $E_{XP}^{(i)}$ 。但是减小 L_W 和增大 $E_{XP}^{(i)}$ 将增大势阱中 E_0 与 E_F^E 的能量差。这意味需要更大的偏压才可使 E_0 与 E_F^E 重合发生共振隧穿, 使得起始电压 V_T 和峰值电压 V_p 增大。这违背了低电压工作要求, 故为了满足低电压工作的要求, L_W 应适当地增大。

同样, 降低 J_{ex} 在 J 中的比例也可提高 RTD 的性能, 而实现这个目的就必须减小 J_{th} ,

其最有效的方法是通过提高 H_B 来抑制 J_{th} 。因此, 提高 H_B 也可以提高 RTD 的性能。

(2) 发射区 N_E 对 RTD 特性的影响

N_E 为发射区掺杂浓度, 是一个重要的设计参数, N_E 对 RTD 特性的影响主要体现在 4 个方面:

- (a) 发射区掺杂使 E_F 位于 E_C 以上, 形成一个电子源。 N_E 越大, E_F 越高, 使 E_F 越接近 E_0 , 可以降低 V_T 和 V_p ;
- (b) N_E 越大, 发射区体电阻率越低, 可降低 RTD 串联电阻, 从而降低 V_T 和 V_p ;
- (c) N_E 加大可以提高 RTD 的截止频率;
- (d) N_E 值的大小还决定集电区耗尽层宽度, 若耗尽层宽度过大则会增加电子通过集电区的渡越时间, 进而影响 RTD 的截止频率和开关速度。

3.4 共振隧穿二极管模型

前三节分别对共振隧穿二极管的基本原理、输运理论以及特性进行了研究与分析, 这些内容有助于人们理解共振隧穿器件的工作原理, 建立基本概念。但共振隧穿器件最终目的是要运用到实际中去, 因此, 仅仅了解其物理原理就远远不够了, 当器件发展到实用阶段后, 必须建立可用于电路模拟的器件模型。

3.4.1 电路模拟模型

Kuo 等人在 1989 年提出一种开关模型^[32], 这个模型由 3 个电流源、4 个电阻、3 个固定电压源、4 个电容以及相应的开关组成。L. J. Michel 和 M. J. Paulus 在 1990 年提出了一种二极管模型^[33], 这个模型有 3 个二极管、7 个电流源或电压源、6 个电阻和 2 个电容组成。开关模型和二极管模型比较容易应用于 PSpice 软件, 有利于进行实际电路的设计, 但它们的缺点是组成单元过多, 而且模型参数的提取也很困难。因为这两个模型参数的提取采用连续函数模型模拟 RTD 的 $I-V$ 特性曲线, 例如多项式和三角函数, 这种模拟方法在整个 $I-V$ 曲线内的拟合精度不是很好, 而且存在收敛性

问题。Zhixin Yan 和 M. J. Deen 于1995年提出一种新的大信号 DC 模型^[34], 有助于解决开关模型和二极管模型存在的问题。

这种新的大信号 DC 模型在没有寄生电阻时的 RTD 总电流 $I_{\text{RTD}}(V)$ 在数学上可以表示为隧穿电流分量 $I_{\text{T}}(V)$ 与热激活电流分量 $I_{\text{D}}(V)$ 的叠加, 如下式所示:

$$I_{\text{RTD}}(V) = I_{\text{T}}(V) + I_{\text{D}}(V) \quad (3.37)$$

式(3.37)称为固有的大信号 DC 模型。

共振隧穿 I - V 曲线中的正微分电阻和负微分电阻一般都不对称, 因此隧穿电流分量 $I_{\text{T}}(V)$ 可以表示为正电阻区域相关的电流分量 $I_{\text{TP}}(V)$ 以及负电阻区域相关的电流分量 $I_{\text{TN}}(V)$ 的组合。在测量 I - V 曲线基础上, 这些电流分量可以选择高斯型或者指数性函数表示。两个分量 $I_{\text{TP}}(V)$ 和 $I_{\text{TN}}(V)$ 之间的联系可以通过阶跃函数的乘子项实现, 因此隧穿电流 $I_{\text{T}}(V)$ 的模型可以表述如下

$$I_{\text{T}}(V) = I_{\text{TP}}(V) + I_{\text{TN}}(V) \quad (3.38)$$

式中

$$I_{\text{TP}}(V) = I_{\text{p}} \exp\left[\frac{-(V - V_{\text{p}})^2}{2\sigma_{\text{p}}^2}\right] \exp\left\{\left(1 - \frac{V}{V_{\text{p}}}\right) \exp[M(V - V_{\text{p}})]\right\} \quad (3.39)$$

高斯函数型的负微分电阻相关的电流分量为

$$I_{\text{TN-G}}(V) = \left\{ I_{\text{p}} \exp\left[\frac{-(V - V_{\text{p}})^2}{2\sigma_{\text{N}}^2}\right] - I_{\text{TP}}(V) \right\} \times \exp\left\{\left(\frac{V}{V_{\text{p}}} - 1\right) \exp[M(V_{\text{p}} - V)]\right\} \quad (3.40)$$

指数函数型的负微分电阻相关的电流分量为

$$I_{\text{TN-E}}(V) = \left\{ I_{\text{p}} \exp\left[\frac{-(V - V_{\text{p}})}{2\sigma_{\text{N}}}\right] - I_{\text{TP}}(V) \right\} \times \exp\left\{\left(\frac{V}{V_{\text{p}}} - 1\right) \exp[M(V_{\text{p}} - V)]\right\} \quad (3.41)$$

对于式(3.38)至式(3.41), 须做如下说明:

(1) 隧穿电流选择高斯函数或指数函数作为模型方程不仅是因为数学表达式的简单和光滑, 而且相关的参数 I_{p} , V_{p} , 拟合参数 σ_{p} 和 σ_{N} 与测量的 I - V 曲线有直接的关系, 容易提取。

(2) 对于高斯函数和指数型函数的选取取决于负微分电阻区域内哪个对于 I - V 曲线拟合得好。一般来说, 从 V_p 开始的负微分区域中的 I - V 曲线迅速下降或者 $(V_v - V_p)$

不是很大, 可选高斯函数, 这时式 (3.39) 和式 (3.40) 同为高斯函数, 只是参数 σ_p 与 σ_n

不同; 如果负微分电阻区域是扩展的或者 $(V_v - V_p)$ 比较大, 则指数型函数更好。

(3) 在正微分电阻和负微分电阻区域, 必须给式 (3.39) 至式 (3.41) 模型添加阶跃函数乘子项 (对于正微分电阻区域是 $1 \sim 0$, 对于负微分电阻区域是 $0 \sim 1$ 的函数), 为的是形成所要求的非对称曲线。参数 M 应当选择尽可能大 (如 $M > 1000$), 以使得每一步都与式 (3.39) 至式 (3.41) 理想的函数类似。但对于隧穿电流分量模型, 存在一个优化的 M 值, 使正微分电阻区域和负微分电阻区域之间产生最光滑和连续的曲线。

(4) 在高斯模型和指数型模型中, 从负微分电阻区域相邻的隧穿电流 $I_{TN}(V)$ 减去 $I_{TP}(V)$ 项是因为在 $V = V_p$ 处计入两次 I_p 。

(5) 如果测量的 I - V 曲线对于峰值电压 V_p 值是对称的, 还可以进一步简化, 在这种情况下, 式 (3.39) 至式 (3.41) 中的 $I_T(V)$ 模型可以简化不用阶跃函数项, 而仅用单独的式 (3.39)。

热激活电流分量 $I_D(V)$ 可以很好地用 PN 结二极管指数函数电流模型来表示, 即

$$I_D(V) = I_s \left[\exp \left(\frac{V}{NV_T} \right) - 1 \right] \quad (3.42)$$

在式 (3.42) 中, 除了热电压 $V_T = kT/q$ 是与温度相关的常数以外, 仅需要两个参数——饱和电流 I_s 和发射系数 N , 这两个参数很容易通过共振隧穿的 I - V 曲线中的二极管指数上升区域提取。

式 (3.37) 是建立在没有寄生电阻的基础之上的, 但在实际的器件中, 因为存在体电阻和接触电阻, 因此在固有的大信号 DC 模型上串联寄生电阻 R_s 是必需的。

R_S 对于 RTD 器件 DC 大信号的影响可以简单地给测量电压 V_m 增加额外的电压降

$V_R = R_S I_{RTD}(V)$ ，因此

$$V_m(V) = V + R_S I_{RTD}(V) \quad (3.43)$$

但对于式(3.37)至式(3.42)中所有的模型，固有的 RTD 电压 V 不是简单地代入 RTD 两边的测量电压，必须在式(3.43)的基础上重新计算，仅在 R_S 可以忽略的情况下，能够用测量

电压 V_m 代替固有的 RTD 电压 V 。

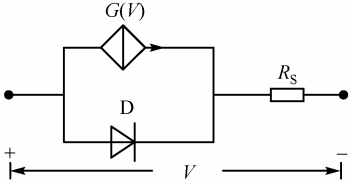


图 3.10 RTD 大信号 DC 模型等效电路示意图

这个新的 RTD 大信号 DC 模型在 PSpice 中容易实现，只要采用电压控制电流源 G 与一个二极管

D 并联，然后串联一个 R_S 就可以了。其等效电路如图 3.10 所示。

3.4.2 物理基础的RTD模型

在 3.4.1 节讨论了 RTD 大信号 DC 模型，这种模型的参数容易提取，而且非常适合在 PSpice 中实现，但这种模型是建立在曲线拟合的基础之上的，缺乏物理基础。因此，最理想的方案是建立在物理基础上的 SPICE 类型的器件模型，模型中的参数可以与各材料层的厚度、掺杂浓度分布曲线和材料组成成分等参数相联系。

1. 物理基础的标准电流公式

Coon 和 Liu 等人于 1986 年给出一个零温度条件下的极限负微分电阻的简单模型^[35]，J. N. Schulman 等人于 1996 年把上述的简单模型推广到包括非零温度和具有 Fermi-Dirac 统计基本特征的情况，得出有效质量近似标准电流公式^[36]，公式的推导从电流密度公式开始推导，即式(3.23)，为了便于分析，我们再次书写如下：

$$J = \frac{em^*k_B T}{2\pi^2\hbar^3} \int_0^\infty dE T(E, V_0) \ln \left[\frac{1 + \exp(E_F - E)/k_B T}{1 + \exp(E_0 - E - eV)/k_B T} \right] \quad (3.44)$$

$$T(E, V) = \frac{\left(\frac{\Gamma}{2}\right)^2}{\left[E - \left(E_0 - \frac{eV}{2}\right)\right]^2 + \left(\frac{\Gamma}{2}\right)^2} \quad (3.45)$$

透射函数 $T(E, V)$ 近似有 Lorentz 形式。 E 是从发射极导带边量起的能量， E_0 是相对于势垒中心底部共振能级的能量， Γ 是共振能级的宽度。这个公式假设势垒宽度与从发射极到势阱中心电压降的一半的宽度相等，这个假设并非总是成立，更普遍的是利用 eV/n 替换 $eV/2$ ， n 由解析计算或数据拟合确定。

对于较小的 Γ 值，透射函数可以忽略掉，只有在 E 接近于共振状态，即 $E \approx E_0 - eV/2$ 时，才需要考虑透射函数。计算表明 Γ 为 meV 的数量级，即使相当薄的势垒，其值也很小，远小于室温的 $k_B T$ ，所以在对数项中用 $E = E_0 - eV/2$ 代入是合理的，并且对数项可以提到积分号的外面，积分的结果为

$$J = \frac{em^*k_B T \Gamma}{4\pi^2 \hbar^3} \ln \left[\frac{1 + \exp(E_F - E_0 + eV/2)/k_B T}{1 + \exp(E_F - E_0 - eV/2)/k_B T} \right] \left[\frac{\pi}{2} + \arctan \left(\frac{E_0 - eV/2}{\Gamma/2} \right) \right] \quad (3.46)$$

这个公式提供了电流的正确特性，可以用非常简单的方式进行计算，物理量可以与它实际的值不同，以补偿模型所做的近似和省略，最后的结果是

$$J_1(V) = A \ln \left[\frac{1 + \exp(B - C + n_1 V)e/kT}{1 + \exp(B - C - n_1 V)e/kT} \right] \left[\frac{\pi}{2} - \arctan \left(\frac{C - n_1 V}{D} \right) \right] \quad (3.47)$$

式(3.47)的 I - V 关系可以产生一个电流峰和负微分电阻，但是没有包括通过其他通道和非弹性散射而使谷电流增加的项，因此，必须考虑通过较高的共振能级隧穿或者热激发越过势垒的电子输运，对于能量较高的通道，附加电流可以取二极管的形式

$$J_2(V) = H [\exp(n_2 eV/k_B T) - 1] \quad (3.48)$$

如果需要的话也可以包括第二或者更高共振能级的贡献，再增加一个类似的项。

综上所述，RTD 的 I - V 关系可表示如下

$$J = J_1 + J_2 = A \ln \left[\frac{1 + \exp(B - C + n_1 V)e/k_B T}{1 + \exp(B - C - n_1 V)e/k_B T} \right] \left[\frac{\pi}{2} - \arctan \left(\frac{C - n_1 V}{D} \right) \right] + H [\exp(n_2 eV/k_B T) - 1] \quad (3.49)$$

其中， $A = \frac{em^*k_B T \Gamma}{4\pi^2 \hbar^3}$ ， $B = E_F^E$ ， $C = E_r$ ， $D = \Gamma/2$ ， H ， n_1, n_2 为拟合参数。 E_F^E 是发射区费米能级， E_r 是相对于阱底的量子化能级， Γ 是共振宽度。 n_1, n_2 参数值的作

用是延伸电压范围。实际上,在集电极隔离层外面有一个显著的电压降,它引起最主要的电压延伸作用。在以上的推导中,这种效应并没有包括进去,而是针对 InGaAs/AlAs RTD 用低的 n_1, n_2 值模拟。特别是当隔离层很宽且掺杂很少,能带弯曲会有显著效应。在总的耗尽近似中需要明确添加能带弯曲的形式,以使得公式更实用。能带弯曲效应可以作为串联电压降包括进去。对于集电极电压降总耗尽近似给出 $V_C = \varepsilon \varepsilon_0 F^2 / (2eN)_d$ 。 F 是电场强度, $F = V/d$, 式中 d 是势阱与势垒一起计算的厚度。这个结果正好有 $V_C = \beta V^2$ 的结果。器件两边的总电压则为 $V_t = V + V_C$ 。新的参数 β 可以代替 n_1 或者与 n_1 一起作为模型参数。这个参数应当返回更有实际物理意义的值。注意如果 RIT 二极管工作在小的电压范围内,这种细化就没有必要,用 n_1, n_2 参数,并且它们取接近于 0.5 理想值的结果与细化后的结果相一致。通过选择以上各个拟合参数的值,上式可以近似得到 RTD 的 I - V 特征曲线。

2. 基于物理基础的标准电流公式的电路模型

RTD 的等效电路模型对器件的实际应用具有非常重要的作用,RTD 等效电路模型的建立应结合其物理机制,上述的物理基础的标准电流公式为 RTD 等效电路模型的建立提供了很好的物理基础,基于标准电流公式的等效电路模型如图 3.11 所示,模型由压控电流源、本征电容 C_d 、串联电阻 R_s (包括引线电阻,欧姆接触和晶片的扩展电阻)和串联电感 L_s 组成,其中压控电流源用来表示 RTD 负电阻特性,受控源是建立在式 (3.49) 基础上的。

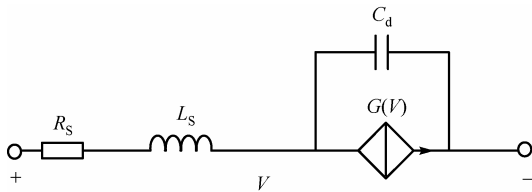


图 3.11 基于标准电流公式的等效电路模型

3.5 RTD器件的数字电路

共振隧穿二极管 RTD 具有高频、高速、低功耗等优点,因此,在实现相同的电路功能时,相对于传统器件,RTD 电路具有以下特点:

(1) 高频、高速工作^[3,8]。用 RTD 器件制作的振荡器的振荡频率为 200~712 GHz。

(2)低功耗^[7]。由于 RTD 器件的低功耗决定了其电路也具有低功耗的特点, RTD 器件电路的低功耗特点主要是由于 RTD 器件构成的电路在实现相同功能的前提下,所用的器件少于常规电路,而且电路工作在低电流维持状态,因此电路的总功耗低,而且 RTD 的电容小,导致电路的动态功耗也比较低,这也是 RTD 器件电路功耗低的一个原因。

(3)电路结构简化^[37-39]。由于RTD本身具有双稳和自锁特性,故构成数字电路时可大量节省器件数目,有时只相当于常规电路器件数目的 1/3~1/5,这又进一步减少了电路中结点数目、内连线长度、寄生效应和功耗。

RTD 以其独有的特性引起了人们浓厚的兴趣,目前人们对于RTD器件的研究已从单管研究转向于集成技术和应用方面,基于 RTD 器件的模拟电路和数字电路的应用电路都已见诸于报道,不过数字电路方面的文献远多于模拟电路方面的文献,因此,RTD 的数字集成技术已成为目前的主流方向。

RTD 虽然具有速度快、频率高等优点,但它是一种两端器件,具有 I - V 特性不能调控和无增益的缺点,而 RTT (Resonant Tunneling Transistor) 具有 RTD 的特性又为三端器件,但其速度并不比 RTD 与高电子迁移率晶体管 (High Electron Mobility Transistor, HEMT) 相结合构成的 RTD/HEMT 并联单元高 (RTD/HEMT 的工作频率最高可达几十 GHz)。另外,由于 RTT 通常在电路中还需要非负阻特性的其他器件,故 RTT 的发展前景并不比 RTD/HEMT 单片集成的发展前景看好^[7]。因此,RTD 与其他三端器件相结合构成集成电路成为目前的主要研究内容^[40-43]。

3.5.1 RTD的基本电路

在 RTD 的实际应用中,RTD 应以本身或其他器件作为负载构成具有双稳态特性的基本电路^[44],从而构成大规模的电路。在 RTD 的基本电路中,负载线只有和 RTD 的 I - V 特性正阻区相交的点才是稳定的状态,其中与高电压对应的稳态为高态,以“1”表示;与低电压对应的为低态,以“0”表示。下面将比较 RTD 分别以电阻、MOS 管、RTD 本身为负载的基本电路进行分析和比较。

1. RTD与电阻串联

RTD 与电阻串联的电路结构与 I - V 特性如图 3.12 所示,从图中可以看出,RTD 的 I - V 特性曲线的正阻部分与电阻的负载线有两个交点,即 RTD 与电阻的串联结构具有双稳态特性,利用这个特性,RTD 与电阻的串联结构可以用做存储器。此电路结构的以下特点:

- (1) 串联电阻后,负微分特性不变,且电流的峰值保持不变,即 I_{p0} 不变。
- (2) 随着串联电阻阻值的增大,电流峰值所对应的电压 V_p 增大。原因是随着电阻阻值的增大,串联电阻上的电压降增大,RTD 上的电压降就会减小,因此电流达到峰值点时的电压就会增大。

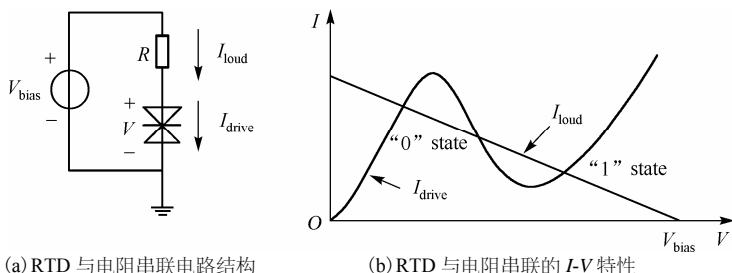


图 3.12 RTD 与电阻串联的电路结构与 I - V 特性

(3)随着串联电阻的增大， I - V 特性曲线负微分电阻部分的斜率也相应增大。原因是 RTD 进入负微分电阻区域，随着电阻的增大，总电流减小，则电阻上的电压降就会减小，RTD 的电压降就会增大，因为处于负微分电阻区域，RTD 两端电压的增大会导致其电流的减小，因此电阻的增大与 RTD 电流的减小形成负反馈，电阻越大，反馈越大，电流下降也越快，因此 I - V 特性曲线负微分电阻部分的斜率就越大。

2. RTD驱动MOS器件

RTD 驱动 MOS 器件的电路结构与 I - V 特性曲线如图3.13所示，从 I - V 特性曲线可以看出，RTD 驱动MOS器件的电路结构也具有双稳态特性，此电路结构具有以下特点：

(1)MOS 管的沟道宽度越大，峰值电压越小。原因是随着 MOS 管沟道宽度的增大，其等效电阻会变小，则电路的电流就会变大，就会越早达到电流峰值。

(2)电流达到峰值前有一段近似水平的区段。MOS 管在这个阶段已经趋于饱和，电流的增长缓慢。

(3)同单个RTD 器件相比，RTD 器件驱动MOS 管的电路结构同样具有负微分电阻现象，但负微分段下降的斜率更大。

(4)电流从峰值点降落到峰谷以后不再继续上升，基本保持水平。中间结点电压上升到使 MOS 管的 $V_{gs} < V_T$ 后，MOS 管逐渐截止，因此电流很小。

此外，如果 RTD 的面积过大，或者 MOS 管的宽度过小， I - V 特性曲线与 MOS 管的 I_{ds} - V_{ds} 特性曲线基本一致，没有表现出负微分电阻特性，这是因为MOS管的饱和电流达不到 RTD 的峰值电流，因此在设计时应该适当选取 RTD 的尺寸和 MOS 管的沟道宽度。

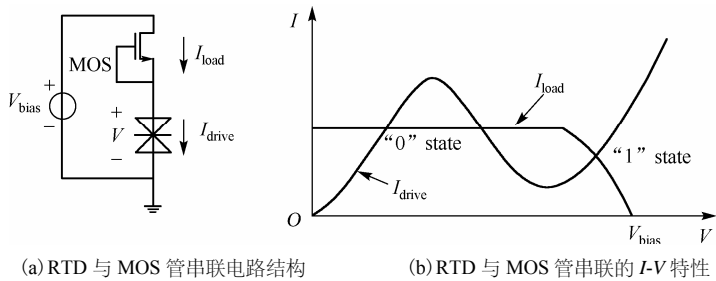


图 3.13 RTD 驱动 MOS 管的电路结构和 I - V 特性曲线

MOS 器件也可以驱动 RTD 器件构成基本电路，这个电路结构同样具有双稳态特性，同 RTD 驱动 MOS 管的电路结构一样，MOS 管的沟道宽度越大，电流峰值点对应

的电压越小,不同的是,在负微分电阻后,电流重新上升至 MOS 管的饱和电流值。

3. RTD和RTD串联

RTD 和 RTD 串联的电路结构和 I - V 特性曲线如图3.14所示,这个电路也具有双稳态特性,与前面几种电路相比,两个 RTD 串联的优点在于两个稳态点对应的电流都很小,电路的静态功耗也很小。在实际应用中,两个 RTD 是不同的,RTD 的电流密度与材料结构参数有关,因此,两个串联的 RTD 不可能同时达到电流峰值点,峰值小的 RTD 先开启,电路的 I - V 特性曲线有两个峰。

从 RTD 分别以电阻、MOS 管、RTD 本身为负载的基本电路的 I - V 特性曲线可以看出,以 RTD 为负载时,双稳态(“0”和“1”)所对应的电流都最小,这非常有利于降低功耗,因此两个 RTD 串联构成的基本电路成为目前 RTD 电路的核心部分。

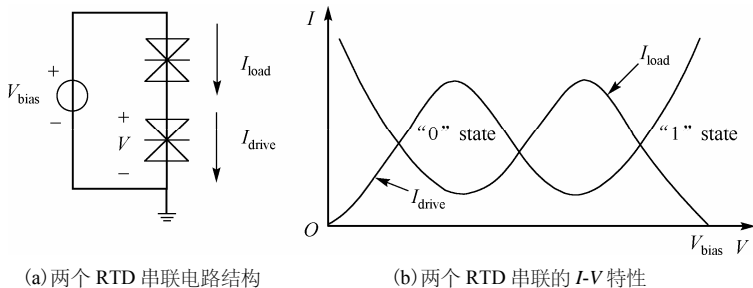


图 3.14 两个 RTD 串联的电路结构和 I - V 特性曲线

3.5.2 单-双稳转换逻辑单元的工作原理

单-双稳转换逻辑单元(Monstable-Bistable Transition Logic Elements, MOBILE)由两个串联的 RTD 构成的,其中一个作为驱动器件,另一个作为负载器件,通过驱动器件的输入信号来控制输出电平。MOBILE 可以作为基本逻辑单元进行各种数字电路的设计^[45-46]。

MOBILE 的电路结构如图3.15所示,图3.15(a)为 MOBILE 电路结构,上部为负载 RTD,其集电极与时钟脉冲 V_b 相连,其发射极与结点和输出端相连,通过的电流为 I_{load} ,下部为驱动 RTD。驱动 RTD 通常以 RTD/HEMT 并联的结构构成,以 HEMT 的栅极作为信号的输入端,通过输入信号控制驱动 RTD 中的电流 I_{drive} ,驱动 RTD 发射极接地,集电极结点或输出端。图 3.15(b)为 RTD 与 HEMT 的并联结构,即图 3.15(a)中虚线框中的电路结构。以下分两种情况分析 MOBILE 的工作原理。

1. 结点处不存在注入电流和泄漏电流的情况。这时流入结点的电流为 I_{load} ，流出结点的电流为 I_{drive} 。图3.16(a)为 $V_{bias} < 2V_p$ 时，驱动 RTD(实线)和负载 RTD(虚线)负阻曲线相交的情况，从图中可以看出，两者的第一正阻区在低电压处只有 S 一个稳定点；当 $V_{bias} = 2V_p$ 时，S 点略向右移，仍为一个稳定点，如图3.16(b)所示；当 $V_{bias} > 2V_p$ 时，负载RTD 和驱动RTD 在正阻区相交构成两个稳定点 S_1 和 S_2 ，低电压的稳定点作为“0”态，高电压的稳定点作为“1”态。在 S_1 和 S_2 之间还存在着 S' 点，如图3.16(c)所示，此点是由驱动和负载两个 RTD 的负阻段相交形成的，故不稳定，它既可以沿着电压减小的方向移向 S_1 点，也可以沿着电压增大的方向移向 S_2 点，影响其移动方向的决定性因素是结点处电压的变化方向。在结点处于结点相连的有结点电容，如结点处的电流对电容充电，使结点电位升高，则 S' 移向 S_2 点；反之电流从结点流出，电容放电，电位降低，则 S' 移向 S_1 点。因此最终稳定在 S_1 还是 S_2 点要取决于驱动 RTD 的峰值电流 I_{pd} 和负载 RTD 的峰值电流 I_{pl} 大小的比较，当 $I_{pd} > I_{pl}$ 时，即 $I_{drive} > I_{load}$ ，结点电位下降， S_1 (即“0”态)被选定，反之， S_2 (即“1”)被选定。当采用 RTD/HEMT 并联的结构，可以通过改变 HEMT 的栅电压控制改变 I_{drive} 和 I_{load} 。

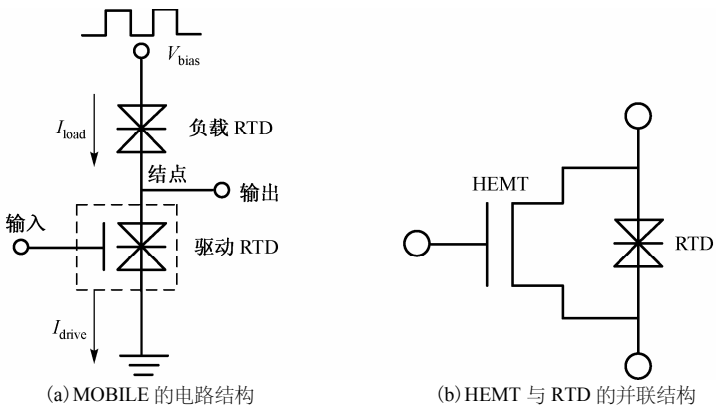


图 3.15 MOBILE 的电路结构

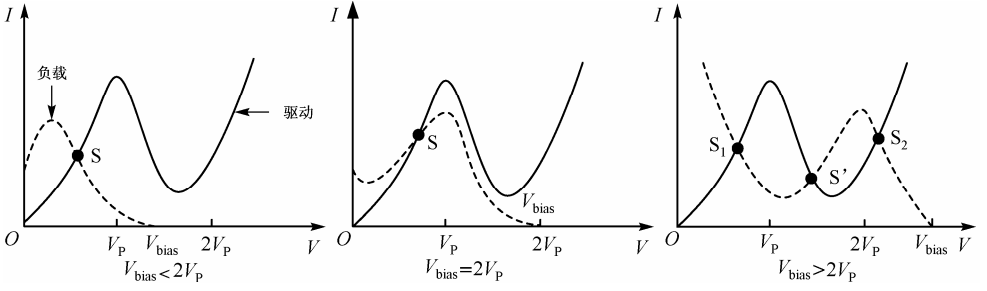


图 3.16 MOBILE 的工作原理

2. 结点处存在注入电流和泄漏电流的情况。如图3.17所示，当MOBILE的结点处于外电路相连时，可能有注入电流 I_{ini} 流入结点，还可能有泄漏电流 I_{leak} 从结点流出。这种情况下输出端的电平高低可通过两种不同方式确定：

(1) 依据流入和流出结点的总电流来判断。如图3.17所示，流入结点的总电流为

$I_{ini} + I_{load}$ ，流出结点的总电流为 $I_{leak} + I_{drive}$ 。因此，如果

$$(I_{ini} + I_{load}) > (I_{leak} + I_{drive}) \quad (3.50)$$

则结点电位上升，输出端(与结点相连)为高电平(“1”状态)；反之，若

$$(I_{ini} + I_{load}) < (I_{leak} + I_{drive}) \quad (3.51)$$

则结点电位下降，输出端为低电平(“0”状态)。

(2) 依据净输入电流 I_{ini} 和阈值电流 I_{th} 来判断，将

式(3.50)改写为

$$(I_{ini} - I_{leak}) > (I_{drive} - I_{load}) \quad (3.52)$$

同时，定义净输入电流

$$I_{in} = I_{ini} - I_{leak} \quad (3.53)$$

定义

$$I_{th} = I_{drive} - I_{load} \quad (3.54)$$

当 $I_{in} > I_{th}$ 时，输出高电平，反之 $I_{in} < I_{th}$ 时，输出低电平。

当 RTD 与 HEMT 并联时，可以将 HEMT 的 I_d 作为 I_{ini} 或 I_{leak} ，即与负载 RTD

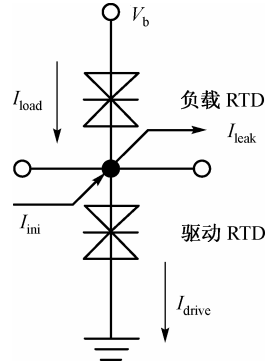


图 3.17 MOBILE 结点处的注入电流和泄漏电流

并联的 HEMT，其 I_d 相当于 I_{ini} ，与驱动 RTD 并联的 HEMT，其 I_d 相当于 I_{leak} 。

3.5.3 单-双稳转换逻辑单元构成的数字电路

1. 可变逻辑门电路

常规电路中，一种电路只能实现一种逻辑功能，而使用 RTD 的特性构成的可变逻辑门^[47]是 RTD 特有的一种逻辑门，这种逻辑门相对于常规逻辑门来说，最大的特点就在于可以通过控制电压改变电路的逻辑功能，即一种电路结构可以实现不同的

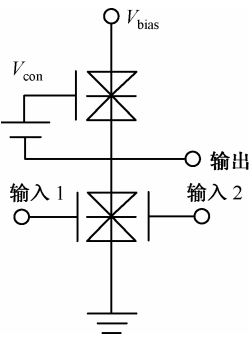


图 3.18 由 MOBILE 构成的可变逻辑门电路

逻辑功能，用 RTD 构成的可变逻辑门电路结构简单灵活，非常有利于未来大规模电路的设计。

图 3.18 为一个由 MOBILE 为核心部分构成的可变逻辑门，该电路由两个栅控 RTD 构成，栅控 RTD 可以通过改变栅极电压 V_G 来控制 RTD 的 I - V 特性来调控 MOBILE 的输出电平，两个栅控 RTD 分别作为驱动器件和负载器件，在负载 RTD 的栅极与结点之间加一个控制电压 V_{con} ，

改变控制电压 V_{con} 就可以改变电路的逻辑

功能。对于图 3.7 的电路结构，对 NOR 逻辑功能，做以下设计：对于负载 RTD，使其 I_{pl} 大于驱动 RTD 栅压输入为零时的 I_{pd} ；对于驱动 RTD，使当输入端有一个或两个都是高电平时，驱动 RTD 对应的栅压所产生的 I_{pd} 超过负载 RTD 在 $V_{con} = 3.8\text{ V}$ 时对应的 I_{pl} ，因此当 $V_{con} = 3.8\text{ V}$ 时，电路呈现 NOR 逻辑。对于 NAND 逻辑，当 $V_{con} = 0.53\text{ V}$ 时，负载 RTD 的 I_{pl} 比上述情况有所提高，具体设计 requirements 是 I_{pl} 大于当驱动 RTD

只有一个栅极输入高电平时所产生的 I_{pd} ，而小于驱动 RTD 两个栅极都是高电平时的 I_{pd} ，因此电路实现 NAND 逻辑。

2. 阈值门

阈值门 (Threshold Gate) 电路^[48]是一种多输入单输出逻辑单元，对于输入变量为 $x_i (i=1, 2, \dots, n)$ ，输出为 y 的阈值门，当 $\sum_{i=1}^n w_i x_i \geq T$ 时， $y = 1$ ，否则 $y = 0$ ，其中

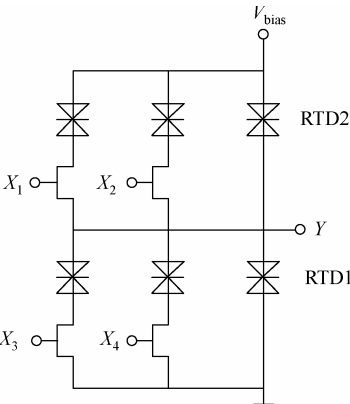


图 3.19 阈值门电路

$w_i (i=1,2,\dots,n)$ 为对应于每个输入变量 x_i 的权值。多值阈值门是阈值门的扩展,指的是具有多个阈值的阈值门, k 值阈值门的定义如下: 输入变量为 $x_i (i=1,2,\dots,n)$, 输出为 y , 阈值为 $T_i (i=1,\dots,k)$, 当 $T_{2j-1} \leq \sum_{i=1}^n w_i x_i \leq T_{2j}$, 且 $T_{j+1} \geq T_j (j=1,2,\dots,k/2)$ 时, $y=1$, (当 k 为奇数时, 最后一个不等式为 $T_k \leq \sum_{i=1}^n w_i x_i$), 否则 $y=0$ 。图3.19为由 RTD 和 HFET (异质结场效应管, Heterostructure Field-Effect Transistors, HFET) 构成的阈值门电路, 当 $w_1 x_1 + w_2 x_2 - w_3 x_3 - w_4 x_4 \geq T$ 时, $y=1$, 否则 $y=0$ 。RTD 的面积决定了权值 $w_i (i=1,2,3,4)$ 和阈值 T 的大小, 输入状态按照权值的正负与 RTD 并联连接。

多阈值阈值门电路是阈值门电路的扩展,与阈值门电路不同的是,电路中串联 RTD 的数目由 3 个或更多的 RTD 串联构成,具体的数目由阈值的数目决定。如一个三输入两阈值的阈值门电路, 定义为 $[w_1, w_2, w_3; T_1, T_2]$ 电路所实现的功能由 RTD 的面积决定, 例如, 逻辑功能 $f(x_1, x_2, x_3) = x_1 \oplus x_2 x_3$ 能够表示为 $[2, 1, 1, 2, 4]$ 。

3.5.4 基于RTD的多值逻辑电路设计

RTD 的负微分特性是一种非常重要的特性, 有利于很多电路的设计, 尤其有利于多值逻辑电路的设计, 而多值逻辑电路在减小电路的互连线和功耗方面对于未来大规模电路的设计具有非常重要的意义。基于 RTD 的多值逻辑电路的设计首先建立多个 RTD 串联的电路, 然后利用多个 RTD 串联电路单稳态和多稳态时间的转换来实现多值逻辑的运算。

1. 三值字符门电路的设计

字符门 (Literal gate) 电路是多值逻辑电路的一个基本电路^[49], 电路结构如图3.20所示。电路由三个串联的 RTD 与两个 HEMT 构成, 分别为 RTD₀, RTD₁, RTD₂, HEMT₁, HEMT₂, 其中 HEMT₁, HEMT₂ 分别与 RTD₁, RTD₂ 并联。对于每一个 HEMT 与 RTD 并联的电路来说, 相当于一个三端器件, 电路的总电流是 HEMT 的漏源电流和 RTD 电流的和, 而总电流的最大值可以用输入信号 V_{in} 进行调节。当施加供给电压 V_{ck} 时, 串联的 RTD 呈现依次实现由导通到关闭状态转换, 规律如下: 峰值电流越小, 越早实现由导通到关闭的转换。因此当 RTD₂ 实现状态转换时, 输出为高电平, 当 RTD₂ 未实现状态转换时, 输出为低电平。因此, 通过调节输入电压, 可以控制 RTD 依次开关的次序, 从而实现逻辑功能。当输入信号 V_{in} 依次为 V_1, V_2, V_3 时, RTD₁, RTD₂, RTD₀ 依次实现由导通到关闭的状态转换, 因此, 输出按照低、高、低的顺序转换, 从而实现字符门的基本运算。

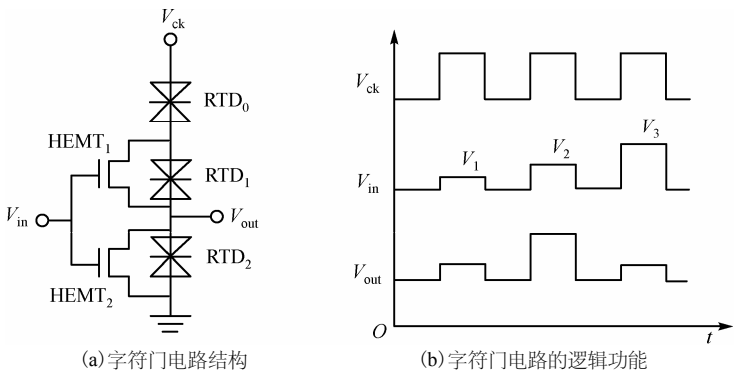


图 3.20 字符门及其逻辑功能

2. 三值量化器的设计

多值量化器(Quantizer)是高速比较器和模/数转换器的核心部件之一,可又高于高速光电子、微电子集成模块和系统之中。以三值量化器^[50]为例,如图3.21所示,电路由四个RTD(A, B, X, Y)和一个HEMT 构成,四个 RTD 串联连接,HEMT 与 X, Y 并联连接,X, Y 的峰值电流由HEMT的输入电压 V_{in} 控制。

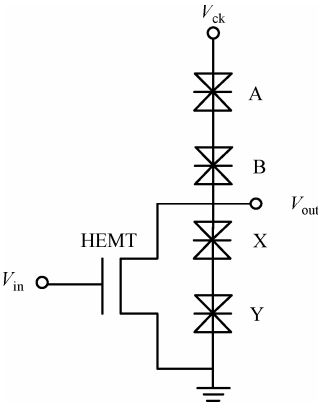


图 3.21 三值量化器电路

整个电路由一个周期电压信号 V_{ck} 驱动,随着 V_{ck} 的增加,RTD 依次完成由低阻导通态到高阻关断态的转换,转换次序是按照峰值电流越小的 RTD,越先实现状态的转换完成的。电路发生转换时的电压 V_{T1} , V_{T2} , V_{T3} 成为阈值电压,它们由各 RTD 的峰值电流和 HEMT 的跨导共同决定。

当 $V_{in} < V_{T1}$ 时,RTD 中 X, Y 的峰值电流小于 A, B 的峰值电流, X, Y 完成状态转换,由开启变为关闭,输出电压对应于“2”状态;当 $V_{T1} < V_{in} < V_{T2}$ 时, B, Y 完成状态转换,由开启变为关闭,输出电压对应于“1”状态;当 $V_{T2} < V_{in}$ 时, A, B 完成状态转换,由开启变为关闭,输出电压对应于“0”状态。

3.6 RTD的模拟电路及其应用

相比于其他的半导体器件,RTD 具有两个非常显著的特性:(1) RTD 具有高频、高速的特点;(2) RTD 具有负阻特性,RTD 的这两个显著特性使其可以很好地应用在模拟电路方面。前一个特性使 RTD 在超高速电路应用方面具有很好的应用前景,后一个特性可以使 RTD 成为很好的功能器件,使电路可以按与传统器件电路不同的工作原理来设计,可以显著减少元器件数目。

3.6.1 振荡器电路

利用RTD 的负微分电阻特性可以做成高频振荡器^[51],其最高工作频率主要由双势垒结构中电子的响应时间决定,响应时间由两部分构成:第一部分是阱中的电子寿命,对于 2.5 nm 厚的 AlAs 垒,阱中电子的寿命约为 4 ps,对应的工作频率为 40 GHz;第二部分为电子越过耗尽层的时间,约为 0.16~0.69 ps。因此用 RTD 做成的振荡器可以工作在微波和毫米波波段。

图3.22 是一个振荡器的等效电路图,电路由表示双势垒结构的动态电导 $G(V)$ 串联电阻 R_s 并联电容 C 成,整个器件的阻抗可表示为:

$$Z = R_s + \frac{1}{G + j\pi f C} \quad (3.55)$$

其实部为

$$\text{Re}\{Z\} = R_s + \frac{G}{G^2 + (2\pi f C)^2} \quad (3.56)$$

则实部为负阻的条件是

$$f < f_{\max} = \frac{1}{2\pi C} \left[\frac{-G_{\max}}{R_s} - G_{\max}^2 \right]^{1/2} \quad (3.57)$$

其中 G_{\max} 是负阻区域最大的负动态电导,当振荡频率高于

f_{\max} 时,振荡停止,通常,这种振荡器的振荡频率为

200 GHz,输出功率为 $P_{\max} = 225 \mu\text{W}$ 。

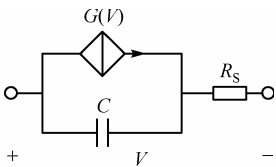


图 3.22 振荡器电路图

3.6.2 细胞神经网络神经元电路

细胞神经网络是一种结构形式为局部连接的神经网络，是具有实时信号处理能力的大规模的非线性动力学系统^[52]，在图像处理、机器人技术等方面有非常广泛的应用。它由大量细胞神经元以阵列的方式构成，一个 $M \times N$ 的细胞神经网络可做如下表示：

$$\frac{dx_{ij}(t)}{dt} = -x_{ij}(t) + \sum_{C(k,l) \in N_r(i,j)} (a_{ij,kl} f(x_{kl}(t)) + b_{ij,kl} u_{kl} + I) \quad (3.58)$$

其中变量 x_{ij} 、 u_{ij} 、 $f(x_{ij})$ 分别表示细胞 (i, j) 的状态、输入和输出变量。一个细胞的状态是由 r 邻域 $N_r(i, j)$ 内邻近细胞的输入和输出控制的， $a_{ij,kl}$ 和 $b_{ij,kl}$ 分别表示反馈和前馈系数， I 表示一个偏移量。

图3.23为基于 RTD 的连续细胞神经网络神经元示意图^[53]，RTD 提供了非线性功能，因此状态变量 x_{ij} 等同于输出变量 y_{ij} ，细胞的动力学特征由下式决定。

$$C \frac{dx_{ij}(t)}{dt} = -h(x_{ij}(t)) + \sum_{C(k,l) \in N_r(i,j)} (a_{ij,kl} x_{kl}(t) + b_{ij,kl} u_{kl}) + I \quad (3.59)$$

$$h(x_{ij}(t)) = A \left[\frac{1 + \exp((B - C - n_1 x_{ij})q / kT)}{1 + \exp((B - C + n_1 x_{ij})q / kT)} \right] \times \left[\frac{\pi}{2} + \arctan\left(\frac{C - n_1 x_{ij}}{D}\right) \right] + H(\exp(n_2 x_{ij} q / kT) - 1) \quad (3.60)$$

其中，参数 A, B, C, D, H, n_1 和 n_2 分别为 RTD 的物理模型中的参数，对于传统器件实现的细胞神经网络神经元，实现非线性特性需要很多器件，而 RTD 本身即具有非线性特性，因此，在器件数量上，RTD 相对于传统器件具有很大的优势。

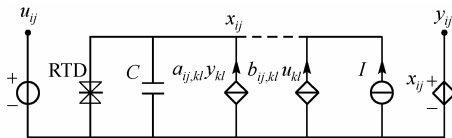


图 3.23 连续细胞神经网络神经元等效电路图

3.6.3 混沌振荡器电路

近年来，混沌电路在信号处理和通信系统中的应用受到越来越多的关注，RTD 器件所具有的负微分电阻的 $I-V$ 特性使其非常适合构建混沌电路，使用 RTD 实现混沌电路具有很多优点，例如电路结构简单、高频、低功耗等优点^[53-55]。

1. 范德波尔振荡电路

图 3.24 是一个以 RTD 为核心部件的混沌发生器电路，可以看成是一个范德波尔振荡电

路^[54]。这个电路由一个 RTD、一个电感 L 和一个电容 C 组成。HEMT 可以看成是一个输出缓冲器。电路采用 RTD/HEMT 集成工艺, HEMT 的栅长为 $1.5\mu\text{m}$, 电路中其他器件的参数在一定范围内变化, $L=1.15\sim 5.9\text{ nH}$, $C_{\text{tot}}=0.48\sim 1.03\text{ pF}$, C_{tot} 为电容 C 和 HEMT 栅电容的和, 则电路的振荡频率 $f_k (f_k = 1/2\pi(LC_{\text{tot}})^{1/2})$ 为 $3.0\sim 6.8\text{ GHz}$ 。

根据输入信号的频率, 振幅, 直流偏压的不同, 会产生不同的输出信号, 如 $1/2$, $1/3$ 的分频信号以及混沌信号, 因此本电路可以作为多种拓展电路的基本电路来使用, 除了可以作为混沌发生器之外, 还可以经过施加适当的输入信号, 实现分频器。

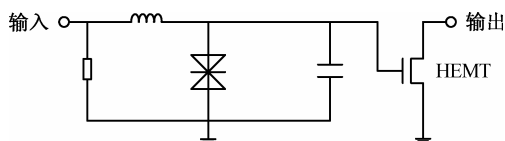


图 3.24 混沌振荡器电路示意图

2. 蔡氏电路

在基于 RTD 的蔡氏电路中^[56], 使用了 RTD 的分段线性模型^[57,58], 如图 3.25 所示, 模型由 4 段线性部分组成, 分别为 1, 2, 3, 4 线性区。相关参数的物理意义如下: R_D 是左区电阻, R_P 是正微分电阻, R_N 是负微分电阻, R_T 是右区电阻。 V_D 是第一个转折点的电压, V_P 是峰值电压, V_V 是谷值电压, V_T 是 R_T 区域内的任意电压。 I_D 是第一个转折点的电流, I_P 是峰值电流, I_V 是谷值电流, I_T 是对应于 V_T 的电流。选取 RTD 的参数如下: $V_D=0.77\text{ V}$, $I_D=13.2\text{ mA}$, $V_P=1.57\text{ V}$, $I_P=66\text{ mA}$, $V_V=1.65\text{ V}$, $I_V=20\text{ mA}$, $V_T=2.28\text{ V}$, $I_T=66\text{ mA}$ 。为了使 RTD 器件适合进行 PSpice 仿真, 基于上述参数, 本文提出了一种基于非线性电压控制电流源的 RTD 分段线性大信号模型。需要注意的是, 为了适合于研究蔡氏电路, 在基于 RTD 的蔡氏电路实现中, RTD 的分段线性 PSpice 模型是经过坐标轴平移处理的, 这个过程可以通过串联一个直流电压源和并联一个直流电流源来实现。此外, 为了分析方便, 本文蔡氏电路中的 RTD 分段线性 PSpice 模型仅仅使用了 RTD 分段线性模型中 4 个线性段其中的 2、3、4 线性区, 如图 3.26 所示。

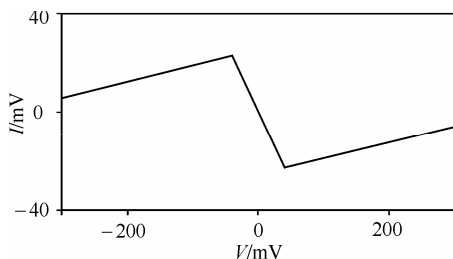
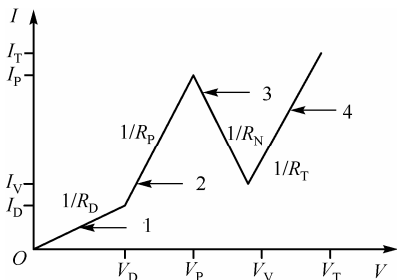
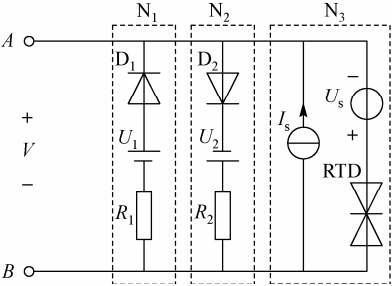


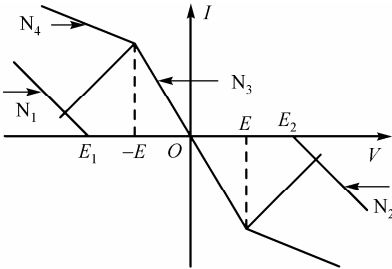
图 3.25 RTD 的分段线性模型

图 3.26 RTD 的分段线性 PSpice 模型

在RTD分段线形模型中的 2、3、4 三段线性区中，其中两段是正阻区，这跟蔡氏电阻还是有区别的，蔡氏电阻三段都是负阻区，如图3.25所示。基于 RTD 的分段线性SPICE模型和蔡氏电阻的差异，我们利用驱动点特性合成的方法实现蔡氏电阻，如图3.27所示。直流电压源 U_1 和 U_2 可以用来控制转折电压 E_1 和 E_2 ，当 U_1 和 U_2 的值增大时，转折电压 E_1 和 E_2 向左移动，反之，转折电压 E_1 和 E_2 向右移动；电阻 R_1 和 R_2 可以用来调节 N_1 和 N_2 斜率的大小，当电阻 R_1 和 R_2 的值增大时， N_1 和 N_2 的斜率减小，当电阻 R_1 和 R_2 的值减小时， N_1 和 N_2 的斜率增大。在使用驱动点特性合成方法实现蔡氏电阻的过程中，调节 U_1 和 U_2 的大小，使得 N_1 和 N_2 的转折电压 E_1 和 E_2 分别与 RTD 分段线性模型中的转折电压 $-E$ 和 E 重合；蔡氏电阻中的 G_a 是固定不变的，调节电阻 R_1 和 R_2 的阻值，可以改变蔡氏电阻中 G_b 的大小。



(a) 蔡氏电阻电路



(b) 驱动点特性合成

图 3.27 蔡氏电阻电路及驱动点特性合成

基于 RTD 的蔡氏电路如图3.28所示，虚线框中的子电路为蔡氏电阻。根据蔡氏电路中参数的选取，在电路仿真软件 SPICE 中进行仿真验证，可产生双涡卷混沌吸引子，电路仿真结果如图3.29 和图3.30 所示。图3.29(a) 为输出变量 v_{C1} 的时域波形，图3.29(b) 为输出变量 v_{C2} 的时域波形，图3.29(c) 为输出变量 i_L 的时域波形。图3.30(a) 为混沌吸引子在相平面 v_{C1} - v_{C2} 上的相图，图3.30(b) 为混沌吸引子在相平面 v_{C1} - i_L 上的相图，图3.30(c) 为混沌吸引子在相平面 v_{C2} - i_L 上的相图。显而易见，计算机仿真结果与理论分析结果完全符合。

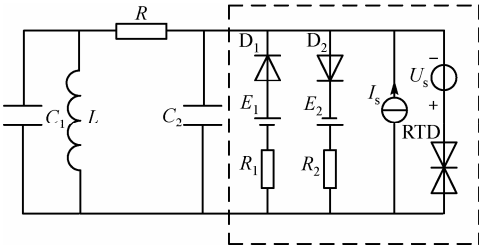
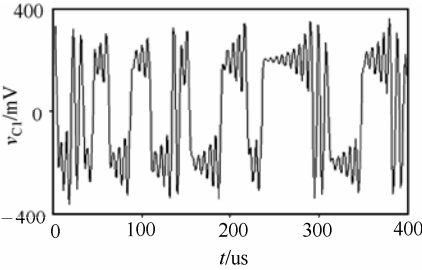
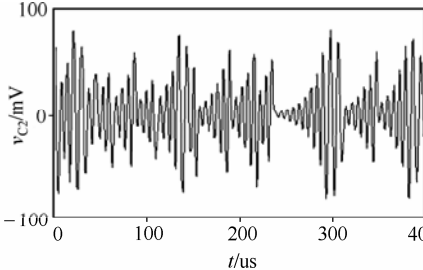


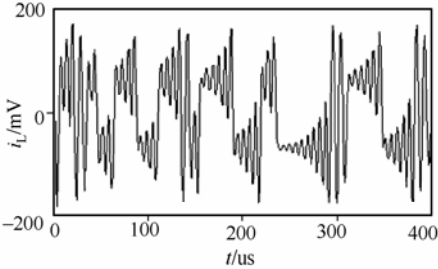
图 3.28 基于 RTD 的蔡氏电路示意图



(a) v_{C1} 的时域波形



(b) v_{C2} 的时域波形



(c) i_L 的时域波形

图 3.29 基于 RTD 蔡氏电路的时域波形

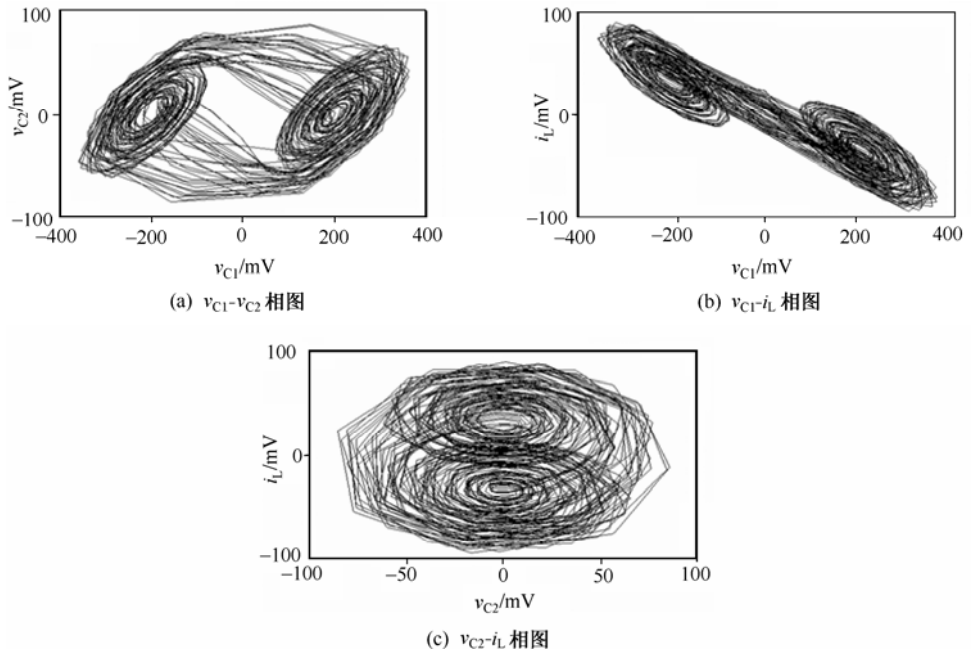


图 3.30 基于 RTD 蔡氏电路的相图

参 考 文 献

- [1] Tsu R, Esaki L. Tunneling in a finite superlattice. Appl. Phys. Lett, 1973, 22, 562.
- [2] Chang L L, Esaki L, Tsu R. Resonant tunneling in semiconductor double barriers. Appl. Phys. Lett., 1974, vol. 24, pp. 593-595.
- [3] Sollner T C L G, Goodhue W D, Tannenwald P E, et al. Resonant tunneling through quantum wells at frequencies up to 2.5 THz. Appl. Phys. Lett, 1983, 43, 588.
- [4] Federico Capasso, Susanta Sen, Alfred Y CHO, et al. Resonant tunneling device with multiple negative differential resistance and demonstration of a three-state memory cell for multiple-valued logic application. IEEE Electron device letters, 1987, 8(7): 297-299.
- [5] Hiroshi Mizuta, Tomonori Tanoue, Susumu Takahashi. A new triple-well resonant tunneling diode with controllable double-negative resistance. IEEE Transactions on electron device, 1988, 35(11): 1951-1956.
- [6] Susanta Sen, Federico Capasso, Debbie Sivco, et al. New resonant-tunneling device with multiple negative resistance regions and high room-temperature peak-to-valley ratio. IEEE electron device letters, 1988, 9(8): 402-404.

- [7] 郭维廉, 牛萍绢, 苗长云. 共振隧穿器件及其集成技术发展趋势和最新进展. 微纳电子技术. 2005, 第7期, 298-304.
- [8] Sollner T C L C, Goodhue W D, Tannenald P E, et al. Resonant tunneling through quantum wells at frequency up to 2.5THz. Appl Phys Lett, 1983, 43, 588-590.
- [9] Brown E R, Soderstrom J R, Parker C D, et al. Oscillations up to 712GHz in InAs/ALSB resonant tunneling diodes. Appl. Phys. Lett, 1991, 58 (20): 2291.
- [10] Shimizu N, Nagatsuma T, Waho T, et al. In_{0.53}Ga_{0.47}As/ALAs resonant tunneling diodes with switching time of 1.5 ps. Electronics Letters, 1995, 31(19):1695.
- [11] Jian Ping Sun, George I Haddad, Mazumder P. et al. Resonant Tunneling Diodes: Model and Properties . Proc of IEEE, 1998, 86(4): 641-661.
- [12] 郭维廉. 共振隧穿器件概述. 微纳电子技术. 2005: 第9期, 398-424.
- [13] 郭威廉. 共振隧穿器件的物理模型. 微纳电子技术. 2006: 第4期, 167-171.
- [14] Vasu sankaran, Jasprit singh. Coherent tunneling of mixed state hole wave packets in coupled quantum well structures. Appl. Phys. Lett. 1991, 58(14): 1509-1511.
- [15] Luryi. S. Frequency limit of double-barrier resonant-tunneling oscillators. Appl. Lett, 47, 490, 1985
- [16] Chomaik Lee, Mark, H. Weichold. Effects of evanescent modes and subband mixing in resonant tunneling transistors. J. Appl. Phys. 1997, 81(12): 8064-8073.
- [17] Lur YI S. Frequency limit of double-barrier resonant tunneling oscillator. Appl Phys Lett, 1985, 47(5):490-492.
- [18] Johnson. M, Grincwajg A. Effect of inelastic scattering on resonant and sequential tunneling in double barrier heterostructures. Appl. Phys. Lett, 1987, 51, 1729.
- [19] Alphenaar B W, Durrani Z A K, Heberle A P, et al. Resistance bi-stability in resonant tunneling diode pillar arrays. Appl. Phys. Lett, 1995, 66(10): 1234-1236.
- [20] Chevoir F, Vintor B. Calculation of phonon-assisted tunneling and valley current in a double-barrier diode. Appl. Phys. Lett, 1989, 55, 1859.
- [21] Kast M, Boxleitner W, Pacher C, et al. Hot-electron spectroscopy in parallel magnetic fields. Applied. Physics. Letters, 2003, 82(22): 3922-3924.
- [22] Gu B, Coluzza, Mangiantini M, Frova A. Scattering effects on resonant tunneling in double-barrier heterostructures. J. Appl. Phys, 1989, 65, 3510.
- [23] Griebel M, Indlekofer K M., FORSTER A, et al. Transport properties of gated resonant tunneling diodes in the single electron regime. Journal of Applied Physics, 1998, 84(12): 6718-6724.
- [24] Arsenault C J, Meunier M. Proposed new resonant tunneling structures with impurity planes of deep levels in barriers. J. Appl. Phys., 1989, 66, 4305.
- [25] Antonio Abramo, Paolo Casarini, Carlo Jacoboni. Phase time for coherent transport in

- two-dimensional structures. Appl. Phys. Lett, 1996, 69(5): 629-631.
- [26] Chomsik Lee, Mark H Weichold. Effects of evanescent modes and subband mixing in resonant tunneling transistors. J. Appl. Phys, 1997, 81(15): 8064-8073,.
- [27] 杜磊, 庄奕琪. 纳米电子学. 北京: 电子工业出版社. 2004.
- [28] Tsuchiya M, Sakaki H, Yoshino J. Room temperature observation of differential negative resistance in an AlAs/GaAs/AlAs resonant tunneling diode. Japanese Journal of Applied Physics, 1985, 24(6): 466-468.
- [29] Broekaert T P E, Lee W, Fonstad C G. Pseudomorphic $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{AlAs}/\text{InAs}$ resonant tunneling diodes with peak to valley current ratios of 30 at room temperature. Appl. Phys, 1988, 53(16): 1545-1547.
- [30] Jo J, Alt K, Wang K L. Effect of doping density on capacitance of resonant tunneling diodes. J Appl. Phys, 1997, 82(10): 5206-5209.
- [31] Bouregba R, Vanbesien O, Mounaix P. Resonant tunneling diodes as source for millimeter and submillimeter wave lengths. IEEE Trans on Microwave Theory and Techniques, 41(11): 2025-2027, 1993.
- [32] Kuo T, Lin H C, Anandakrishnan U, et al. Large-signal resonant tunneling diode model for SPICE3 simulation. IEDM Tech. Dig, 1989, 567-570.
- [33] Michel L J, Paulus M J. Differential multiple-valued logic using resonant tunneling diodes. in Proc. 20th Int. Symp. Multiple-valued Logic, Charlotte, NC, USA, May 1990:189-195.
- [34] Zhixin Yan, Deen M J. New RTD Large-Signal DC Model Suitable for PSPICE. IEEE Transactions on computer-aided design of integrated circuits and systems, 1995, 14(2): 167-172.
- [35] Coon D D, Liu. H.C. Frequency limit of double barrier resonant tunneling oscillators. Appl. Phys. Lett, 1986, vol. 49, pp: 94-96.
- [36] Schulman J N, De-Los-Santos H J, Chow D H. Physics-based RTD current-voltage equation. IEEE Electron Device Lett, 1996, vol. 17, pp: 220-222.
- [37] Takatsu M, Imamura K, Ohnishi H, et al. Logic circuits using resonant-tunneling hot-electron transistors (RHET's). IEEE J. Solid-State Circuits, Oct. 1992 vol. 27, pp.1428-1430.
- [38] Christian Pacha, Uwe Auer, Christian Burwick. Threshold logic circuit design of parallel adders using resonant tunneling devices. IEEE Transactions on VLSI system, 2000, 8(5):558-572.
- [39] Goser K, Pacha C. System and circuit aspects of nanoelectronics (invited paper). in Proc. 24th Eur. Solid-State Circuits Conf. (ESSCIRC), 1998, pp. 18-29.
- [40] Auer U, Prost W, Janssen G, et al. A novel 3-D integrated RTD-HFET frequency multiplier. IEEE J. Select. Topics Quantum Electron. (Special Issue on Ultra Fast Electronics, Optoelectronics, and Photonics), 1996, vol. 2, no. 3, pp. 650-655.

- [41] Zhang H, Mazumder P, Yang Kyoungsoon. Resonant tunneling diode based qmos edge triggered flip-flop design. ISCAS, 2004, 705-708.
- [42] 王建林, 刘忠立等. RTD 与 HEMT 集成的几个关键工艺. 半导体学报. 2005, 26(2): 390-394.
- [43] Pinaki Mazumder, Shriram Kulkarni. Digital circuit application of resonant tunneling devices. Proceed of the IEEE, 1998, 86(4):664-686.
- [44] Mathews R H, Sage J P, Sollner G T C L., et al. A New RTD-FET Logic Family. Proceedings of the IEEE, 1999, 87(4): 596-605.
- [45] Maezawa K, Akeyoshi T, Mizutani T. Flexible and reduced-complexity logic circuit implemented with resonant tunneling transistor. IEDM, 1993, 415-418.
- [46] Maezawa K, Matsuzaki H, Yamamoto M, et al. High-speed and low-power operation of a resonant tunneling logic gate MOBILE. IEEE Electron Device Lett., 1998, vol. 19, pp. 80-82.
- [47] Maezawa K, Akeyoshi T, Mizutani T. Function and application of monostable-bistable transition logic elements having multiple-input terminals. IEEE Transon Electron Devices, 1994, 41(2): 148.
- [48] Avedillo M J, Quintana J M, Pettenghi H, et al. Multi-threshold threshold logic circuit design using resonant tunnelling devices. Electronics Letters 2003, 39(21).
- [49] Waho T, Chen K J, Yamamoto M. A Novel Multiple-valued Logic Gate Using Resonant Tunneling Devices. IEEE Electron Device Letters, 1996,17(5): 223-225.
- [50] Itoh T, Waho T, Maezawa K. Ultrafast Ternary Quantizer Using Resonant Tunneling Devices.
- [51] Sollner T C L G, Goodhue W D, Tannenwald P E, et al. Physics of Quantum Electron Devices. Berlin: Springer Verlag, 1990, 147.
- [52] Chua L O, Yang L. Cellular Neural Networks: Theory. IEEE Trans. On Circuits and Syst., 1988, 35 (10): 1257-1272.
- [53] Li S R, Mazumder P, Chua L O. On The Implementation of RTD Based CNNs. IEEE ISCAS 2004: 25-28.
- [54] Maezawa K, Kawano Y, Ohno Y, et al. Chaos Generator MMIC's Using Resonant Tunneling Diodes.
- [55] Quintana J M, Avedillo M J. Nonlinear dynamics in frequency divider RTD circuits. Electronics Letters 2004, 40(10).
- [56] 吴刚, 蔡理, 王森, 李芹. 基于共振隧穿二极管的蔡氏电路设计研究. 微电子学.2009, 39(2): 224-228.
- [57] Gan K J, Su Y K, Wang R L. Modeling of three-peak current-voltage characteristics with two resonant tunneling diodes connected in series. J.Appl. Phys, 81(10):6825-6829, 1997.
- [58] Gan K J, Su Y K. Novel Multipeak Current-Voltage Characteristics of Series-Connected Negative Differential Resistance Devices. IEEE Electron Device Letters, 1998, 19(4): 109-111.

第4章 单电子器件

前面第2章已经介绍了库仑阻塞效应和单电子隧穿现象，以此为基础，人们在纳米加工工艺发展的基础上开始研究一个全新的领域：单电子器件 (Single-Electron Devices, SED)，其中研究最广泛、理解最深刻的是单电子晶体管 (Single-Electron Transistor, SET)，它以其小体积、低功耗和高度集成化的特点得到了人们的广泛重视，在功能上也有其独特之处。本章主要介绍几种单电子器件的结构和基本物理特性，以及它们目前和将来的应用。

4.1 单电子盒

基于单电子隧穿效应的最简单的单电子器件结构示意图如图4.1(a)所示，将其称为“单电子盒” (single-electron box)^[1]。它由一个小岛组成，岛与大电极(“电子的源极”)之间有一层薄介质，形成隧道势垒。外电场可以通过另外一个电极(栅极)作用于岛，这个电极与岛之间存在着较厚的绝缘层，用来防止发生明显的电子隧穿。电场改变岛的电化学势，因此决定电子的隧穿条件。基本的静电学理论给出系统的自由能(Gibbs)为

$$F = \frac{Q^2}{2C_{\Sigma}} + \frac{C_0}{C_{\Sigma}} QV + \text{constant} \quad (4.1)$$

式中， $Q = -ne$ 是岛中的电荷，即为岛上的过剩电荷， n 为电子数。 C_0 为岛-栅极之间的电容，而 C_{Σ} 是岛的总电容，为隧道结电容 C 和 C_0 之和， constant 为常数。一般自由能又可以写为

$$F = \frac{(ne - Q_e)^2}{2C_{\Sigma}} + \text{constant} \quad (4.2)$$

式中参数 Q_e 定义为

$$Q_e \equiv VC_0 \quad (4.3)$$

通常称为“外部电荷”(external charge)。当栅极和岛之间的局域电场完全确定

时, 这个定义和式(4.2)的物理意义就变得显而易见, 此时 $(-Q_c)$ 就是被栅极的电场所感应的岛上极化电荷, 因此使得隧道结的能量守恒。

当单电子盒偏置电路如图 4.1 (b) 所示等效电路时, 可以分析栅压 V 对于单电子盒性能的影响。在热力学温度零度下, 单电子盒的岛中的电荷 $Q = -ne$ 对应于静电能取最小值的电子数 n (整数), 可以出现所谓的库仑台阶现象。而在有限温度, 岛中的电荷数目 n 可以产生涨落, 此时就必须考虑它的热力学平均值 $\langle n \rangle$ 。

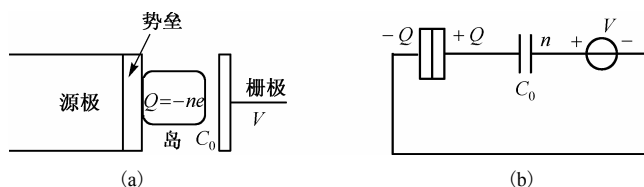


图 4.1 单电子盒。(a) 结构示意图; (b) 等效电路图

从定义式(4.1)可以看出, 与岛上的离散总电荷 $(-ne)$ 相比, 变量 Q_c 是连续的, 并且可能是基本电荷 e 的若干分之一。从式(4.2)可以看出, Q 是一个关于 Q_c 的阶梯函数, 并且相邻阶梯有一个固定的差值:

$$\Delta Q_c = e \quad \Delta V = e / C_0 = \text{constant} \quad (4.4)$$

如果温度上升, 使 $k_B T$ 接近于 $E_C = e^2 / (2C)$, 则由于热涨落将会导致库仑台阶逐渐消失。

库仑台阶的物理学解释非常简单: 随着栅极电压 V 的增大, 越来越多的电子被吸引到岛中。而通过低穿透度势垒的电子的离散传输则使得电流像台阶一样增大。但是即使在如此简单的单电子器件中, 岛中一个电子的进入或离开都伴随着巨大数量的背景电荷。这也是电荷间库仑作用的结果。

图 4.2 给出了两种不同情况下单电子盒的特性^[2]。电容和隧道结的位置决定了单电子盒不同的输出特性。图 4.2 (a) 显示了单电子盒输出的类锯齿形特性。当充电的电容器达到了隧穿的关键电荷量 e/C , 隧穿发生, 电荷随之降低为 $-e/(2C)$ 。电容器又重新充电且隧穿发生, 此过程重复发生, 就产生了类锯齿形输出。图 4.2 (b) 也可以用相同的原理来解释。当隧道结中的电荷达到 e/C_T , 隧穿发生, 电容器充电, 单电子盒的输出量以图中显示的方式递增。

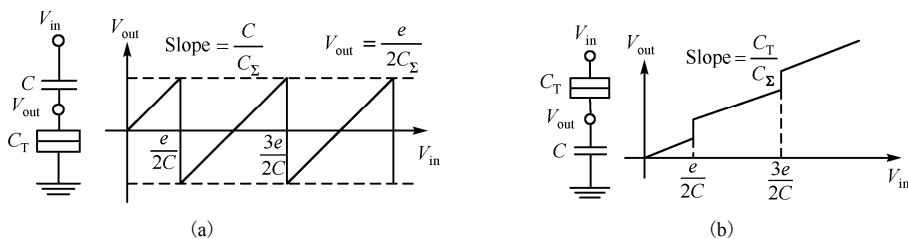


图 4.2 单电子盒及其输入输出特性示意图

单电子盒用做电路的基本元件有两个主要的缺点^[1]。第一，其内部没有记忆性，盒中的电子数目 n 仅仅是所加电压的函数，所以这个结构不能用于信息存储。第二，单电子盒不能传输直流电流。因此要想获得它的内部电荷状态，必须用超高灵敏静电计来测量。

4.2 单电子陷阱

单电子盒的一种推广方式是用被隧道势垒分开的 $N(N > 1)$ 个岛的 1D 阵列代替单隧道结，这种新的结构称为单电子陷阱(single-electron trap)，如图 4.3 所示^[1,3]，它克服了单电子盒的第一个缺点。这种系统主要的新特征是它的内部记忆特性(双稳态或多稳态)：在一定的栅压 V 范围内，系统可以处于其陷阱岛的两个(或多个)电荷态之一。

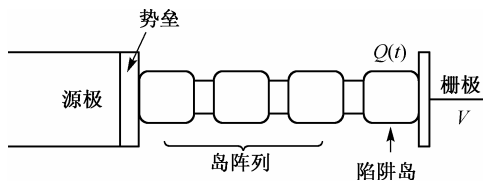


图 4.3 单电子陷阱结构示意图

产生多稳态的原因是由于电荷极化效应，位于岛阵列中的一个岛中的电子所产生的电场会延伸到一定距离范围内^[1]。根据岛的数目，距离的大小为

$$M = (C/C_0)^{\frac{1}{2}} \quad (4.5)$$

式中， C_0 是岛的有效寄生电容， C 是相邻岛之间的隧道结的电容。通过在栅极上加上足够大的电压 V^+ ，可以是电子进入最边缘的陷阱岛内。如果岛阵列不长，由于电子相互作用力将阻止其他的电子进入陷阱岛内。为了把电子从陷阱岛中抽出来，就必须进一步降低电压到 $V^- < V^+$ 。结果电子数和电压的函数关系 $n(V)$ 就会出现双稳态或多稳态，陷阱中电荷的状态依赖于它的前一个周期。

4.3 单电子晶体管

4.3.1 SET的结构及原理

1. SET的结构

单电子盒的第二个缺点可以用图4.4(a)所示的结构就很容易克服。在两个外电极之间加上直流电压 V ，这样的结构就是单电子晶体管(Single-Electron Transistor, SET)，是单电子学领域中重要的基本器件。这个器件很容易让人想起 MOSFET，只是用嵌入两个隧穿势垒之间的量子点(岛)代替了通常的反型沟道。单电子晶体管显然是一个双隧道结系统，电容耦合单电子晶体管电路图如图4.4(b)所示^[4]。与 MOS 管一样，SET 的电流也是通过栅极的偏压控制的，即通过偏压，可控制电子一个一个地通过量子点。

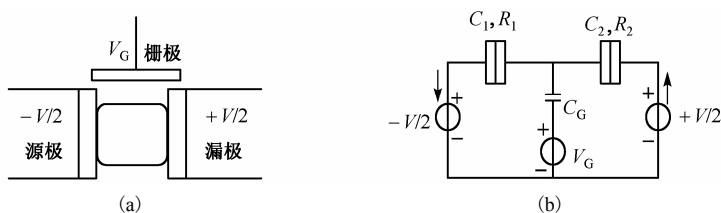


图 4.4 单电子晶体管。(a) 结构示意图；(b) 等效电路图

SET 有两种基本结构：电容耦合 SET 和电阻耦合 SET^[5]。电容耦合 SET 是栅电压控制串联介观结阵列，即向岛区感生电子。通过控制栅极的偏压来调节量子点的电化学势，当其静电化学势和源漏极的费米能级一致时，源极的电子可一个一个相关地进出量子点到达漏极。此时量子点中的电子数在 n 和 $n-1$ 之间涨落。进一步调节量子点的化学势，加入额外一个电子将需要大于热能能量。如果电子不能进出量子点，晶体管处于关闭状态。栅极上的极微小变化可引起很大的源漏极电流变化。电阻耦合 SET 是栅电流控制串联介观结阵列，即向岛区注入电子。

目前 SET 的材料体系可分为：金属 SET、有机材料 SET 及半导体 SET。主要制备方法有：扫描探针显微镜 SPM 技术、聚焦粒子束注入 FIB 技术、自组装技术、电子束光刻技术和常规光刻技术^[6]。

2. SET的原理

单电子隧道效应、库仑阻塞及单电子振荡是 SET 的物理基础^[5]。基于库仑岛内电荷取离散数值的事实，可以说明 SET 的工作原理。图 4.4(b)中， $C = C_1 + C_2 + C_G$ ， C 为系统的电容， C_1 和 C_2 为隧道势垒的电容， C_G 为栅极与库仑岛之间的电容，库仑岛

内电荷 Q 的静电能为 $E = -QV_G + Q^2/(2C)$ 。 $-QV_G$ 为带正电的栅极与岛内负电荷间的吸引能, $Q^2/(2C)$ 为岛内电荷的排斥能。设 $Q_0 = CV_G$, 得 $E = (Q - Q_0)^2/(2C)$, 可以通过改变 V_G 来选择 Q_0 , 使能量 E 最低。因为电荷 Q 的数值只能取 e 的整数倍, 在库仑岛上增加一个电子, 系统增加 $e^2/(2C)$ 能量, 即表示了库仑阻塞的情况; V_G 使得 $Q_0 = (n + 1/2)e$ 时, $Q = ne$ 和 $Q = (n + 1)e$ 的最小能量是简并的, 态密度间隙消失。对于给定的 Q_0 , 能量 E 只能取分立的数值。栅压 V_G 使得 $Q_0 = ne$ 时, 此时 $Q = ne$ 时能量取最小。

SET 正常工作需两个条件^[5,7]: (1) 单电子的电荷能须大于量子扰动能, 即 $e^2/(2C) > h/(RC)$, h 为普朗克常数 (\hbar 为约化普朗克常数), R 为隧道结电阻。所以源漏极间的电阻须大于电阻量子 $R_Q = h/e^2 \approx 25.813 \text{ k}\Omega$; (2) 单电子的电荷能须大于热能, 即量子点的电容须足够小, 使得 $e^2/(2C) > k_B T$ 。其中 C 为量子点的电容, k_B 为玻耳兹曼常数, T 为工作的热力学温度。由于库仑岛的自电容: $C = 4\pi\epsilon_0\epsilon_r r$, ϵ_0 为真空介电常数, ϵ_r 为介质的介电常数, r 为库仑岛半径, 所以当量子点的有效直径小于 10 nm 时, SET 能在室温下工作。因此为提高 SET 的工作温度和它的抗干扰能力就必须减少量子点的几何尺寸。另外 SET 正常工作还需克服电磁干扰。

4.3.2 SET的特性

库仑振荡和库仑台阶是 SET 的两个基本特性^[5,7], 在前面第 2 章中已进行过分析讨论(详见 2.4 节)。这里为叙述连贯性, 从强调 SET 器件的 I - V 特性角度, 来简述之。

在图 4.5(a) 中, 当电压 V_{DS} 不变时, 随着 V_{GS} 的变化, 库仑岛上的电位亦发生相应变化。库仑岛上的电压与其上的电子个数密切相关。电荷一旦增加至岛上或从岛上离开, 库仑岛上电压就会改变, 使得两个隧道结上电压亦随之发生变化; 当隧道结上电压高于临界电压 $e/(2C)$ 时, 就会发生电子隧穿, 即电子离开库仑岛, 隧穿出一个结, 或者电子隧穿过一个结, 进入到库仑岛。如果 V_{DS} 较小, 电流 I_{DS} 表现为所谓的库仑振荡形式, 其振荡电压的间隔是 e/C_G 。如果 V_{DS} 较大, 则可以用 $V_{DS}/(R_S + R_D)$ 近似计算 I_{DS} ^[8,9], R_S 和 R_D 为两个隧道结的电阻。

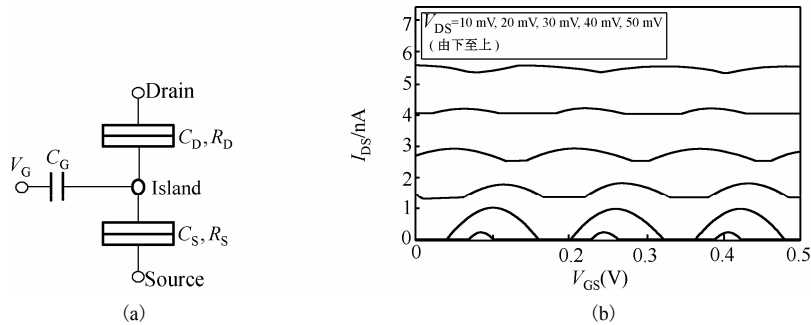


图 4.5 SET 的 I - V 库仑振荡特性。(a)SET 的结构；(b)SET 的 I - V 库仑振荡特性

对图4.5(a)所示结构的 SET 运用主方程 (Master Equation, ME) 法所得的 I - V_{GS} 的特性如图 4.5(b)所示。可见，随着 V_{DS} 的增大，相同温度下的 I_{DS} 的振荡情况逐步趋缓。当 V_{DS} 大于 50 mV 时， I_{DS} 基本上保持不变，几乎不受 V_{GS} 的影响。

在 V_{GS} 不变时，如果两个隧道结电阻基本相等，一个电子通过其中一个隧道结进入库仑岛，马上就会有一个电子离开库仑岛，隧穿出另一结；如果两个隧道结电阻值不相等，假设 $R_D > R_S$ ，则电子隧穿过漏极隧道结时不能像通过源极隧道结那样迅速。因此，一旦偏置电压高于临界电压，一个电子将很快通过源极隧道结进入到库仑岛，但是由于漏极隧道结的电阻较大，电子需要更长的时间脱离库仑岛，结果形成一个局部饱和电流。进一步提高偏置电压，直至第二个过电子出现在库仑岛上，由于该电子能级的提高，相应的电流将像台阶一样逐步增加，即形成所谓的库仑台阶，如图 4.6 所示。

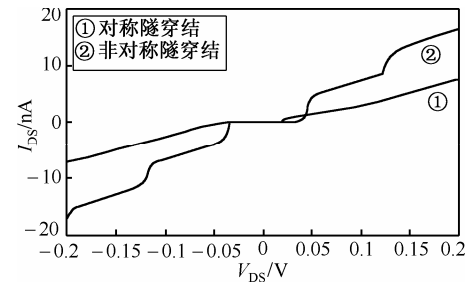


图 4.6 SET 的 I - V 库仑台阶特性

如果 V_{DS} 较大，两个隧道结可以独立发生隧穿，它们之间几乎没有库仑相互作用， I_{DS} 与 V_{DS} 基本上呈线性关系，此时两个隧道结的有效电阻即为 $R_S + R_D$ ，因此

I_{DS} 与 V_{DS} 基本上是线性关系。

4.3.3 多栅极SET的结构及原理

SET 具有 MOSFET 许多没有的特性, 首先是 SET 可以具有多栅极, 而 MOSFET 没有; 其次, SET 的另一个显著特性是电导相对于栅极电压具有库仑振荡特性。利用这些特性, 可以构造出一类新的功能器件^[10]。图 4.7 为一个多栅极 SET 的电路示意图, 各栅极电压是通过栅极电容耦合到 SET 量子点(岛)上。

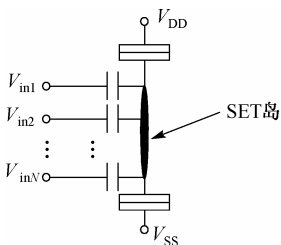


图 4.7 多栅极 SET 的结构示意图

在多栅极 SET 中, 具有 N 个栅极输入电压, 通过 SET 电流 $I_{\text{SET}}(V_{\text{in1}}, V_{\text{in2}}, \dots, V_{\text{inN}})$ 由 $C_i V_{\text{ini}}$ 决定, 即 $I_{\text{SET}}(V_{\text{in1}}, V_{\text{in2}}, \dots, V_{\text{inN}}) = f\left(\sum_i^N C_i V_{\text{ini}}/e\right)$ 这里 C_i 为第 i 个栅极的电容。当 $\sum_i^N C_i V_{\text{ini}}/e$ 为整数时, 因为库仑阻塞效应, 通过 SET 的电流最小, 这里 $C_i V_{\text{ini}}/e$ 对应于第 i 个栅极上的电子数。反之, 当 $\sum_i^N C_i V_{\text{ini}}/e$ 为 $(2l-1)/2$, 这里 l 为整数, 即 $\sum_i^N C_i V_{\text{ini}}/e$ 为整数的一半时, 产生隧穿电流。多栅极 SET 的电流典型特性由 $\sum_i^N C_i V_{\text{ini}}/e$ 决定。

为了简化假设所有的栅极电容都相同且为 C_0 , 每个栅极电压可以控制 SET 的电流 I_{DS} 从高状态到低状态, 反之亦然。这意味着当所有栅极电子数为偶数时, SET 电流 I_{DS} 为低状态; 当所有栅极电子数为奇数时, SET 电流 I_{DS} 为高状态。

4.3.4 多栅极SET的I-V特性

多栅 SET 的 I - V 特性, 如图 4.8 所示。由 4.3.3 节分析可知在二元逻辑中, 利用典型的 I - V 特性可以实现逻辑电路中的“异或”功能(XOR)。所以利用一个 SET 就可实现一个异或门, 而利用 CMOS 设计, 则需 10 个晶体管。如图 4.9 所示为双栅极 SET 的等效示意图, 图 4.10 为双栅极单电子晶体管的“异或”功能的仿真结果, 能准确的表现出“异或”功能。图 4.11 (a) 中“o”代表双栅极 SET 在 $C_{\text{G2}} = 0.8 \text{ aF}$ 、 $V_{\text{G2}} = -e/(2C_{\text{G2}}) = -100 \text{ mV}$ 、 $V_{\text{DS}} = 15 \text{ mV}$ 时的变化曲线图。可以看出在增加一个栅

极且电压保持不变的情况下，振荡周期保持不变，但向右移动了半个周期。图 4.11 (b) 中 “o” 为 $V_{G2} = -e/(2C_{G2}) = 150 \text{ mV}$ 时的变化曲线图。多次仿真结果显示：当 $V_{G2} < 0$ 时，相位向右移动，当 $V_{G2} > 0$ 时，相位向左移动。当 $|V_{G2}| = ne/(2C_{G2})$ 时，相位向左或向右移动 $0.5n$ 个周期。这主要是因为随着感生电荷的增加或减少，为了产生隧穿电流， V_{G1} 必须调整电压大小。所以 V_{G2} 控制了库仑振荡的相位，它的存在与否则能使 SET 工作在互补的状态，可以称为 “P-SET” 和 “N-SET”，这有利于逻辑电路的分析和构造。

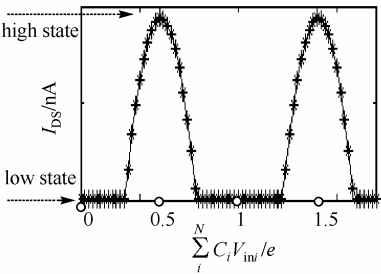


图 4.8 典型多栅 SET 的 I - V 特性

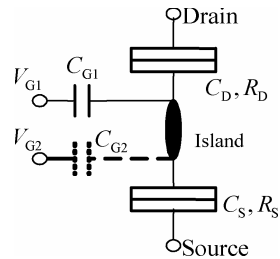


图 4.9 双栅 SET 的结构示意图

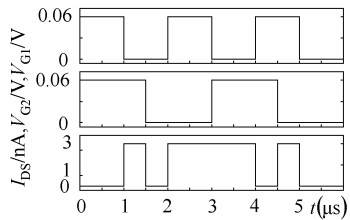


图 4.10 双栅 SET 的异或功能

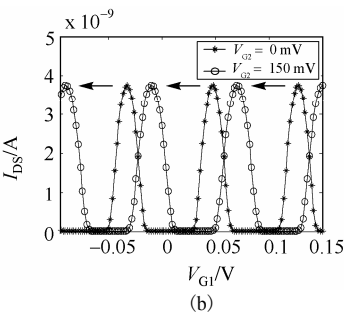
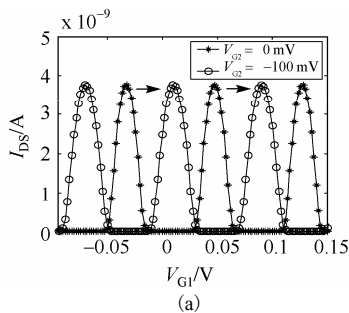


图 4.11 双栅 SET 的 I - V 特性

4.3.5 SET的数值模拟方法和仿真模型

以单电子正统理论为基础,单电子器件的数值模拟主要有两种方法:主方程(Master Equation)法和蒙特卡罗(Monte Carlo)法。

1. 主方程法

主方程法^[5,11]是通过求解单电子系统输运的主方程(参见2.3.4节),得到系统处于各种状态下的概率,从而获得系统的各个电学量的期望值。由于单电子现象可以视为离散电子随机的相关隧穿过程,因而就可以采用统计的方法来处理单电子系统中的物理量。在该方法中引入一个合理的假设,即电子的隧穿只与当时系统所处的状态有关,而与系统在此之前的状态无关。这样,单电子系统中的电子随机隧穿过程可以看成是马尔可夫过程,隧穿事件的发生概率则符合泊松(Poisson)分布。

对于一个由纳米隧道结、电容以及外加激励源所组成的单电子系统,假设其中的结点数为 N ,则可以用一个 N 维矢量 $\mathbf{n}=[n_1, n_2, \dots, n_k, \dots, n_N]^T$ 来表征该系统所处的状态。其中, n_k 为第 k 个结点上所带的净电荷数。如果此结点不与激励源或者地相连,则称为岛。系统可能达到的所有状态构成一个集合,记为 $S=\{S_0, S_1, S_2, \dots\}$,集合中的每一个元素对应着一个 N 维矢量。通过电子的随机隧穿,不同状态之间可以随机跃迁,且这种跃迁是双向的。

如果把单电子系统在某一时刻 t 处于一个特定状态 S_i 的概率记为 $P_i(t)$,则可以用一个主方程来描述该单电子系统^[11,12],

$$\frac{dP_i(t)}{dt} = \sum_{j \neq i} P_j(t) \cdot \Gamma_{j \rightarrow i} - P_i(t) \cdot \sum_{j \neq i} \Gamma_{i \rightarrow j} \quad (4.6)$$

式(4.6)右边的第一项代表当系统处在非 S_i 的状态下向 S_i 状态跃迁的概率;第二项表示系统维持在 S_i 状态的概率。这里用 $\Gamma_{i \rightarrow j}$ 代表对跃迁 $S_i \rightarrow S_j$ 有贡献的隧穿速率之和。

如果记 $\mathbf{P}(t)=[P_0(t), P_1(t), P_2(t), \dots]^T$,则上面的主方程可以写成矩阵形式:

$$\frac{d\mathbf{P}(t)}{dt} = \mathbf{M} \cdot \mathbf{P}(t) \quad (4.7)$$

其中,矩阵 \mathbf{M} 的元素由下式确定:

$$M_{i,j} = \begin{cases} \Gamma_{j \rightarrow i}, & i \neq j \\ -\sum_{j \neq i} \Gamma_{i \rightarrow j}, & i = j \end{cases} \quad (4.8)$$

通过求解主方程,就可以得到单电子系统处于各个状态下的概率随时间变化的 $\mathbf{P}(t)$,并进而由统计方法求出各物理量的期望值。

理论上任何一个单电子系统所能达到的状态是无穷多的,即状态集合 S 中元素数量是无穷的。这样,主方程的矢量 $\mathbf{P}(t)$ 和矩阵 \mathbf{M} 的维数为无穷大,即理想的主方程是无法求解的。为了将主方程用于数值模拟,需要对单电子系统所能出现的状态做一估算。虽然单电子系统的状态数量无穷,但其中大部分状态的出现概率几乎为零,可以不加考虑,剩下的状态数为有限个,由概率论中的大数定理可知,只有这些状态的概率在求解具体的物理量时才有贡献。有两种方法可以把主方程限定成有限维数。一种是事先直接指定需考虑的系统状态。这种方法较为简单,对于岛的数量不超过4的单电子系统较为实用,只是需要对工作条件做一定的限制。另一种方法是根据单电子系统工作条件的不同,动态地确定需要考虑的系统状态。这种方法的关键在于首先确定一个初始状态,然后根据一定的算法搜索出所有需要计入的状态。该方案的计算量很大,但不需要限定系统的工作条件,因此比较灵活。

例如对于一个串联的双隧道结体系,即一个SET系统,在2.3.4节中已做过分析讨论。这里,可以来求式(2.41)的稳态近似解,即令式(2.41)右边为零,在稳态时,从 $n-1$ 态到 n 态与从 n 态到 $n-1$ 态,从 n 态到 $n+1$ 态与从 $n+1$ 态到 n 态相互转变也为0,有

$$x(n)p(n) - y(n+1)p(n+1) = 0 \quad (4.9)$$

其中, $x(n) = \Gamma_1^+(n) + \Gamma_2^+(n)$ 、 $y(n) = \Gamma_1^-(n) + \Gamma_2^-(n)$

用递推法可得上述一阶差分方程 $p(n)$ 的表达式为:

$$p(n) = \prod_{j=-\infty}^{n-1} x(j) \prod_{i=n+1}^{\infty} y(i) \bigg/ \sum_{n=-\infty}^{+\infty} \prod_{j=-\infty}^{n-1} x(j) \prod_{i=n+1}^{\infty} y(i) \quad (4.10)$$

根据单电子正统理论,通过隧道结的隧穿几率可表示为:

$$\Gamma_j^{\pm}(n) = \frac{1}{R_j e^2} \frac{-\Delta E_j^{\pm}}{1 - \exp(\Delta E_j^{\pm} / (k_B T))}, \quad j=1,2 \quad (4.11)$$

其中, R_j 为隧道结的电阻,与隧穿矩阵元等微观参数有关; ΔE_j^{\pm} 为相应于 Γ_j^{\pm} 过程发生前后隧道结上能量的变化。由静电学的方法得到

$$\Delta E_1^{\pm} = \Delta u^{\pm} \pm \frac{eC_2}{C_{\Sigma}} V \quad \Delta E_2^{\pm} = \Delta u^{\pm} \pm \frac{eC_1}{C_{\Sigma}} V \quad \Delta u^{\pm} = \frac{(Q \pm e)^2}{2C_{\Sigma}} - \frac{Q^2}{2C_{\Sigma}}$$

其中, $C_{\Sigma} = C_1 + C_2 + C_G$, C_G 为栅极与库仑岛之间的电容, Δu_j^{\pm} 代表充电能的改变, Q 为库仑岛上的电荷值, ΔE_j^{\pm} 表达式的第二项表示电源对隧穿电子所做的功, V 为恒压源的电压值。

当栅压为 V 时,令 $Q = (ne - Q_{ex})$, 其中 Q_{ex} 为剩余电荷,它是库仑岛由于受到栅

压场作用而感生的电荷， n 为库仑岛上的电子数，故静电能的变化表示为：

$$\Delta E_1^\pm = \frac{e}{C_\Sigma} \left[\frac{e}{2} \pm (ne - Q_{\text{ex}}) \pm C_2 V \right] \quad \Delta E_2^\pm = \frac{e}{C_\Sigma} \left[\frac{e}{2} \pm (ne - Q_{\text{ex}}) \pm C_1 V \right]$$

在给定上述参数后，可由式(4.11)求出某一隧道结的隧穿几率。

在恒流情况下，通过整个体系的电流为：

$$I(V) = e \sum_{n=-\infty}^{+\infty} p(n) [\Gamma_2^+(n) - \Gamma_2^-(n)] = e \sum_{n=-\infty}^{+\infty} p(n) [\Gamma_1^-(n) - \Gamma_1^+(n)] \quad (4.12)$$

通过以上各式，在给定结电容、电阻和库仑岛剩余电荷以及温度等参数的情况下，可以计算出 SET 的 I - V 特性。

2. 蒙特卡罗法

蒙特卡罗 (Monte Carlo) 法^[13,14]是从所有可能的隧穿事件出发计算隧穿概率，所有的隧穿事件均独立且按指数分布，按其几率随机选择某一隧穿事件。以此为基础，利用计算机模拟单电子系统中的电子输运过程。

电子的隧穿几率可以用下式表示：

$$\Gamma(t) = \frac{dn(t)}{dt} \quad (4.13)$$

式中， $n(t)$ 是通过纳米隧道结的电子数。

则由式(4.13)可得 $\Gamma\Delta t$ 为 Δt 时间内电子隧穿的次数，也即隧穿几率； $1 - \Gamma\Delta t$ 为未隧穿的次数，即未发生隧穿的几率， $t/\Delta t$ 为 t 时间内考虑是否发生隧穿的次数，即 t 时间内隧穿和未隧穿事件的次数的总和。

前一次隧穿完成后 t 时刻 Δt 时间内发生隧穿的几率为：

$$P(\Delta t) = (1 - \Gamma\Delta t)^{\frac{t}{\Delta t}} \Gamma\Delta t \quad (4.14)$$

由 $\lim_{x \rightarrow 0} (1 - x)^{\frac{1}{x}} = e$ 可得

$$P(\Delta t) = \left[(1 - \Gamma\Delta t)^{-\frac{1}{\Gamma\Delta t}} \right]^{-\Gamma t} \Gamma\Delta t = e^{-\Gamma t} \Gamma\Delta t \quad (4.15)$$

则从 t_1 到 t_2 时间内发生隧穿的几率为：

$$P = \sum P(\Delta t) = \int_{t_1}^{t_2} e^{-\Gamma t} \Gamma dt = e^{-\Gamma t_1} - e^{-\Gamma t_2} \quad (4.16)$$

取 $t_1 = 0$ ， $t_2 = t$ ，则

$$P = 1 - e^{-\Gamma t} \quad (4.17)$$

设随机数 ζ ，若 $P > \zeta$ ，则隧穿，否则不发生隧穿。发生隧穿时有：
 $1 - e^{-\Gamma t} > \zeta \rightarrow -\Gamma t < \ln(1 - \zeta) \rightarrow t > \frac{1}{\Gamma} \ln \frac{1}{1 - \zeta}$ ，令 $1 - \zeta = r$ ，则

$$t \geq \frac{1}{\Gamma} \ln \frac{1}{r} \quad (4.18)$$

其中 r 是在 $[0, 1]$ 内分布的一个随机数，可由程序根据一定的算法产生。

以上各时间标记都是以前一次隧穿刚刚完成时为零时刻开始计时，是后一次隧穿事件发生前的某一时刻。因而式(4.18)中的时间 t 为电子在势垒前隧穿之前的等待时间，即两次相邻隧穿事件间隔的时间(电子隧穿过势垒的时间一般为 10^{-15}s ，可忽略)。

蒙特卡罗法的一种方案是根据单电子系统目前所处的状态 S_0 ，得出发生一次随机隧穿事件后系统可能出现的所有状态 S_1, S_2, \dots, S_m ，以及相应隧穿事件的发生时刻 t_1, t_2, \dots, t_m ，然后选择 $t_k = \min\{t_1, t_2, \dots, t_m\}$ 作为下一次实际隧穿事件的发生时刻；其对应的状态 S_k 也就是系统的下一个状态。如此循环往复，每一步结束后单电子系统都要根据新状态进行调整，然后才开始下一步的计算。

蒙特卡罗法每一次模拟单电子系统随时间的演变过程所得到的结果都可以视为一个瞬态结果。实际的数值结果往往取几次模拟结果的平均值。如果在模拟的过程中保持单电子系统的工作条件不变，得到的数值结果就是系统的稳态特性。通常，为了提高数值结果的精确度，可以采用延长模拟时间或者增加模拟次数的方法。

具体地，对一个具有 N 个隧道结的单电子器件，在下一个时刻每个隧道结都可能电子隧穿进入或者离开，如果忽略电子在多个隧道结同时发生隧穿的现象(即 Co-tunneling，又称高阶隧道效应)，因此共有 $2N$ 个隧穿过程可能发生。当单电子器件处于库仑阻塞状态时，一阶隧道的概率很小，这时高阶隧道的概率可能超过一阶隧道的概率，这也是单电子器件的一个重要误差来源。若仅考虑一阶隧道效应，对于一个具有 N 个隧道结的单电子器件，这 $2N$ 个隧穿过程发生的概率有大有小，在真实器件中往往概率高的隧穿过程较多发生，而概率低的隧穿过程较少发生。当采用 Monte Carlo 法模拟具有 N 个隧道结的单电子器件中电子的微观过程时，每一步都需要计算出下一个时刻 $2N$ 个隧穿过程发生的概率，然后通过掷“骰子”，即由计算机产生一个随机数，

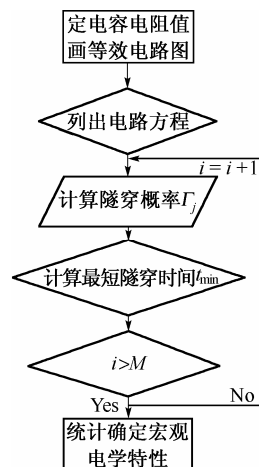


图 4.12 Monte Carlo 模拟流程图

来确定到底哪个过程发生。图4.12 是根据 Monte Carlo 法编制的单电子器件模拟程序的流程图^[11]。

3. SET的SPICE宏模型

当单电子器件中的库仑岛、隧道结数目增多时,用 Monte Carlo 方法进行模拟的计算量数量级增长很快。因此,对复杂单电子器件进行数值分析,其计算量庞大,非常费时。而采用宏模型后,单电子器件的电学特性可以近似解析计算得到,比采用 Monte Carlo 法对整个系统进行模拟可节省几个数量级的计算时间。SPICE 宏模型方法是在得到 SET 的 I - V 特性基础上,用类似于传统晶体管电路的 SPICE 模型进行仿真。

SPICE 宏模型方法仅仅在 SET 之间相互独立,即它们之间没有库仑效应时正确^[15]。所以一个基本前提(预处理步骤)是在 SET 的两个终端(漏极和源极)连接一个大电容,且电容值要远远大于 SET 的岛区电容之和。另外,要求 SET 的两隧道结电阻、电容值相同,它可以大大减小计算量,而且使计算公式更简洁。关于 SET 的 SPICE 模型的研究,国外许多学者进行了深入地探讨^[16-21],参考文献[22]也提出了一种较实用的 SPICE 宏模型,下面将对该模型进行详细地分析。

依据单电子正统理论和解主方程方法,Uchida 等人于 2000 年提出了 SET 的一个数学模型^[23]。对于图 4.9 所示的双栅极 SET 结构中,当 SET 的岛上有 $M+N$ 或 $M+N+1$ 个电子时 I - V 特性方程为

$$I_{\text{SET}} = \frac{e}{2R_{\Sigma}C_{\Sigma}} \frac{(\bar{V}_{\text{G1}}^2 - \bar{V}_{\text{GS}}^2) \sinh(\bar{V}_{\text{DS}}/\bar{T})}{\left[\bar{V}_{\text{G1}} \sinh(\bar{V}_{\text{G1}}/\bar{T}) - \bar{V}_{\text{DS}} \sinh(\bar{V}_{\text{DS}}/\bar{T}) \right]} \quad (4.19)$$

其中, $\bar{T} = 2k_{\text{B}}TC_{\Sigma}/e^2$, $R_{\Sigma} = R_{\text{S}} + R_{\text{D}}$, $C_{\Sigma} = C_{\text{S}} + C_{\text{D}} + C_{\text{G1}} + C_{\text{G2}}$, $\bar{V}_{\text{DS}} = C_{\Sigma}V_{\text{DS}}/e$, $\bar{V}_{\text{G1}} = \frac{2C_{\text{G1}}V_{\text{G1}}}{e} - \frac{(C_{\text{S}} + C_{\text{D}} + C_{\text{G1}} - C_{\text{G2}})V_{\text{DS}}}{e} - 1 - 2(M+N)$ 。

式中, V_{DS} 为 SET 的漏极到源极偏置电压、 V_{G1} 和 V_{G2} 为双栅极电压、 C_{Σ} 为与 SET 的岛相连的源极电容 C_{S} , 漏极电容 C_{D} 及栅极电容 C_{G1} 、 C_{G2} 之和、 R_{Σ} 为漏极电阻 R_{D} 与源极电阻 R_{S} 之和、 e 为电子电荷、 T 为绝对温度、 k_{B} 为玻尔兹曼常数、 $M+N$ 为岛上的电子数 (M 为由 V_{G2} 感生的电子数, N 为背景电荷数)。在电路应用中,图 4.9 中的栅极电压 V_{G1} 为输入电压,而 V_{G2} 为控制电压源,控制了岛上的电子数,在偏置电压 V_{DS} 为恒值时,达到控制 V_{G1} 相位移动的目的。但是如果 $V_{\text{G2}} < 0$ 且 $|V_{\text{G2}}|$ 较

大时，会产生较高的势垒，阻碍了隧穿电流的产生^[24]。

当考虑背景电荷数为 0 时，周期性函数 \bar{V}_{G1} 可以化简为

$$\bar{V}_{G1} = 2 \left[\frac{C_{G1}}{e} (V_{G1} - \Delta V) - \text{int} \left(\frac{C_{G1}}{e} (V_{G1} - \Delta V) + 0.5 \right) \right] \quad (4.20)$$

这里 $\text{int}(x)$ 为 x 的整数，相位偏移为

$$\Delta V_{G1} = \frac{e}{2C_{G1}} + \frac{(C_{G1} + C_{G2} + C_D - C_S)V_{ds}}{2C_{G1}} - \frac{2C_{G2}V_{G2}}{C_{G1}} \quad (4.21)$$

由以上论述可以看出，SET 由漏极与源极偏置电压及两个栅极电压控制。在 SPICE 软件中，对于多项式受控源，可以使用非线性系统。式 (4.19) 中通过 SET 的电流 I_{SET} 为

V_{DS} 、 V_{G1} 、 V_{G2} 等三个电压源的函数，所以可以等效为一个电压控制电流源 G。

式(4.20)中 \bar{V}_{G1} 为 V_{DS} , V_{G1} , V_{G2} 等三个电压源的函数, 所以可以等效为一个电压控制电压源E。在电路分析中, 常把 V_{G2} 等效为一个脉冲电压源, 控制 V_{G1} 的相位移动。基于以上分析, 得出了SPICE宏模型, 即由一个电压控制电流源、一个电压控制电压源和一个控制电压源构成, 如图4.13所示。

当SET为一个栅极时, 隧穿电流 I_{SET} 相对于 V_{G1} 的变化情况, 如图4.14所示。“*”

为利用SPICE宏模型得出的SET的 I - V 特性。“□”为利用准分析模型得出的相同参数SET的 I - V 特性^[25,26]。通过对比可以看出: SPICE宏模型仿真结果很好地逼近了半分析模型仿真结果, 仿真曲线很好地表现了库仑振荡特性^[5]。

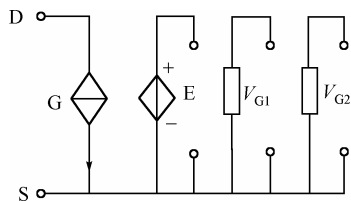


图 4.13 一种 SET 的 SPICE 宏模型

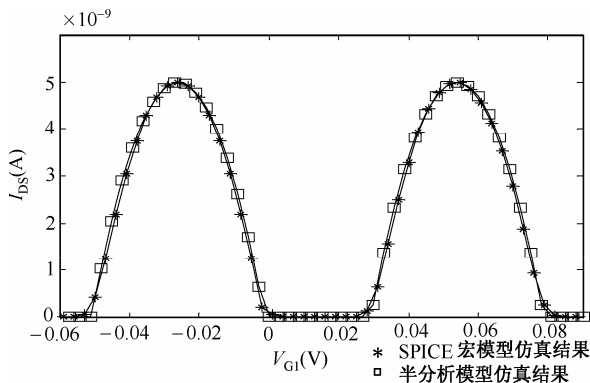


图 4.14 SET 的 I - V 特性对比分析

4. MIB模型

MIB 模型是 Mahapatra 等人在 2002 年提出的 SET 仿真模型^[27,28], 在 2004 年的参考文献[29]中又对其进行了改进。该模型的优点主要表现在能从实际出发, 较精确地描述对称或非对称、单栅极或双栅极器件的漏极电流, 模拟所需要的时间较短, 而且准确度较高, 对于混合 SETMOS 模拟和数字电路的仿真及设计都是十分有效的。

MIB 模型基于“单电子隧穿的正统理论”, 有两个基本的前提条件: (1) $|V_{DS}| \leq e/C_{\Sigma}$, 这里 V_{DS} 为 SET 的漏极到源极的偏置电压, e 为电子的基本电荷, C_{Σ} 为与 SET 的岛相连的所有电容的和; (2) 与 SET 的栅极、源极和漏极相连的电容值远远大于器件电容。SET 的漏极到源极隧穿电流 I_{DS} 由两部分组成: 不受温度 T 影响的隧穿电流 I_{DSU} 以及受温度 T 影响的隧穿电流 I_{DSTH} , 即

$$I_{\text{DS}} = I_{\text{DSU}} + I_{\text{DSTH}} = \frac{I_{\text{D}} I_{\text{S}}}{I_{\text{D}} + I_{\text{S}}} + I_{\text{DSTH}} \quad (4.22)$$

式中, I_{S} 和 I_{D} 分别为源极到岛和岛到漏极的电子隧穿电流, 它们控制电子隧穿的可能性, 两者的线性解析表达式由岛电压 V_{island} 决定, 详见图 4.15。

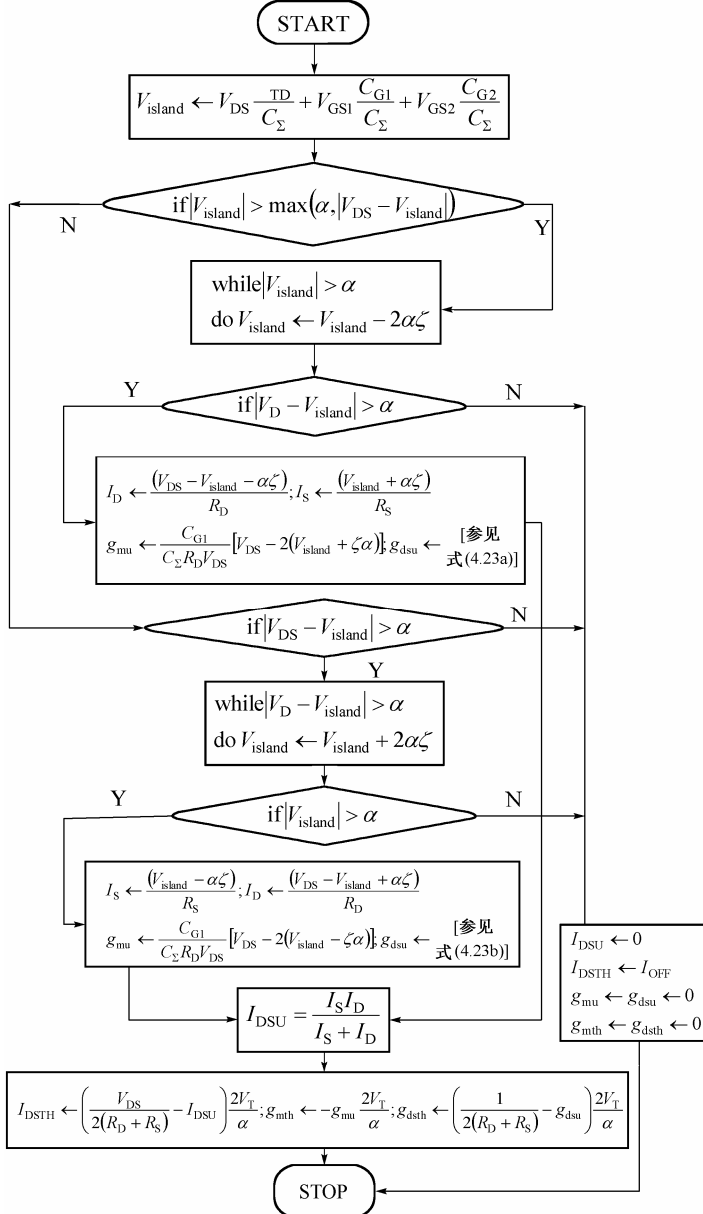


图 4.15 SET 电流 I_{DSU} 和 I_{DSTH} 的计算子程序的简化流程图

在图4.15中, ζ 函数用来确定 V_{DS} 的符号; $\max(a, b)$ 子程序用来返回 a 和 b 的最大值; V_{T} 为温度电压 ($V_{\text{T}} = k_{\text{B}}T/e$, k_{B} 为玻耳兹曼常数); $\alpha = e/(2C_{\Sigma})$; $C_{\Sigma} = C_{\text{G1}} + C_{\text{G2}} + C_{\text{S}} + C_{\text{D}}$ 。

$I_{\text{DS}} = F(V_{\text{GS1}}, V_{\text{GS2}}, V_{\text{DS}})$, 这里, V_{GS1} 和 V_{GS2} 为 SET 的两个栅极的栅源电压; F 为对应关系, 详见图 4.15。

I_{DSU} 的所有模型参数都取自物理参数: 漏源极的隧道结电容 C_{D} 和 C_{S} ; SET 的栅极电容为 C_{G1} 和 C_{G2} ; 漏源极的隧道结电阻为 R_{D} 和 R_{S} 。

MIB 模型中包括跨导 ($g_{\text{m}} = \text{d}I_{\text{DS}}/\text{d}V_{\text{GS1}}$) 的解析式以及对称 SET 的输出电导 $g_{\text{ds}} = \text{d}I_{\text{DS}}/\text{d}V_{\text{DS}}$ 。与漏极电流模型方法相似, SET 的电导 (g_{m} 和 g_{ds}) 也被分成隧穿效应和温度效应两部分, 即 $g_{\text{m}} = g_{\text{mu}} + g_{\text{mth}}$, 这里, $g_{\text{mu}} = \text{d}I_{\text{DSU}}/\text{d}V_{\text{GS1}}$, $g_{\text{mth}} = \text{d}I_{\text{DSTH}}/\text{d}V_{\text{GS1}}$; $g_{\text{mth}} = \text{d}I_{\text{DSTH}}/\text{d}V_{\text{GS1}}$; 这里, $g_{\text{dsu}} = \text{d}I_{\text{DSU}}/\text{d}V_{\text{DS}}$, $g_{\text{dsth}} = \text{d}I_{\text{DSTH}}/\text{d}V_{\text{DS}}$ 。具体如图4.15所示。

根据不同的偏置条件:

$$g_{\text{dsu}} = \frac{V_{\text{DS}} [V_{\text{island}} + (C_{\text{D}}/C_{\Sigma})(V_{\text{DS}} - 2V_{\text{island}} - 2\alpha\zeta) + \alpha\zeta] - (V_{\text{DS}} - V_{\text{island}} - \alpha\zeta)(V_{\text{island}} + \alpha\zeta)}{V_{\text{DS}}^2 R_{\text{D}}} \quad (4.23a)$$

或者

$$g_{\text{dsu}} = \frac{V_{\text{DS}} [V_{\text{island}} + (C_{\text{D}}/C_{\Sigma})(V_{\text{DS}} - 2V_{\text{island}} + 2\alpha\zeta) - \alpha\zeta] - (V_{\text{DS}} - V_{\text{island}} + \alpha\zeta)(V_{\text{island}} - \alpha\zeta)}{V_{\text{DS}}^2 R_{\text{D}}} \quad (4.23b)$$

4.4 单电子旋转门

将单电子盒的两种推广方式(单电子陷阱和单电子晶体管)结合起来就可以得到图4.16(a)所示的单电子旋转门(single-electron turnstile)器件^[1]。它也可以看做是一个具有左、右两个臂的电子陷阱。单电子旋转门是在1990年一个法国-荷兰的联合研究小组^[30]提出并在实验上得以实现。

图4.16(b)给出了单电子旋转门器件的等效电路图。在偏置电压 V 为零时, 单电

子旋转门等价于一个单电子陷阱：当增大栅极电压 $V_G(t)$ ，使其超过一定的阈值电压 V_T 时，一个电子就可以从源或漏极被吸入中心岛，反之降低栅极电压就可以把电子抽出中心岛。当使用一个很小的漏源电压 $V(V \neq 0)$ 时，就可以打破源漏极之间的对称，这样，当栅极电压上升或下降时，一个电子就在源-漏极或漏-源极之间传输。如果栅极电压周期性循环，一个电子在每个周期内就在源-漏极之间来回传输。

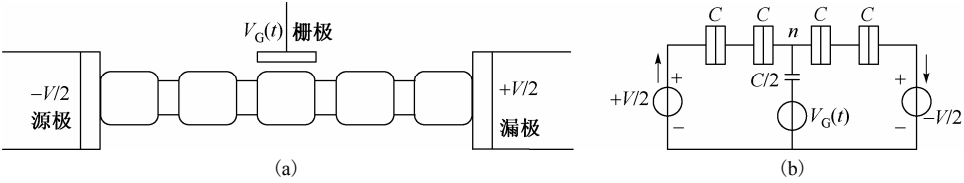


图 4.16 单电子旋转门。(a) 结构示意图；(b) 等效电路图

4.5 单电子泵

单电子泵 (single-electron pump) 是比单电子晶体管更复杂的单电子器件，图 4.17(a) 给出了单电子泵的结构示意图^[1]。与单电子晶体管相同，它主要由量子点(岛)、隧道结、源漏极和控制栅极构成，不同之处在于整体上它始终处于库仑阻塞状态，工作时利用多个栅极实现对器件中单个电子运动的控制，使器件的局部状态随单个电子的状态改变而发生改变。在微电流控制、高灵敏计量、逻辑电路等方面都有重要的用途^[31]。

在单电子泵工作时，射频波形 $V_i(t)$ 加到单电子泵的每一个栅电极上，互相之间有一定的相位移，如图 4.17(b) 所示^[1]，形成沿着岛的阵列滑动的电势波形。这个波形加速电子从源极出发并携带这个电子以完全相同的方式通过阵列到达漏极。这种传输方式类似于电荷耦合器件对多电子包的传输。值得注意的是这种器件不需要源漏极之间的直流电压，传输电子的方向决定于电势波的运行方向。

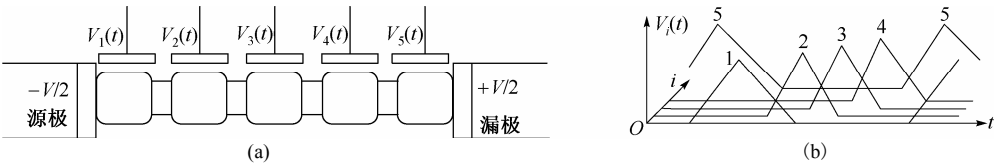


图 4.17 单电子泵。(a) 结构示意图；(b) 加到泵栅极的一组电压波形

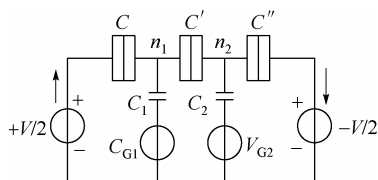


图 4.18 单电子泵的等效电路图

图 4.18 给出了最简单的单电子泵的等效电路图。它可以看做是两个单电子盒通过隧道结连接在一起，器件包含三个隧道结和两个栅极。栅电容 C_1 和 C_2 远大于隧道结电容 C 、 C' 和 C'' 。栅压 V_{G1} 和 V_{G2} 是控制

电压，而偏置电压 V 是常数。泵的构型由整数岛电荷数 (n_1, n_2) 和通过泵的电子数目 n_0 给出。

4.6 单电子器件的模拟电路应用

4.6.1 超高灵敏静电计

如果加在单电子晶体管源漏之间的电压 V 稍微大于库仑阻塞的阈值电压 V_T ，则源漏极之间的电流 I_{DS} 对栅极电压 V_G 就会极其敏感。这种极高的敏感性被提出用来作为超高灵敏静电计的基础^[32]。

Korotkov 等人对图 4.19 所示的电容耦合信号源的单电子晶体管电路的特性进行了理论分析^[4]。为了使理论分析更接近实际情况，分析中考虑电源本身的电容 C_i 不为零，这个电容可以等于或大于隧道结电容 C_1 和 C_2 。在分析中认为 C_i 是固定的参量，而耦合电容 C_0 是可以调节的参量。小的 C_0 使得信号源耦合减弱，而大的电容 C_0 使得有效电容 $C_{\Sigma} = C_1 + C_2 + C_0'$ ，远大于 $e^2/(k_B T)$ ，其中 $C_0' = (C_i^{-1} + C_0^{-1})^{-1}$ 。输出电容 C_L 远大于 C_0 ， C_1 和 C_2 ，输出电阻 R_L 约等于 R_1 和 R_2 ，输出电容和输出电阻不影响系统的灵敏度。

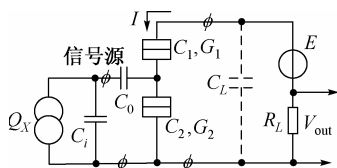


图 4.19 单电子晶体管通过电容与信号源耦合组成的电表的电路原理图

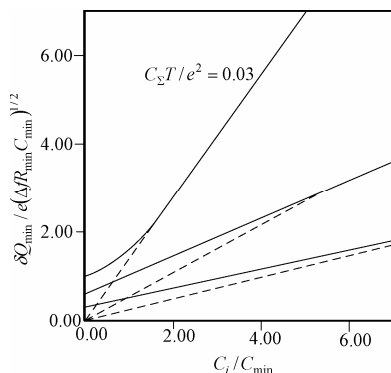


图 4.20 电容性耦合单电子晶体管的电荷灵敏度作为信号源电容 C_i 的函数

图4.20给出准经典分析的结果。图中给出几个不同约化温度对应的曲线。电表的电荷灵敏度 $\delta Q_{\min} \equiv [S_I(0)\Delta f]^{1/2} / |dI/dQ|$ ，其中 $S_I(0)$ 是电表输出端低频电流涨落的谱密度。随着 C_i 的增加，灵敏度变差，即

$$\delta Q_{\min} \approx \begin{cases} 5.4 C_{\min} (k_B T R \Delta f)^{1/2} & C_i \ll C_{\min} \\ A C_i (k_B T R \Delta f)^{1/2} & C_i \gg C_{\min} \end{cases} \quad (4.24)$$

式中，当 $k_B T / (e^2 / C_{\min}) \rightarrow 0$ 时，系数 $A \rightarrow 5.4$ 。

按照半经典公式(4.24)，在 $R \rightarrow 0$ 和 $T \rightarrow 0$ 时，电荷灵敏度能够任意高。

当信号源本身的电容比较大时，性能将下降。例如， $C_i = 1 \text{ pF}$ ，按照式(4.24)，电荷灵敏度应当接近于 $\delta Q_{\min} \approx 10^{-2} e / \sqrt{\text{Hz}}$ 。电表工作于状态 $C_i \ll C_{0,1,2}$ ，可以作为电压表，电压灵敏度为

$$\delta V_{\min} = \delta Q_{\min} / C_i \quad (4.25)$$

由式(4.24)可知单电荷电表的电压灵敏度并不是特别突出^[4]。

这种高灵敏度的单电子晶体管已经在一些独特的物理实验中作为电表使用^[4]。例如，利用它可以清楚地观察到超导体中的约瑟夫森效应。可以实现极低直流电流(约为 10^{-20} A)的绝对测量。这种晶体管还首次用于测量单电子盒和单电子陷阱的单电子效应。一种改进型的晶体管首次用于证明在分数量子 Hall 效应中存在分数电荷的激发。它还可以灵敏地测量 GaAs/AlGaAs 异质结构中二维电子气化学势的局部变化。而 Lucent 技术组则在扫描探针的顶部制造了一个单电子晶体管，用它来形成新式的扫描显微镜，将亚微米空间分辨力与亚单电子电荷灵敏度结合了起来。这一技术已经用于观察 GaAs/AlGaAs 异质结构的单电荷杂质。

4.6.2 单电子能谱仪

麻省理工学院的Kastner小组提出了单电子量电法的另一个有用的应用,就是测量量子点或其他纳米尺度结构的电子添加能谱^[1],所以,也可以用来测量能级分布。

实现这样的测量有两种很容易想到的方法^[1]。第一种方法是用量子点作为单电子盒的岛,经电容耦合于单电子晶体管或其他灵敏静电计。第二种方法是用量子点直接作为弱偏置($V \rightarrow 0$)单电子晶体管的岛,并且测量源-漏极间的电导 G 尖锐增加时的栅极电压 V_G 。后一种方法从技术的角度看,较简单一些(仅需要一个小岛),而且,电导峰的高度给出了电子波函数在量子点中分布的附加信息。

单电子能谱仪首先应用于横向或纵向隧穿通过源极到漏极的半导体异质结构的二维电子气的横向限制的“凹坑”(puddles)中。这种技术也被用在纳米金属颗粒,自然形成的纳米晶粒, C_{60} 布基球(buckyball)和碳纳米管等结构的添加能谱的测量中。同时,在其他许多纳米结构,特别是有机大分子和原子团簇中也具有很好的应用前景。

4.6.3 计量标准应用

1. 直流电流标准

单电子隧穿可以作为基本的直流电流标准^[1]。最初采用的是在一个简单的振荡器(参见图 4.21)中对单电子隧穿振荡或布洛兹振荡实现相位锁定,同时外接一个具有确定特征频率 f 的射频信号源。图 4.21 (a) 给出单电子振荡器的结构示意图,图 4.21 (b) 为单电子隧道结电荷的典型动力学特性。相位的锁相将在外部射频信号的每一个周期中提供一定数量为 m 的电子的传输,产生直流电流,其与频率的关系为 $I = mef$ 。

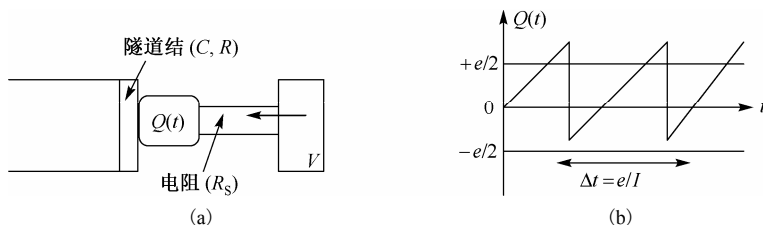


图 4.21 最简单的单电子振荡器

第一个采用 $2+2$ 隧道结的旋转门超高灵敏静电计的实验表明相对精度 $\delta I/I$ 可以

达到 10^{-3} ^[30]。随后的理论工作表明用单电子泵制作超高灵敏静电计可以得到更好的精度,因为这些器件可以更精确地沿着隧道结阵列传输单电子,热激活或共隧穿过程的几率很小,而这些过程可以引起误差(例如,在振荡中传输多余的电子)。用单电子泵制作超高灵敏静电计的另一个优点是用一个特殊的可调节直流电压加在每一个栅极上,就有可能补偿各个岛的随机背景电荷。理论研究表明在目前典型参数下5个隧道结的单电子泵,在已知的限制效应下,在频率 f 约为10 MHz时,相对精度可以达到 10^{-12} 。如果采用特殊的波形,甚至可以达到 10^{-16} 。

2. 温度标准

Pekola 等人采用1D单电子阵列实现了一种新的热力学温度标准^[1]。在低温时,具有 $N \gg 1$ 个岛阵列所表现出来的 I - V 特性类似于单电子晶体管,在低电压($|V| < V_T$)隧穿时,存在着明显的库仑阻塞现象;在 $|V| \gg V_T$ 时,接近于线性渐进关系 $V = NRI + \text{常数}$ 。如果温度上升到高于 E_C/k_B ,热涨落将使库仑阻塞现象消失, I - V 曲线在所有的电压值几乎都是线性的,电导为 $G \equiv dI/dV \approx G_n \equiv 1/NR$ 。所剩下的唯一可控制的库仑阻塞区域是围绕 $V=0$ 的一个小微分电导区域,幅值为 $\Delta G/G_n \approx -E_C/6k_B T$,宽度为

$$\Delta V = 5.44 N k_B T / e \quad (4.26)$$

由正统理论分析表明,式(4.26)几乎对于阵列参数的任何变化具有惊人的稳定性。既然已知的基本常数具有很高精度,这就提供了一个应用该阵列作为热力学温度检测仪器的可能性。每一个特定的阵列可以在温度变化小于1/10度的范围内给出 T 的高精度(约1%)测量结果。但是对于不同岛尺寸(因此也就有不同 E_C)的阵列,其对应的温度范围可以被转移或重叠。这样就有可能在很宽的范围内提供绝对温度标准(比如说,两个数量级范围内),整个温度范围的若干个电路可以在一个单片上制造。

4.6.4 红外辐射探测器

单电子器件,尤其是具有低隧穿率的1D多隧道结阵列,可以被用于超灵敏度视频和外差探测高频电磁辐射^[1]。类似于超导-绝缘体-超导(SIS)隧道结和阵列。单电子阵列与SIS相比有两个优点:较低的散粒噪声(因为 $N \gg 1$ 个岛串联的系统中库仑阻塞可以比超导能隙提供更低的漏电流)和方便调节的阈值电压(通过改变隧道结的尺寸,也即改变了 E_C)。这对于探测几THz频率范围,且无背景辐射限制的探测器是可行的。

该探测器的工作原理是建立在具有库仑阻塞效应的任何超小隧道结系统高度非线性

性的直流 I - V 曲线的基础上：当直流电压 V 低于库仑阻塞阈值电压 V_T 时，通过器件的电流相当小，超过阈值，电流急剧上升。在阈值的区域这种非线性直流 I - V 特性变化非常明显，因此在这个领域隧道结对于弱的电磁辐射极为敏感。在如下范围内，即

$$V_T - \frac{\hbar\omega}{e} < V < V_T \quad (4.27)$$

器件对辐射量子的吸收会引起非零的电流 I （“光子辅助隧穿”）^[4]。

这种方法用于红外成像的主要问题是背景电荷的随机性问题。为了解决这个问题必须给每个岛加一个电容性的栅控制装置，这对于单电子探测器是可以实现的，但是对于多像素焦平面阵列是不可行的。

4.6.5 基于SET的模拟滤波器

滤波器的用途非常广泛，对电话、电视、收音机、雷达和声呐等，它是不可缺少的部件，在控制、测量和电力系统中也有重要的应用。模拟滤波器用于处理模拟信号，在模拟信号处理中，一般以积分器为主要单元，再附以其他求和、放大等单元进行电路设计。作为一种连续时间域工作的模拟电路，利用传统器件实现积分器的设计有很多方法，而且非常成熟，在实际电路中得到了广泛的应用。而对于 SET，主要是在其 I - V 特性的基础上，利用工作于高电流区的 SET，来实现积分器电路。

1. 积分器

电压模积分器是集成滤波器的基本组成模块^[33,34]，按其传递函数的不同，可分为电压有损积分器和电压无损积分器。采用 SET 实现电压积分器，由于其 I - V 特性不同于传统的双极型和单极型晶体管^[35]，因此决定了其特殊性。

图 4.22 (a) 是一个直流增益为 1 的有损电压积分器^[36]，其传递函数为：

$$\frac{V_{\text{out}}(s)}{V_{\text{in}}(s)} = \frac{1}{1 + sR_{\Sigma}C_L} \quad (4.28)$$

该积分器的截止频率 $\omega_c = 1/R_{\Sigma}C_L$ ，取决于隧道结电阻和积分电容。电压源 V_S 实际上就是使 SET 脱离库仑阻塞区的栅源间偏置电压，其大小为两个隧道结的临界电压之和，即 $V_S = e/C_{\Sigma}$ 。由于 C_{Σ} 一般为 10^{-17} 数量级，而 $e = 1.6 \times 10^{-19} \text{ C}$ ，故 V_S 一般小于 10 mV，它随着 C_{Σ} 的增大而减小。图 4.22 (b) 为 SET 电压无损积分器电路^[36]。其传递函数为：

$$\frac{V_{\text{out}}(s)}{V_{\text{in}}(s)} = \frac{1}{sR_{\Sigma}C_L} \quad (4.29)$$

图4.22 (b) 中受控电流源的电流 $i = \frac{1}{R_{\Sigma}}(v_{\text{out}} + e/C_{\Sigma})$ 。 R_{Σ} 是 SET 的两个隧道结电阻之和。

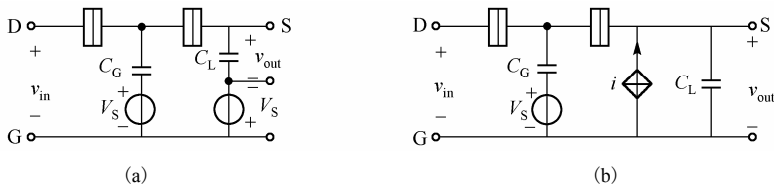


图 4.22 (a) SET 电压有损积分器; (b) SET 电压无损积分器

2. SET 二阶低通滤波器

将两个相同结构的 SET 电压积分器级联起来, 如图 4.23 所示^[37], 图中栅极偏置电压: $V_{GS1} = e/C_{\Sigma1}$, $V_{GS2} = e/C_{\Sigma2}$; 而 $V_{OS1} = e/C_{\Sigma1}$, $V_{OS2} = e/C_{\Sigma2}$ 。其传递函数为:

$$\frac{V_{\text{out}}(s)}{V_{\text{in}}(s)} = \frac{1}{s^2 + \frac{C_1 R_{\Sigma1} + C_2 R_{\Sigma2} + C_2 R_{\Sigma1}}{C_1 C_2 R_{\Sigma1} R_{\Sigma2}} s + \frac{1}{C_1 C_2 R_{\Sigma1} R_{\Sigma2}}} \quad (4.30)$$

极点频率 ω_p 和品质因数 Q 分别为:

$$\omega_p = \frac{1}{\sqrt{C_1 C_2 R_{\Sigma1} R_{\Sigma2}}} \quad (4.31)$$

$$Q = \frac{\sqrt{C_1 C_2 R_{\Sigma1} R_{\Sigma2}}}{C_1 R_{\Sigma1} + C_2 R_{\Sigma2} + C_2 R_{\Sigma1}} \quad (4.32)$$

应用 SET 的 MIB 物理模型、ME 法模型和 SET 高电流区的线性模型, 对图 4.23 所示的 SET 二阶低通滤波器进行了仿真验证如图 4.24 所示。

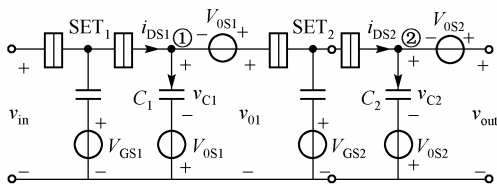


图 4.23 SET 二阶低通滤波器

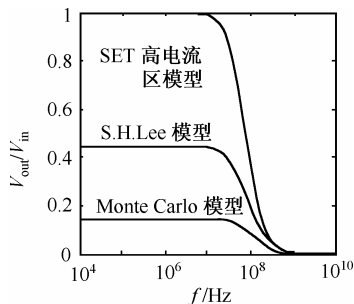


图 4.24 SET 二阶低通滤波器的幅频特性

3. SET二阶带通滤波器

图 4.25 是一个 SET 带通滤波器^[38], 其中 V_S 是使 SET 脱离库仑阻塞区而工作于高电流区的偏置电压, 其值为 e/C_Σ ; 两个偏置电流源分别为 $I_{S1} = e/(C_{\Sigma1}R_{\Sigma1})$, $I_{S2} = e/(C_{\Sigma2}R_{\Sigma2})$ 。图中 SET 均处于高电流区。其传递函数为:

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{sC_2R_{\Sigma2}}{s^2C_1C_2R_{\Sigma1}R_{\Sigma2} + (R_{\Sigma1}C_2 + R_{\Sigma2}C_2 + R_{\Sigma1}C_1)s + 1} \quad (4.33)$$

中心频率 ω_p 和品质因数 Q 分别为:

$$\omega_p = \frac{1}{\sqrt{C_1C_2R_{\Sigma1}R_{\Sigma2}}} \quad (4.34)$$

$$Q = \frac{\sqrt{C_1C_2R_{\Sigma1}R_{\Sigma2}}}{R_{\Sigma1}C_2 + R_{\Sigma2}C_2 + R_{\Sigma1}C_1} \quad (4.35)$$

利用 SET 高电流区线性模型、MIB 物理模型法, 对图 4.25 所示 SET 二阶带通滤波器进行了仿真, 并将二者结果同 RC 原型网络滤波器的传输特性进行了比较, 如图 4.26 所示。

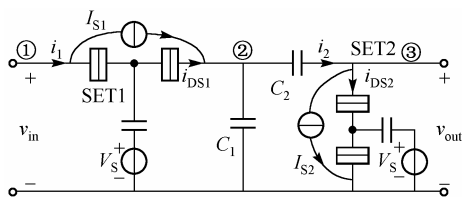


图 4.25 SET 二阶带通滤波器

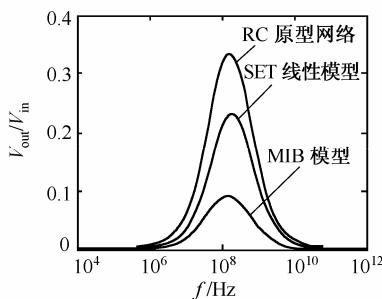


图 4.26 SET 二阶带通滤波器的幅频特性

4. SET高阶有源滤波器

采用无源网络模拟法实现的 SET 高阶滤波器如图 4.27 所示^[39]。其基本思想是用状态方程描述无源网络, 找出相关量的积分关系。

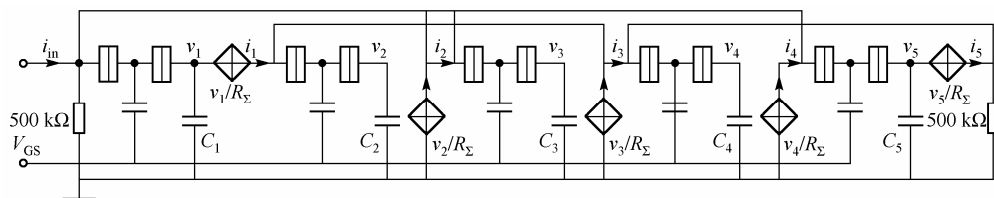


图 4.27 SET 五阶切比雪夫低通滤波器

4.6.6 基于SET的细胞神经网络

细胞神经网络 (Cellular Nonlinear Networks, CNN) 是由美国加州大学伯克莱分校的 L.O.Chua 和 L.Yang 提出^[40,41]的：像神经网络一样，它是具有实时信号处理能力的大规模非线性模拟电路。CNN 由大量细胞组成，且只允许最临近的细胞之间直接通信，如图4.28所示。CNN 的基本电路单元是一个神经元，它的输入输出与其临近神经元以一定的权重相连接，如图4.29所示。

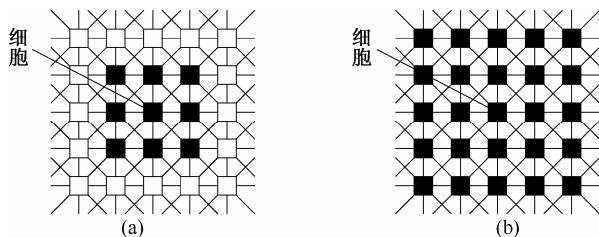


图 4.28 CNN 阵列。(a) 为 3×3 的网络；(b) 为 5×5 的网络

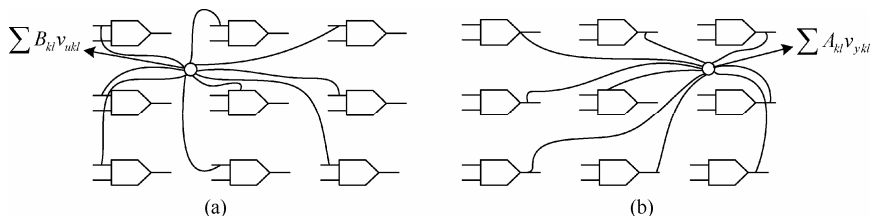


图 4.29 二维 CNN 阵列的相互连接示意图。(a) 为前馈网络；(b) 为反馈网络

对于一个两维的 M 行 N 列的网络， $C(i, j)$ 表示第 i 行和第 j 列的神经元， $C(i, j)$ 接受自己和邻近细胞的反馈信号及控制信号，反馈量与控制量由 A 、 B 模板决定，每个细胞满足下列非线性微分方程：

$$C \frac{dv_{xij}(t)}{dt} = -\frac{1}{R_x} v_{xij}(t) + \sum_{C(k,l) \in N_r(i,j)} A(i, j; k, l) v_{ykl}(t) + \sum_{C(k,l) \in N_r(i,j)} B(i, j; k, l) v_{ukl} + I, \quad (4.36)$$

$$1 \leq i \leq M; 1 \leq j \leq N; C > 0; R_x > 0$$

输出方程为：

$$v_{yij}(t) = \frac{1}{2} (|v_{xij}(t) + 1| - |v_{xij}(t) - 1|), 1 \leq i \leq M; 1 \leq j \leq N \quad (4.37)$$

式(4.36)中， $A(i, j; k, l)$ 表示 $C(k, l)$ 的输出与 $C(i, j)$ 之间的连接权，由 $A(i, j; k, l)$ 组成 A 矩阵，又称反馈模板。 $B(i, j; k, l)$ 表示 $C(k, l)$ 的输入与 $C(i, j)$ 之间的连接权，由 $B(i, j; k, l)$ 组成 B 矩阵，又称控制模板。 v_{xij} 、 v_{yij} 、 v_{uij} 、 I 分别表示神经元 $C(i, j)$ 的状态变量、输出变量、输入变量和恒定偏置。

基于 SET 的神经元的实现如图 4.30 所示, 电路结构中, “N-SET” 的量子点(岛)为空心圆, “P-SET” 的量子点(岛)为实心圆。这种电路的实现主要是基于 Goossens 等人^[42]提出的电路实现思想。电路包括一个 Tucker SET 反相器, 来提供与 CMOS 变换器单元相类似的双稳态特性, 更重要的是对反相器的多输入端电容可以形成一个求和结点, 这样可使这个输入电压是外部所有输入电压的加权和, 因此可以应用每个信号输入端的电容值决定 CNN 的相互连接的权值。

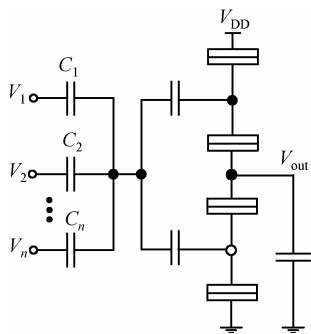


图 4.30 基于 SET 的神经元结构示意图

由 SET 神经元可以组成一个一维的用于相邻检测 (Connected Component Detection, CCD) 图像处理的 CNN, 这个典型的 CNN 模板系数为^[43]:

$$A = \begin{bmatrix} 1 & 2 & -1 \end{bmatrix}, B = 0, I = 0 \quad (4.38)$$

当初始条件值 $V_{x1}(0) = -1$ 时, CNN 最左边的细胞大部分是“□”状态, CNN 计算相邻元素“□”状态的个数。相反, 如果初始条件值 $V_{x1}(0) = +1$ 时, 则 CNN

的输出将包含相邻“■”状态的个数。基于 SET 的三细胞的 SET-CNN 电路如图 4.31 所示^[44]。

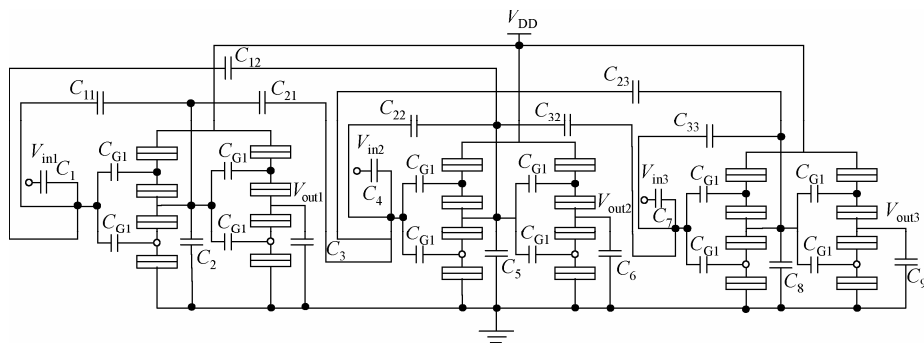


图 4.31 基于 SET-CNN 的 CCD 电路图

图 4.32 为图 4.31 电路的仿真波形。从图中可以看出, 输出由初始状态到稳定状态经过 $2 \mu\text{s}$ 的时间, 所以具有很快的处理速度, 并且输出的高电平代表的像素电压值可达 0.45 V , 而输出的低电平代表的像素电压值接近 0.05 V 。

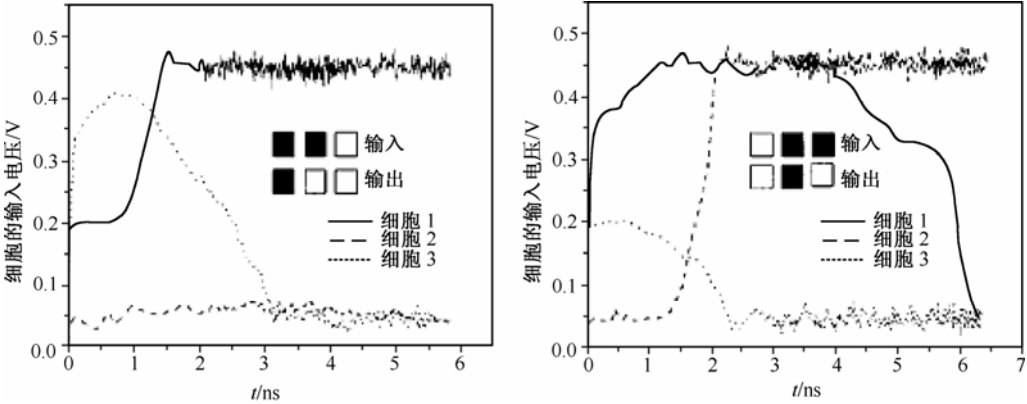


图 4.32 基于 SET-CNN 的 CDD 电路仿真波形图

4.7 单电子器件的数字电路应用

4.7.1 基于SET的逻辑电路

1. SET基本逻辑门

近几年来，国外学者对基于 SET 的逻辑电路研究方兴未艾^[45-49]。双栅极SET通过额外耦合一个栅极电压，达到控制量子点上电子数的作用，从而使SET的隧穿电流发生相位的移动。利用双栅极 SET 的这种相位移动特性，实现了“P-SET”，“N-SET”，即互补型 SET。图 4.33 给出一个互补型 SET 的反相器电路^[46]。

静态互补SET逻辑门是在SET反相器的基础上构成的，用“P-SET”组成的逻辑块和“N-SET”组成的逻辑块，分别代替反相器中的单个的“P-SET”和“N-SET”。利用“N-SET”和“P-SET”的互补逻辑特性，使上拉通路和下拉通路轮流导通，实现特定的逻辑功能。

图4.34(a)为与非门电路，用两个“N-SET”串联作为下拉部件，用两个“P-SET”并联作为上拉部件，构成了一个二输入与非门。或非门电路如图4.34(b)所示，而当设计与门、或门时，只需加一级反相器即可。

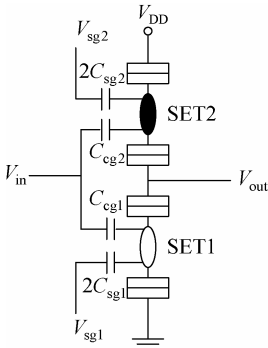


图 4.33 互补型 SET 反相器

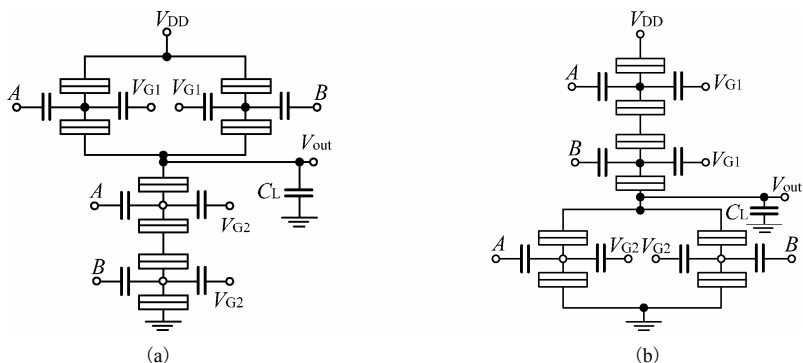


图 4.34 互补性 SET 与非门、或非门

2. SET全加器

基于基本的逻辑门,就可实现任意的逻辑电路,由与非门、或非门、反相器构成的全加器电路如图 4.35 所示^[50]。

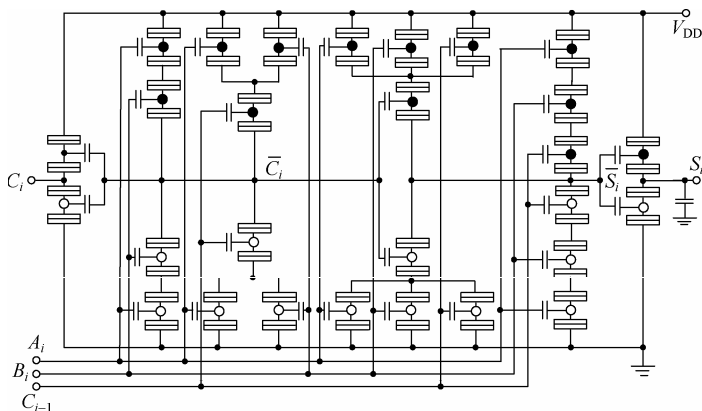


图 4.35 SET 全加器电路结构示意图

Asahi 等人于在参考文献[51,52]中提出了另一种设计 SET 数字集成电路的方案。在 2001 年和 2002 年, Kasai S 和 Hasegawa H 等人对基于二叉判别图(Binary decision diagram, BDD)的 SET 基本逻辑电路构成和制备进行了研究^[53-55]。Asahi 等人所设计的逻辑电路单元是由 SET 和隧道结混合构成的。基于 BDD 思想,用 SET 构成一个 BDD 逻辑电路单元,并使用双栅极 SET 代替单栅极 SET,这种改进的优点是增加了时钟控制作用,参见图 4.36。该单元由两个双栅极单电子晶体管 SET1 和 SET2 构成,该单元由两个双栅极单电子晶体管 SET1 和 SET2 构成,由上述单元,可以构成“非”、“与非”、“或非”等各种功能的逻辑门,从而可以达到设计大规模集成电路的目的。

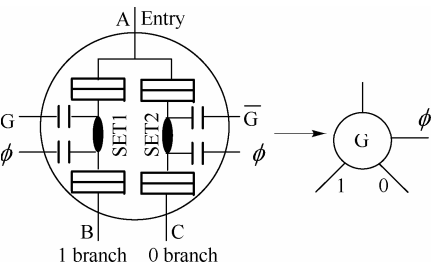


图 4.36 BDD 电路单元

BDD是由多个结点和两个终点构成的图形，每个结点代表一个变量。当给定一组变量的值时，从根出发，根据变量的值通过相应的支，最后到达一个终点。当到达终点1时，函数值为1；当到达终点0时，函数值为0。图4.37为各种逻辑门电路，这里A、B为输入变量，每个电路单元为结点。图4.37(b)中，当A和B都为1时，逻辑值为1，否则为逻辑

值0，实现了“与”的功能。同理，(a)、(b)、(c)、(d)、(e)、(f)和(g)分别实现了“非”、“与”、“与非”、“或”、“或非”、“异或”和“同或”等逻辑功能。

图4.38是一个4位全加器的电路结构。图中，每个结点是图4.37中的电路单元，虚线内部分为一个全加器单元。这个全加器单元由11个BDD单元，即22个SET构成，与图4.35全加器单元相比，晶体管数可以减少6个。通过向上级联全加器单元可以设计出任意位全加器。

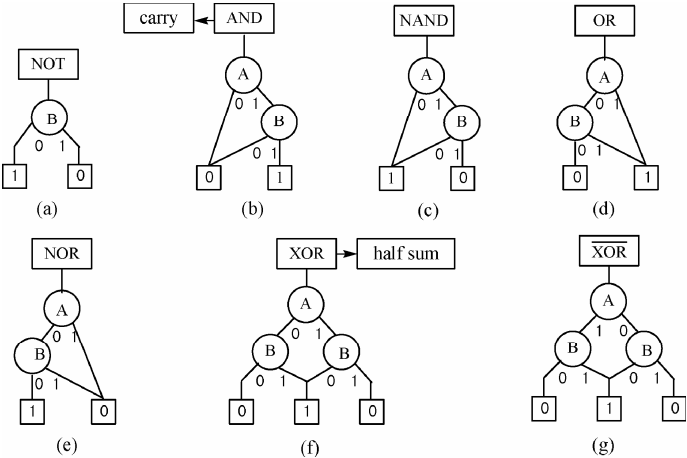


图 4.37 BDD 基本逻辑门电路结构

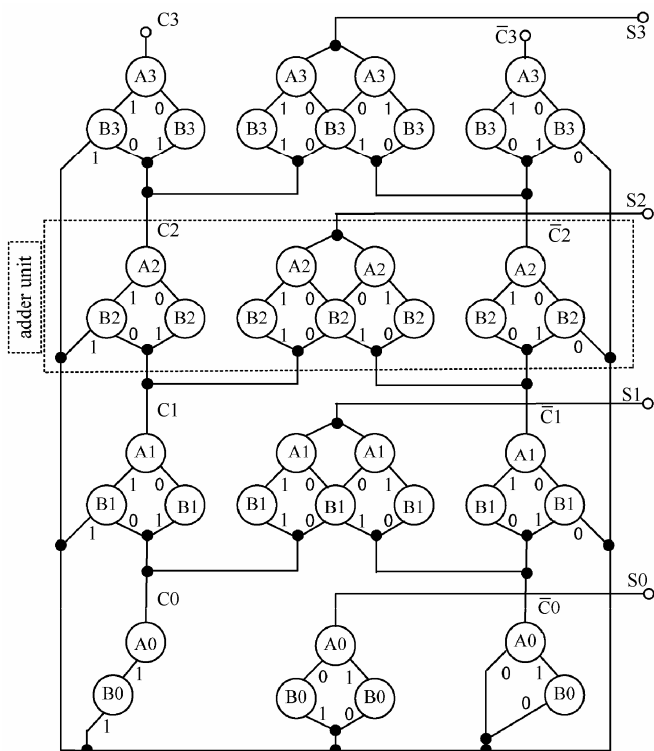


图 4.38 4 位全加器的电路结构

3. SET D触发器

由两个 SET 或非门可构成基本 R-S 触发器。在实际应用中, 希望触发器增加时钟控制信号, 图 4.39 中的虚线内部分为时钟同步 R-S 触发器, 它是由两个与门和两个或非门构成。此时钟同步 R-S 触发器是在 $CK=1$ 时求值, $CK=0$ 时保持。R-S 触发器为了避免出现输出状态的不定态, 两个输入信号 S 和 R 应满足约束条件 $R \cdot S = 0$ 。若使 $S = \bar{R} = D$, 则可以用一个输入信号 D 控制 R-S 触发器的状态, 而不会出现 S 和 R 同时为 1 的情况, 避免了不定态。图 4.39 为一个时钟同步 D 触发器的电路图^[56], 其功能是在时钟信号控制下, 把输入数据 D 送到输出端 Q 并保存这个数据。由 D 触发器串联可以构成任意位串入-串出、串入-并出和并入-并出的寄存器和移位寄存器。

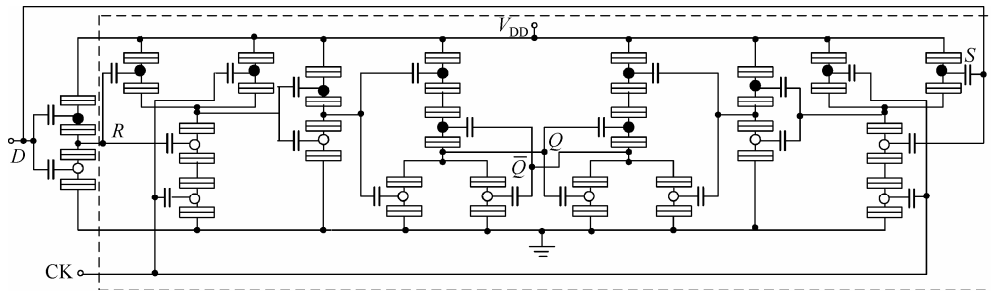


图 4.39 由时钟同步触发器构成的 D 触发器

4.7.2 单电子存储器

随着传统存储器集成度的不断提高，每个存储单元的电子数目不断减少，并逐渐接近其极限，使传统存储器的发展面临困难。采用单电子存储器有望解决这个困难，它们通常具有单个量子点或者是多隧道结构，存储一个比特的信息只需要精确控制增加或者减少一定数目的电子就可以实现。单电子器件的工作通常只需要很少的电子甚至一个电子就可以实现，具有高速和低功耗的特点，因此可以实现信息超高密度存储。与单电子逻辑电路相比，单电子存储器更容易解决随机背景电荷涨落的问题，因此从实际应用的角度来看，单电子存储器的应用前景更为光明^[57]。

单电子存储器的基本原理就是通过库仑岛上的电子数目来进行数值记忆存储。它可以是二值存储，即规定岛上电子数目大于某一值时为 0，否则为 1，但也可以是多值存储。单电子存储器的类型很多，包括单电子隧穿触发器，电子陷阱型存储器，单电子环型存储器等^[58]，下面我们将简要地介绍三种存储器电路。

1. 单电子隧穿触发器 (Single Electron Tunnel Flip-flop)

存储器电路的一种设计方法是利用单电子隧穿器件模仿传统的存储器设计，例如，静态单电子隧穿存储器单元或触发器。这两个电路是由 A. Korotkov 等人提出的^[59]，工作原理与传统的触发器相同。在图 4.40 中，隧道结 J_2 和 J_3 构成一个单电子晶体管， J_1

为负载电阻。 C_{out} 为负载电容，它远大于特征电容 C ，即 C_{out}/C 个电子表示 1 位信息。

图 4.41 的互补型触发器是用单电子晶体管来代替负载隧道结，虽然看起来电路似乎更复杂了，但是所有这些隧道结都是相同的。

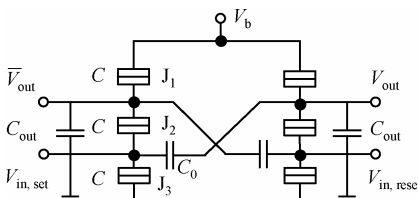


图 4.40 单电子隧穿静态存储单元(触发器)电路示意图

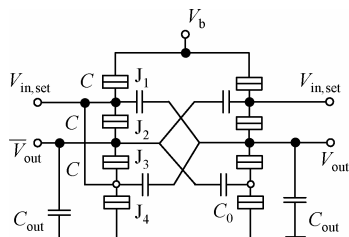


图 4.41 互补型单电子隧穿静态存储单元(触发器)电路示意图

2. 电子陷阱存储器

单电子动态存储器单元由 Nakazato 和 Ahmed 提出^[60, 61]。很少的几个电子或一个电子存储在单一的一个量子点上。电子出现在量子点 QD 上代表逻辑“1”，反之代表逻辑“0”，参见图 4.42。隧道结的线性阵列产生一个用于电子进入或离开量子点 QD 的能量势垒。因此，存储的电子保持了一个局部的能量最小值。为了写入这个单元，偏置一个正的电压脉冲 V_g ，它可以使能量势垒消失。一个正的电压脉冲 V_g 使得电子隧穿过结 J_6, J_5, \dots, J_1 进入量子点 QD。一个负电压脉冲 V_g 使得电子从量子点 QD

隧穿进入地面。量子点 QD 的状态由 V_{out} 决定。隧道结越多，由于热扰动和共隧穿的原因，电子从存储点逃离到地面的可能性就越小。Amakawa 等人^[62]指出，如果一个电容耦合两个陷阱，一个陷阱存储电子，而另一个陷阱无电子，则该“双极子”的稳定性大于单个陷阱。在单个陷阱的情况下，要处于双稳态，需要两个隧道结。

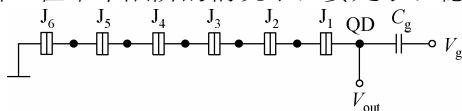


图 4.42 电子陷阱存储器单元电路示意图

3. 单电子隧穿环型存储器

Lent 等人^[63]提出的细胞自动机的双稳态量子单元的一个不同思想的推广，如图 4.43 所示。在电路级，它类似于电子陷阱存储器，因为它是一个陷阱连接一个环，即所谓的环型存储器单元，然而工作机理不同。偶数个数目为 n (在这里， $n=6$) 的隧道结连接成一个环， $n/2$ 个电子嵌入在

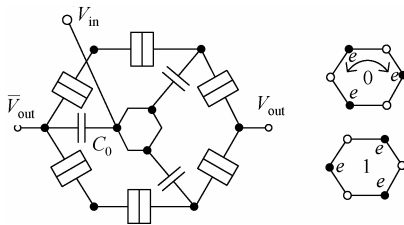


图 4.43 环形存储器单元

环中。由于相互之间的库仑作用，它们彼此互相排斥，形成两个稳定的构型。在 V_{in} 端加一个正的或负的电电压脉冲，将使得环的稳态构型向任一个构型转变。电容器 C_0 应比隧道结电容小得多，以使得电子相互之间影响较大，保持好一定的距离。

4.7.3 基于SET的数字滤波器

数字滤波器用于处理数字信号。数字滤波器在实现方法上分为 IIR 滤波器(递归数字滤波器、无限冲激响应滤波器)和 FIR 滤波器(非递归数字滤波器、有限冲激响应滤波器)。

IIR 数字滤波器时域差分方程描述如下

$$y(n) = \sum_{r=0}^M b_r x(n-r) + \sum_{k=1}^N a_k y(n-k) \quad (4.39)$$

式中， $x(n-r)$ 为输入信号， $y(n-k)$ 为输出信号， a_k 和 b_r 是滤波系数， $r=0, \dots, M$ ， $k=1, \dots, N$ 。其转移函数为

$$H(Z) = \sum_{r=0}^M b_r Z^{-r} / \left(1 + \sum_{k=1}^N a_k Z^{-k} \right) \quad (4.40)$$

在确定了数字滤波器的转移函数 $H(Z)$ ，以及合适的处理字长以后，下一步就是实现与 $H(Z)$ 相对应的滤波器的线性差分方程。该线性差分方程是用来计算滤波器的输出值 $y(n)$ 的，而 $y(n)$ 则是滤波器输入值 $x(n)$ 滤波后的结果。下面以一阶数字滤波器为例，来说明基于 SET 数字滤波器的设计与实现方法。

假设一个一阶 IIR 数字滤波器的线性差分方程是

$$y(n) = 0.75x(n) - 0.5y(n-1) \quad (4.41)$$

通过计算该差分方程，并经查表得出该一阶滤波器差分方程的硬件实现方框图，如图4.44 所示^[64,65]。其中，组成一阶IIR 数字滤波器的基本模块的加法器、移位寄存器和存储器均由 SET 构成。在图4.44中，用 5 个 D 触发器串联，构成串入-并出的移位寄存器 SR1 和 SR2，用来存储两组高低电平(0 V, 0 V, 0.02 V, 0 V, 0 V)和(0 V, 0.02 V, 0 V, 0.02 V, 0 V)。D 触发器的电路结构如图 4.39 所示。存储器 ROM1、

ROM2、ROM3、ROM4 和 ROM5 的电路结构如图 4.45 所示,其中 ROM5 结构与 ROM1 相同。这 5 个存储器通过移位寄存器 SR1 和 SR2 的输出地址码,分别读出高低电平 (0 V, 0 V, 0 V, 0 V, 0 V)、(0.02 V, 0.02 V, 0.02 V, 0 V, 0 V)、(0 V, 0 V, 0 V, 0.02 V, 0.02 V)、(0.02 V, 0.02 V, 0.02 V, 0.02 V, 0.02 V)、(0 V, 0 V, 0 V, 0 V, 0 V)。其中,该滤波器的全加器单元如图4.35所示,使用 5 个全加器级联,构成图4.44中 5 位全加器结构。实现上述运算功能所需 SET 的总数为 1420, 其中构成 2 个寄存器的数目为 220, 构成 5 个存储器的数目为 640, 构成 4 个 5 位全加器的数目为 560。

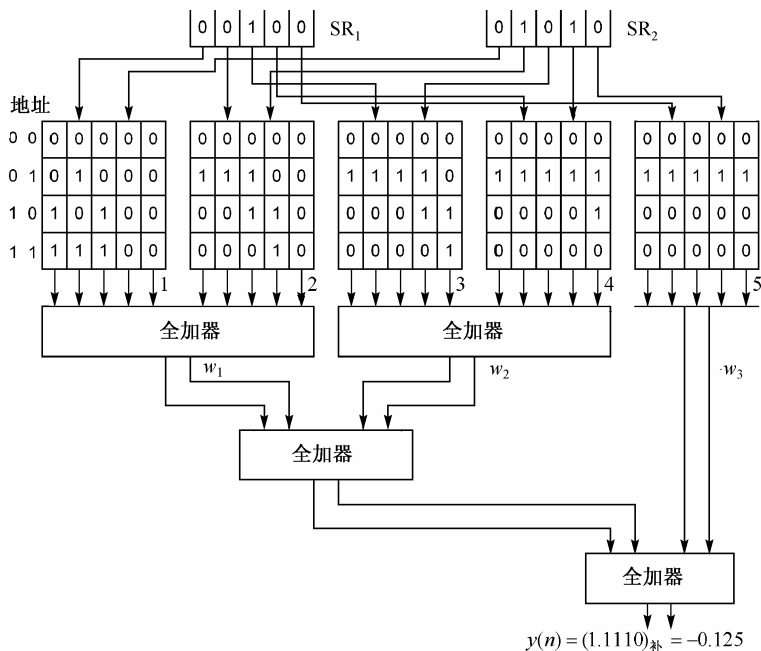


图 4.44 一阶位并行运算硬件实现方框图

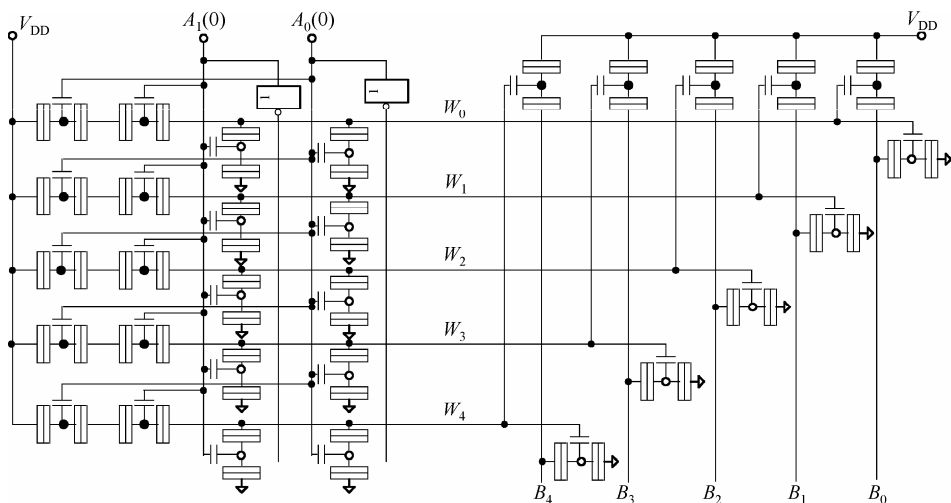


图 4.45 (a) 基于 SET 的 ROM1 电路结构

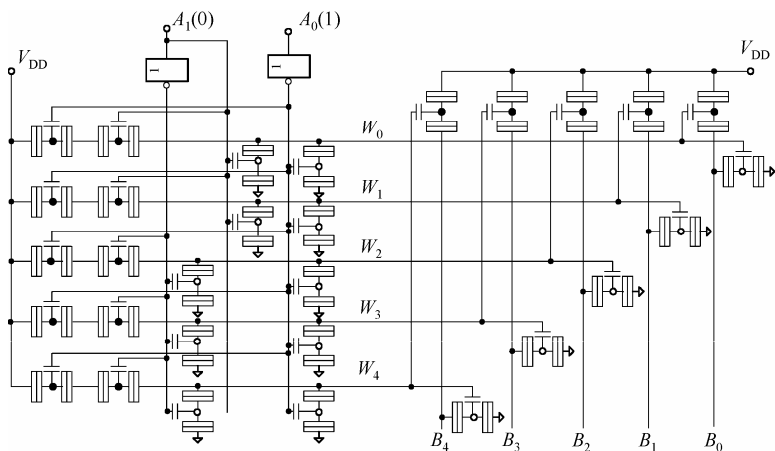


图 4.45 (b) 基于 SET 的 ROM2 电路结构

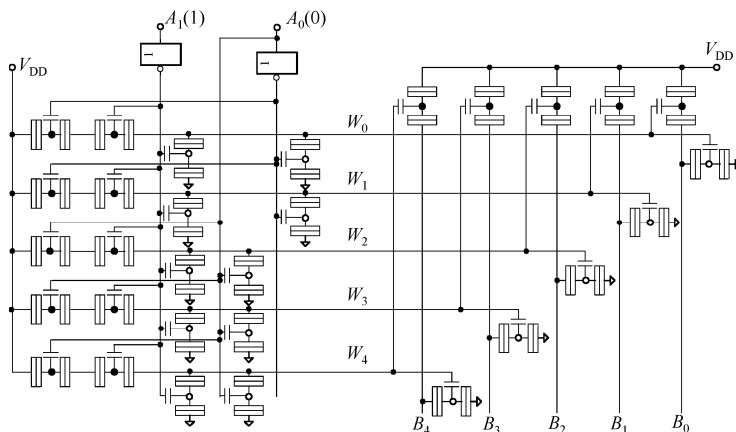


图 4.45 (c) 基于 SET 的 ROM3 电路结构

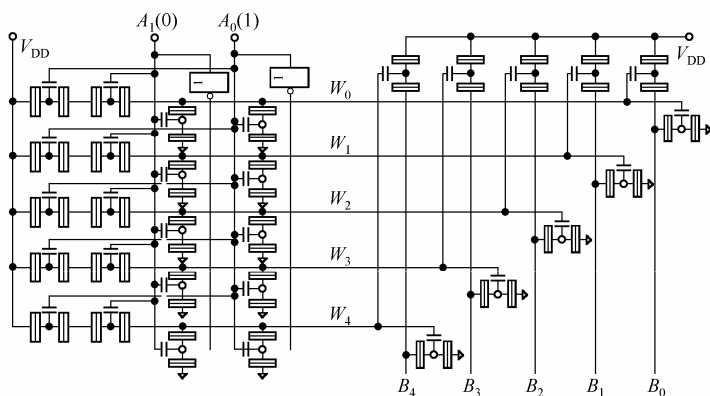


图 4.45 (d) 基于 SET 的 ROM4 电路结构

参 考 文 献

- [1] Likharev K K, Single-electron Devices and Their Applications. Proc. of the IEEE, Vol.87(4): Apr.1999, pp. 606-632.
- [2] Sung-Woo Jung, Bong-Hoon Lee, and Yoon-Ha Jeong, Digital Quantizer based on Single Electron Box for Multi-valued Logic Circuits. Proc. Of 2005 5th IEEE Conference on Nanotechnology ,Nagoya, Japan, July 2005.
- [3] Huang Jing, An Overview of Nanoscale Devices and Circuits. IEEE Design & Test of Computer, July 2007.
- [4] 杜磊, 庄弈琪. 纳米电子学. 北京: 电子工业出版社, 2004.11.
- [5] Wasshuber C. Computational Single electronics. New York: Springer-Verlag/Wien, 2001.

- [6] Krupenin V A, Lotkhov S V, and Presnov D E. Instability of single-electron memory at low temperature in AL/AL₂O₃/AL structures. J Exper Theoret. Phy, 1997, 84: 190-196.
- [7] Goldhaber-Gordon D, Michael S, Montemero J et al. Overview of nanoelectronic devices. Proceedings of the IEEE, 1997, 85(4): 521-540.
- [8] Roermund A, Hoekstra J, Design Philosophy for Nano-electronic Systems from SETs to Neural Nets, International Journal of Circuit Theory and Applications Int. J. Circ. Theor. Appl.2000, 28: 563-584.
- [9] Klunder R H and Hoekstra J, An Analytical Description for The Single Electron Current Regime of The Metal Single Electron Tunnel Transistor, SAFE/IEEE Workshop, 2001: 86-91.
- [10] Yasuo T, Akira F, Yukinori O, Katsumi M. Silicon Single-Electron Devices and Their Applications. IEEE Trans Electron Device, 2000, 13:176-179.
- [11] 许海霞. 单电子器件的 Monte Carlo 模拟. 武汉: 华中师范大学. 硕士学位论文, pp.17-20. 2005, 06.
- [12] Dasigenis M M, Karafyllidis I and Thanailakis A, A single-electron XOR gate, Microelectronics Journal, 2001(32):117-119.
- [13] Gelmont B L, Woolard D L. Quantum monte carlo simulation of the spectral density within single electron transistors. IEEE-NANO, 2002, 01: 115-117
- [14] Gelmont B, Woolard D and Williams R. Quantum Monte Carlo simulation of the single electron transistor conductance. IEEE-NANO, 2003, 01: 232-235.
- [15] 孙铁署, 蔡理, 陈学军. 单电子晶体管及仿真实现方法. 河北工程技术高等专科学校学报, 2003, 2: 1-4.
- [16] Yu Y S, Hwang S W, and Ahn D. Macromodeling of single-electron transistors for efficient circuit simulations. IEEE Trans on Electron Devices. 1999, 46(8):1667-1671.
- [17] Xiao Hui Wang, Wolfgang Porod. Single Electron Transistors analytic *I-V* model for SPICE simulations. Superlattices and Microstructures, 2000, 28: 345-349.
- [18] CHENG Jia, HU Chaohong, and JIANG Jianfei. SPICE implementation of a compact single electron tunneling transistor model, 2004 4th IEEE Conference on Nanotechnology, pp.392-395.
- [19] Yu Y S, Oh J H, Hwang S W. Equivalent circuit approach for single electron transistor model for efficient circuit simulation by SPICE. Electronics Letters, 2002, 38(16):850-852.
- [20] Yu Y S, Hwang S W and Ahn D, Transient modelling of single-electron transistors for efficient circuit simulation by SPICE, IEE Proc. Circuits Devices Syst., Vol. 152, No.6, December 2005, pp.691-696.
- [21] Yu Y S, Jung Y I. A SPICE compatible single electron transistor (SET) transient model. CD-P03, 1999, 403-406.
- [22] 孙铁署, 蔡理, 陈学军. 一种单电子晶体管的 SPICE 宏模型. 空军工程大学学报(自然科学

- 版), 2003, 4(6): 65-67.
- [23] Uchida K, Matsuzawa K, Koga J et al.. Analytical single-electron transistor (SET) model for design and analysis of realistic SET circuit. Jpn J Appl Phys, 2000, 39:2321-2324.
- [24] Kim D H, Sung S-K, Kim K R et al.. Single-electron transistors based on gate-induced Si island for single-electron logic application. IEEE Transactions on Nanotechnology, 2002, 1(4): 170-175.
- [25] 孙铁署, 蔡理, 陈学军. 单电子晶体管 I - V 特性数学建模. 微电子学与计算机, 2003, 20(9): 76-78.
- [26] 孙铁署, 蔡理, 陈学军. 单电子晶体管 I - V 特性数学建模及逻辑应用. 微电子学, 2004, 34(3): 269-272.
- [27] Mahapatra S, Ionescu A M, and Banerjee K, A Quasi-Analytical SET model for few electron circuit simulation, IEEE Electron Device Lett., Vol.23 (6), pp.366-368, June 2002.
- [28] Mahapatra S, Ionescu A M, and Banerjee K, Quasi-Analytical modeling of Drain Current and Conductance of Single Electron Transistors with MIB, ESSDERC 2002.
- [29] Mahapatra S, Vaibhav Vaish, Christoph Wasshuber et al. Analytical Modeling of Single Electron Transistor for Hybrid CMOS-SET Analog IC Design, VOL.51, NO. 11 pp.1772-1781, 2004.
- [30] Geerligs L J, Anderegg V G, Holweg P A M et al. Frequency-locked turnstile device for single electrons, Phys. Rev. Lett., 1990 (64): 2691-2694.
- [31] 吴凡, 王太宏. 通过单电子泵实现对单电子运动的控制及其相图分析. 物理学报, 2003, Vol.52 (3): pp.696-702.
- [32] Likharev K K, Single-Electron Transistors: Electrostatic Analogs of the DC SQUIDS, IEEE Trans. On Magn., 1987. 23 (2): 1142-1145.
- [33] 赵录怀. 高阶对数域滤波器设计的一种新方法. 电工技术学报, 1996, 14(5): 27-30.
- [34] 邱关源. 现代电路理论. 高等教育出版社, 2001:15-81.
- [35] Make T Bohr, Nanotechnology Goal and Challenges for Electronic Applications, IEEE Transactions on nanotechnology, 2002; 1(1): 56-62.
- [36] 陈学军, 蔡理, 孙铁署. 单电子晶体管积分器及其性能分析. 固体电子学研究进展, 2004, 24(2): 178-182.
- [37] 陈学军, 蔡理, 孙铁署. 一种基于单电子晶体管的二阶低通滤波器. 微电子学, 2004, 34(6): 675-681.
- [38] 陈学军, 蔡理. 一种基于单电子晶体管的二阶带通滤波器. 青岛大学学报(工程技术版), 2004, 19 (2): 76-79.
- [39] 陈学军. 基于单电子晶体管的模拟滤波器设计及仿真实现. 西安: 空军工程大学硕士学位论文文, 2004, 3.
- [40] Chua L O, Yang L. Cellular neural networks: Theory, IEEE Trans. On Circuits and Syst., 1988,

- 35(10): 1257-1272.
- [41] Chua L O, Yang L. Cellular neural networks: Applications, IEEE Trans. On Circuits and Syst., 1988, 35(10): 1273-1290.
- [42] Goossens J, Ritskes J, Verhoeven C, van Roermund A. Learning single electron tunnelling neural nets. Proceedings of the Pro RISC Workshop on Circuits, Systems and Signal Proceeding, Vol.1, 1997: pp 179-186.
- [43] CNN Software Library (Templates and Algorithms) V7.2. Analogical and Neural Computing Laboratory, Computer and Automation Institute, Hungarian Academy of Sciences, 1998.
- [44] Gerousis C, Goodnick S M and Porod W, Toward nanoelectronic cellular neural networks. Int. J. Circ. Theor. Appl. 2000; 28: 523-535.
- [45] Hu C H, jiang J F, and Cai Q Y. Analog-to-Digital converter based on single-electron tunneling transistors. IEEE Trans. On VLSI Systems, Vol.12,11 2004: 1209-1213.
- [46] Ono Y, Takahashi Y, Nagase M, H.Namatsu, K.Kurihara, and K. Murase. Si complementary single-electron inverter. IEDM, Tech.Dig., 1999, 15: 367-370.
- [47] Hiroshi I, Akira F, and Yasuo T. A Multiple-Valued Logic and Memory With Combined Single-Electron and Metal-Oxide-Semiconductor Transistors. IEEE Trans Electron Device, 2003, 1-9.
- [48] Kim D H, Kim K R, and Sung S-K. Dynamic exclusive-OR gate based on gate-induced Si island single-electron transistor. Electronics letters, 2002, 38(11): 527-529.
- [49] Kim D H, Sung S K, and Kim K R et al. Silicon single-electron transistors with sidewall depletion gates and their application to dynamic single-electron transistor logic. IEEE Trans Electron Devices, 2002, 49: 627-635.
- [50] 孙铁署, 蔡理.一种基于互补型单电子晶体管全加器电路的研究. 电子器件, 2004, 28(2): 366-369.
- [51] Asahi N, Akazawa M, Amemiya Y. Binary-decision-diagram device. IEEE Trans. on electron devices. 1995, 42 (11): 1999-2003.
- [52] Asahi N, Akazawa M, Amemiya Y. Single-Electron Logic Device Based on the Binary Decision Diagram. IEEE Trans Electron Devices. 1997, 44 (7): 1109-1116.
- [53] Kasai S, Hasegawa H. GaAs and InGaAs single electron hexagonal nanowire circuits based on Binary Decision Diagram logic architecture. PHYSICA E, 2002, 13:925-929.
- [54] Kasai S, Hasegawa H. A single electron Binary-Decision-Diagram quantum logic circuit based on schottky wrap gate control of a GaAs nanowire hexagon.IEEE Electron device letters 2002, 23(8): 446-448.

- [55] Kasai S, Yumoto M, Hasegawa H. Fabrication of GaAs-based integrated half and full adders by novel hexagonal BDD quantum circuit approach. *Solid-state electronics*, 2003, 47:199-204.
- [56] 孙铁署, 蔡理, 马彦芬. 一种基于互补型单电子晶体管 D 触发器设计. *河北大学学报(自然科学版)*, 2004, 24(6): 652-656.
- [57] 孙劲鹏, 王太宏. 单电子存储器. *微纳电子技术*, 2002, 39 (8): pp.7-17, 30.
- [58] Christoph Wasshuber, Hans Kosina, and Siegfried Selberherr, A Comparative Study of Single-Electron Memories, *IEEE Trans. On electron devices*, Vol.45(11): 2365-2371, Nov.1998.
- [59] Korotkov A N, Chen R H, and Likharev K K, Possible performance of capacitively coupled single-electron transistors in digital circuits, *J. Appl. Phys.*, vol. 78, pp. 2520-2530, Aug. 1995.
- [60] Nakazato K and Ahmed H, Basic research on single-electron memory, *IEEE Tokyo Section Denshi*, no. 32, pp. 142-147, 1993.
- [61] Nakazato K and Ahmed H, The multiple-tunnel junction and its application to single-electron memory and logic circuits, *Jpn. J. Appl Phys.*, vol. 34, pp. 700-706, Feb. 1995.
- [62] Amakawa S, Fujishima M, and Hoh K, Dual-junction-array single electron trap, in *Electrochem. Soc. Meeting Abstr.*, Oct. 1996, vol. 96-2, p. 572.
- [63] Lent C S, Tougaw P D, and Porod W, A bistable quantum cell for cellular automata, in *Int. Workshop Computational Electronics*, May 1992, pp. 163-166.
- [64] 孙铁署, 蔡理. 基于单电子晶体管的数字滤波器硬件实现. *电路与系统学报*, 2006. 11 (6): 41-44.
- [65] 孙铁署. 基于单电子晶体管的数字电路及数字滤波器设计. 西安: 空军工程大学硕士学位论文, 2004, 3.

第 5 章 量子点器件

Lent 等人在 1993 年正式提出了量子元胞自动机(Quantum Cellular Automata, QCA)^[1,2]的概念,它是纳电子器件中一类重要的器件,具有体积小、无引线集成和功耗低等优点,其高度集成化远远超过目前大规模集成化的极限并达到海森伯不确定原理设定的极限,是将来极具竞争力的电子器件。本章将介绍 QCA 的结构、原理和特性,重点阐述其在数字和模拟电路方面的应用情况。

5.1 量子元胞自动机

5.1.1 量子元胞自动机的结构

Lent 等人提出的 QCA 是由隧道结、量子点和电子组成的。图 5.1 (a)所示为四个单电子隧道结构成的环,其角上是四个量子点(空心圆圈),若再包含另外的两个电子就构成了一个 QCA 元胞,如图 5.1 (b)所示,电子能够通过隧道结在元胞内的量子点间隧穿。

由于库仑排斥作用,两个电子易于占据对角线上的量子点,因此,单个元胞具有两个完全极化状态。一般用图 5.2 符号表示单个元胞的这两个状态。

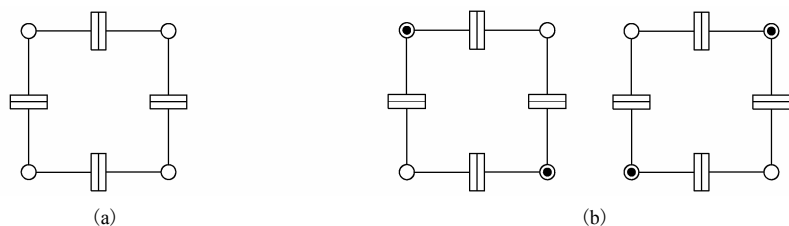


图 5.1 隧道结环实现的 QCA 元胞。(a)四个隧道结构成的环;(b) QCA 元胞的两个完全极化态

QCA 元胞还有其他的结构,例如它可由五个量子点组成^[2],如图 5.3 所示。其中一个量子点占据在中心位置,其余四个量子点仍在四个角上,电子既可在角上的量子点间隧穿,又可在角上与中心的量子点间隧穿。

近年来,又有学者提出带时钟控制的 QCA(clocked QCA)^[3],如图 5.4 所示。由图可见,这种元胞包含六个量子点,它有三种状态,如图 5.4 所示,分别表示“0”、“1”、“Null”三种状态,其中第三种状态为空状态,不表示任何信息。在带时钟控制的 QCA 上,左边的电子只能在左边的量子点间隧穿,右边的电子也只能在右边的

量子点间隧穿。元胞中间的两个量子点(图中所示较小的两个量子点)受时钟信号控制,当时钟信号使得这两个量子点的势能上升时,电子被吸引到中间的两个量子点上,元胞为“Null”状态,当时钟信号使得这两个量子点的势能下降时,电子被从中间的两个量子点向外排斥,它根据周围的元胞状态而决定进入“0”状态或“1”状态,当时钟信号使得中间的两个量子点的势能下降到最低时,电子会保持“0”状态或“1”状态不变而不会受周围元胞状态的影响而改变。

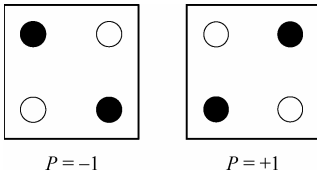


图 5.2 QCA 元胞的两个极化态符号

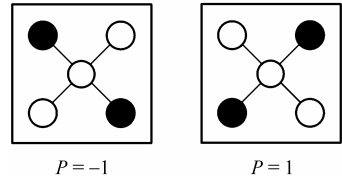


图 5.3 五个量子点的 QCA 元胞

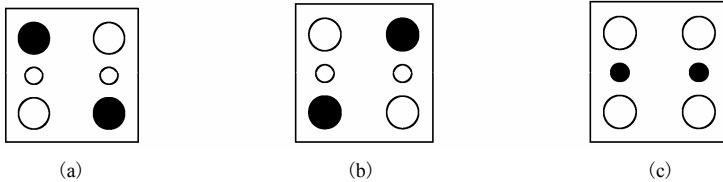


图 5.4 带时钟控制的 QCA 元胞

目前QCA的实现有三种方法:利用栅极和绝缘层形成的QCA、利用金属点和隧道结形成的QCA、利用高分子材料形成的QCA^[4]。

5.1.2 量子元胞自动机的原理

对于孤立的QCA元胞,在其稳定态时,它的两个电子具有相反的自旋,可用哈伯德型哈密顿函数(Hubbard-type Hamiltonian Function)来描述单个QCA元胞的数学模型^[5]。

$$H_0^{\text{cell}} = \sum_{i,\sigma} E_0 n_{i,\sigma} + \sum_{i,j,\sigma} t_{i,j} (a_{i,\sigma}^+ a_{j,\sigma} + a_{j,\sigma}^+ a_{i,\sigma}) + \sum_i E_Q n_{i,\uparrow} n_{i,\downarrow} + \sum_{i>j,\sigma,\sigma'} V_Q \frac{n_{i,\sigma} n_{j,\sigma'}}{|r_i - r_j|} \quad (5.1)$$

这里 $a_{i,\sigma}^+ (a_{i,\sigma})$ 为产生(湮灭)算符,表示在位置 i 处产生(湮灭)一个自旋为 σ 的电子, $n_{i,\sigma} = a_{i,\sigma}^+ a_{i,\sigma}$ 表示在位置 i 电子自旋为 σ 的粒子数算符。式(5.1)右边第一项为单点能,其中假设 E_0 为能量零点;第二项描述元胞内最近邻量子点间的电子隧穿;第三项是哈伯德能;最后一项表示元胞内不同量子点间库仑力相互作用能,其中 $V_Q = e^2 / (4\pi\epsilon_0\epsilon_r)$, r_i, r_j 分别为量子点 i 和 j 中心的位置。可定义元胞的极化率如下:

$$P = \frac{(\rho_1 + \rho_3) - (\rho_2 + \rho_4)}{\rho_1 + \rho_2 + \rho_3 + \rho_4} \quad (5.2)$$

其中 ρ_i 表示在位置 i 处的电子平均电量，它可通过计算位置 i 处的总粒子数算符 $n_i = n_{i,\uparrow} + n_{i,\downarrow}$ 的期望值得到。

$$\rho_i = -e \langle n_i \rangle \quad (5.3)$$

5.1.3 量子元胞自动机的特性

QCA 元胞有两个主要特性：非线性特性和双稳态特性。对于 QCA 的应用，无论是在数字电路还是在细胞神经网络中都是运用它的这两个特性。由于在由 QCA 构成的电路中，其携带的信息是通过元胞的极化率 P 表征的，这里给出一个 QCA 元胞的极化率 P_1 在另一个 QCA 元胞的极化率 P_2 的影响下其响应特性曲线（假定元胞 2 的极化率为事先给定的，不受元胞 1 的极化率的影响）。由于这时元胞 1 已不再是孤立的元胞，描述其状态的哈密顿函数可表示为孤立元胞的哈密顿函数与元胞 2 对元胞 1 的扰动之和^[6]。

$$H^{\text{cell}} = H_0^{\text{cell}} + H_{12}^{\text{cell}} \quad (5.4)$$

其中

$$H_{12}^{\text{cell}} = \sum_{i,j,\sigma} V_Q \frac{\rho_{2,j} - \tilde{\rho}}{|R_{2,j} - R_{1,j}|} n_{i,\sigma} \quad (5.5)$$

表示元胞 2 对元胞 1 的扰动。这里 $R_{m,j}$ 表示元胞 m 上的量子点 j 的坐标， $\rho_{2,j}$ 表示元胞 2 上位置 j 处的电荷量， $\tilde{\rho}$ 为固定在元胞中每个量子点上的正电荷电量，在四个量子点结构的 QCA 元胞中， $\tilde{\rho} = 0.5e$ ，目的是为了保持 QCA 元胞的电中性。元胞 2 的极化率 P_2 可在 -1 到 1 范围内任意改变，通过给定的 P_2 计算相应的 P_1 ，结果如图 5.5 所示。

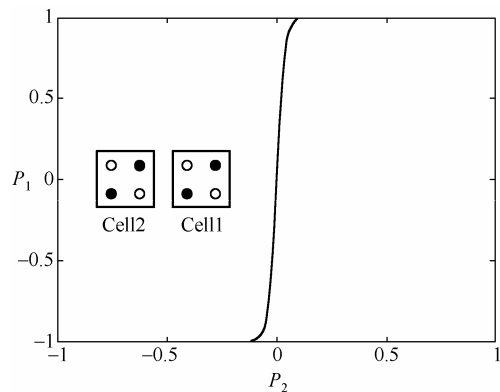


图 5.5 元胞间极化率的响应函数

由图 5.5 可以看出，即使元胞 2 的极化率较小时也能导致元胞 1 几乎完全极化。元胞间极化率的响应函数具有非常高的非线性特性和双稳态特性。这将有利于 QCA 元胞在数字电路和细胞神经网络中的应用。

5.2 量子元胞自动机基本电路

由于 QCA 元胞的双稳态特性，可利用元胞的线形排列有效地传递二进制信息，构造各种基本逻辑电路^[5]。图 5.6 给出了各种 QCA 基本逻辑电路，其中图 5.6(a)中给出一个 QCA 线，图中黑色宽边的元胞表示输入，其状态在电路的运算过程中固定不变。其余元胞表示自由元胞，其状态随着输入元胞极化率的改变而改变。图 5.6(b)给出了 QCA 拐角，图 5.6(c)给出了反相器。图 5.6(d)表示的是一个 QCA 的基本逻辑器件，称为择多逻辑门。它有三个输入端，分别标记为 A, B, C 。此器件的逻辑表达式为： $F = BC + AC + AB$ 。

特别地，如果将其中一个输入端固定为“0”或“1”状态，则择多逻辑门可实现“与”和“或”的功能。如将输入端 C 固定为“0”状态，此时输出为 $F = AB$ ，实现“与”逻辑，如将输入端固定为“1”状态，此时输出为 $F = A + B$ ，实现“或”逻辑。

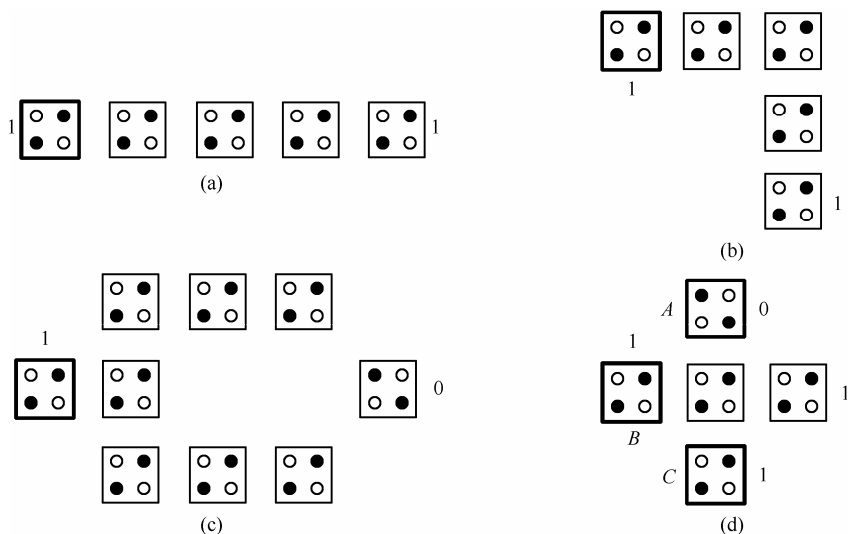


图 5.6 QCA 基本电路。(a)线；(b)拐角；(c)反相器；(d)择多逻辑门

由于 QCA 电路是直接通过 QCA 元胞来传递信号，不可避免地要涉及到导线交叉的问题。目前，QCA 有两种方式来实现导线交叉^[7]：共面导线交叉和不共面导线交叉，分别如图 5.7(a)和图 5.7(b)所示。对于共面导线交叉是在同一平面上传递不同信号，它通过将 QCA 元胞旋转 45° 来实现，此时这两种元胞各自传递信息互不干扰。对于不共面导线交叉是采用多层布局，使得其中一条 QCA 线在交叉处进入另一层面传递信号，从而使得信号的传递互不干扰。

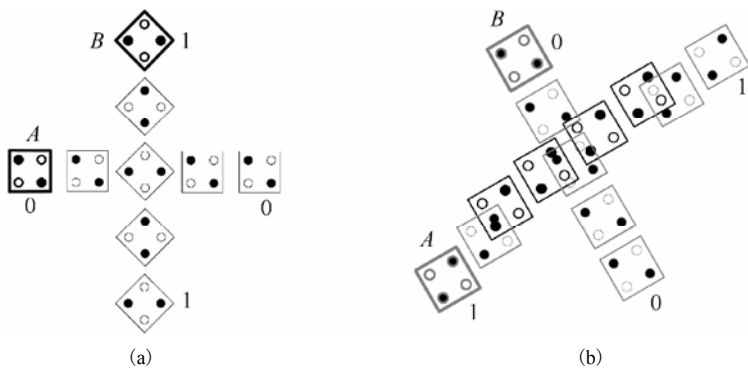


图 5.7 导线交叉。(a)共面导线交叉；(b)不共面导线交叉

5.3 量子元胞自动机的仿真方法

目前, 关于 QCA 电路的仿真方法主要有 5 种, 分别是元胞间哈特里逼近法 (InterCellular Hartree Approximation, ICHA)^[2]、模拟退火法^[8]、遗传模拟退火法^[9]、QCADesigner 软件仿真^[10]以及 SPICE 模型仿真^[11]。

5.3.1 元胞间哈特里逼近法

元胞间哈特里逼近法 (intercellular Hartree approximation, ICHA) 是基于哈密顿函数和 Schrödinger 方程反复计算每个元胞的哈特里型能量, 直到系统收敛, 从而得出 QCA 系统的最终状态。

对于由多个 QCA 组成的系统, 假设 Ψ_0^m 为第 m 个元胞的基态波函数。任意给定每个元胞的量子点上的电子分布密度, 用式 (5.6) 来计算由于其他元胞上的电子导致的元胞 m 上的势能。

$$V_i^m = \sum_{k \neq m, j} V_Q \frac{(\rho_j^k - \tilde{\rho})}{|R_{k,j} - R_{m,i}|} \quad (5.6)$$

其中 $R_{k,j}$ 表示元胞 k 上量子点 j 的位置, ρ_j^k 表示元胞 k 上量子点 j 处的电荷密度。关于元胞 k , 其他元胞对它的扰动可表示为:

$$H_k^{\text{cell}} = \sum_{i \in \text{cell}} V_i^k n_{i,\sigma} \quad (5.7)$$

对元胞 k , 可通过解它的薛定谔 (Schrödinger) 方程获得其基态本征方程:

$$(H_0^{\text{cell}} + H_k^{\text{cell}}) |\Psi_0^k\rangle = E_0^k |\Psi_0^k\rangle \quad (5.8)$$

从其基态本征方程可得出量子点上的电荷密度:

$$\rho_j^k = \sum_{\sigma} \langle \Psi_0^k | n_{j,\sigma} | \Psi_0^k \rangle \quad (5.9)$$

再将 ρ_j^k 代入到式 (5.6) 中, 重复上述过程直到 ρ_j^k 收敛时停止。当知道每个元胞的 ρ_j^k 时, 也就知道了 QCA 系统的状态了。

5.3.2 模拟退火法

模拟退火法是基于 QCA 元胞半经典模型的一种仿真方法^[8]。在半经典模型中, QCA 元胞中的电子被看做经典力学中的粒子, 能够排列在 QCA 元胞的四个量子点上, QCA 元胞具有的唯一非经典力学的特性就是电子能够在同一元胞中的隧道结间隧穿。两个电子在 QCA 元胞上的位置排列共有六种可能状态, 如图 5.8 所示 (这里不考

虑两个电子在同一量子点上的情况，因为在半经典模型下，电子被看成点电荷，量子点被看成无体积的点，此时如果两电子在同一量子点上时能量将为无穷大）。

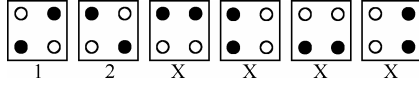


图 5.8 四个量子点的元胞上两个电子的六种可能排列

图5.8中，第一种和第二种状态分别以“1”和“2”表示，用来表示二进制信息中的“1”和“0”，后四种状态定义为“X”不表示任何信息。通过在每个量子点上固定 $\rho = e/2$ 的正电荷来使整个元胞为电中性的，这样可避免单极子电场的影响。对于半经典模型的 QCA 系统，总的静电能为：

$$E = \sum_{i \neq j} \frac{q_i q_j}{4\pi\epsilon_0\epsilon_r r_{ij}} \quad (5.10)$$

这里 q_i 是第 i 个量子点的电荷量， r_{ij} 是量子点 i 和量子点 j 间的距离， ϵ_0 为真空介电常数， ϵ_r 为介质的相对介电常数。通过重复计算电子在元胞上的所有可能的排列组合（如果电路有 N 个元胞，则共有 6^N 种可能）时的总静电能，得到总静电能最小的那种排列就是 QCA 电路的最终状态。当然，对于大规模电路，遍取每一种排列将由于运算量的急剧增加而变得不可能（每增加一个元胞，运算量将增加六倍）。可采取模拟退火法技术来减少运算量并达到求解总静电能最小值的目的。

首先，随机选择一种排列作为系统的初始状态，假设在初始温度 T_0 时的能量为 E_0 ， E_a 为当前状态时的系统能量，开始时有 $E_a = E_0$ 。然后通过随机把其中的一个电子移到同一元胞中的另一个未被电子占领的量子点上，计算在这一新状态时的能量 E_{new} ，再接着计算由原状态向新状态进化的概率 P_{new} ：

$$P_{\text{new}} = \begin{cases} 1 & \text{若 } E_{\text{new}} \leq E_a \\ \exp[-(E_{\text{new}} - E_a)/kT] & \text{若 } E_{\text{new}} > E_a \end{cases} \quad (5.11)$$

第一项表示允许系统沿着能量降低的方向演化，第二项保证阻止系统进入对应于局部最小的亚稳态。上述过程重复进行并将温度从 T_0 开始逐渐降低，最终会达到总静电能最小值，即 QCA 系统的最终状态。

由于在计算的过程中, 只涉及到新、旧两个能量的差值, 所以在计算能量 E 时可将其中的常数项 $4\pi\epsilon_0\epsilon_r$ 去除。另外, 在采取模拟退火法技术过程中每次转移只移动一个电子, 所以在计算能量时不必穷举系统中任意两个量子点间的静电能, 而只需计算有电子转移的两个量子点与其他所有量子点间的静电能, 这不会影响整个程序给出正确的结果, 却会大大减少整个程序的运算量。

5.3.3 遗传模拟退火法^[9]

遗传模拟退火法也是基于 QCA 的半经典模型来仿真 QCA 电路的^[9]。两个电子在 QCA 元胞上的位置排列共有六种可能状态, 如图 5.9 所示。

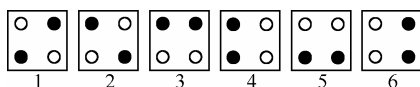


图 5.9 四个量子点的元胞上两个电子的六种可能排列

在图5.9中, 分别以“1”到“6”来表示六种状态, 但只有第一种和第二种状态用来表示二进制信息中的“1”和“0”, 后四种状态不表示任何信息。通过在每个量子点上固定 $\rho = e/2$ 的正电荷来使整个元胞为电中性, 这样可避免单极子电场的影响。

在遗传模拟退火法中, 系统的总静电能如式 (5.10) 所示, 总静电能最小所对应的那种电子排列就是 QCA 电路的最终状态。这样对于 QCA 系统的仿真就转化为求系统总静电能的全局最小值。

由于一个 QCA 元胞共有六种状态, 可采用六进制编码, 即用“1”到“6”来表述 QCA 元胞的六种状态(参见图 5.6)。这样做的好处是可避免解码过程, 另外与二进制编码相比, 可减少计算量和存储量, 缩短计算时间。

由于对 QCA 系统的仿真最后归结为求 QCA 系统总静电能的最小值, 而遗传模拟退火算法是求解全局最大值, 因此可将总静电能进行适当的变形后用做适应函数。这里借用了模拟退火算法中的加速适应函数, 定义适应函数为:

$$f_i(t_k) = \exp \left\{ \frac{f(i) - f_{\max}}{t_k} \right\} \quad (5.12)$$

其中, $f(i) = -E(i)$, $E(i)$ 为群体中第 i 条染色体(QCA 系统的一种状态)的总静电能,

f_{\max} 为 $f(i)$ 的最大值, t_k 为此时的温度。

对于新种群的选择是按式 (5.12) 定义的适应函数决定的概率分布以轮盘赌形式确定。交叉采用变化交配法, 也即对于父代 A、B 从头开始比较它们相同的基因 (QCA 系统中的一个元胞), 从不同基因位置随机选择交配位, 如图 5.10 所示。

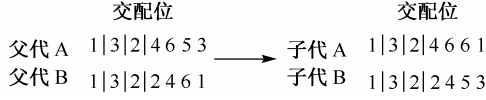


图 5.10 变化交配法交配规则

图 5.10 中, 父代 A、B 的 1 到 3 位都相同, 交配位只能在 4 到 7 位之间随机选择, 在此图中假设选择第 6 位, 交配结果如图 5.10 所示。变异采用赋予群体中每一个基因一个相同的变异概率, 由于采用的是六进制编码, 因此无论怎样交叉都会在染色体的某些位上得不到某些基因的概率会比二进制编码时要大。因此选择的变异概率相对较大, 在本文中变异概率 $P_{\text{mut}} = 0.01$ 。

退温函数采用线形函数, 即 $t_{k+1} = \alpha t_k, k \geq 0$, 其中 α 小于但接近于 1, 例如, 可设 $\alpha = 0.95$ 。在这里设定一个最大的遗传代数 MAXGEN, 当迭代代数达到 MAXGEN 时停止, 以此作为该算法的中止规则。

基于 QCA 半经典模型的遗传模拟退火算法流程如下:

STEPT1 给定群体规模 maxpop, 遗传代数 $k=0$, 初始温度 $t_k = t_0$, 群体 pop(k);

STEPT2 若 $k = \text{MAXGEN}$, 停止计算; 否则, 在群体 pop(k) 中每一个染色体 $i \in \text{pop}(k)$ 的邻域中随机选择一个状态 $j \in N(i)$, 按模拟退火中的接受概率 $A_{ij} = \min\{1, \exp[(f(j) - f(i))/t_k]\}$ 接受或拒绝 j , 这一阶段共需 maxpop 次迭代选出新群体 newpop1($k+1$);

STEPT3 在 newpop1($k+1$) 中计算适应函数, 由适应函数决定的概率分布从 newpop1($k+1$) 中随机选 maxpop 个染色体形成新种群 newpop2($k+1$);

STEPT4 按遗传算法的变化交配法进行交配得到 crosspop($k+1$); 再变异得到 mutpop($k+1$);

STEPT5 $t_{k+1} = \alpha t_k$, $k = k+1$, pop(k) = mutpop(k), 返回 STEPT2。

为了验证所提算法的正确性, 将上述算法用于 QCA 基本逻辑电路的仿真, 其仿真结果如图 5.11 所示。

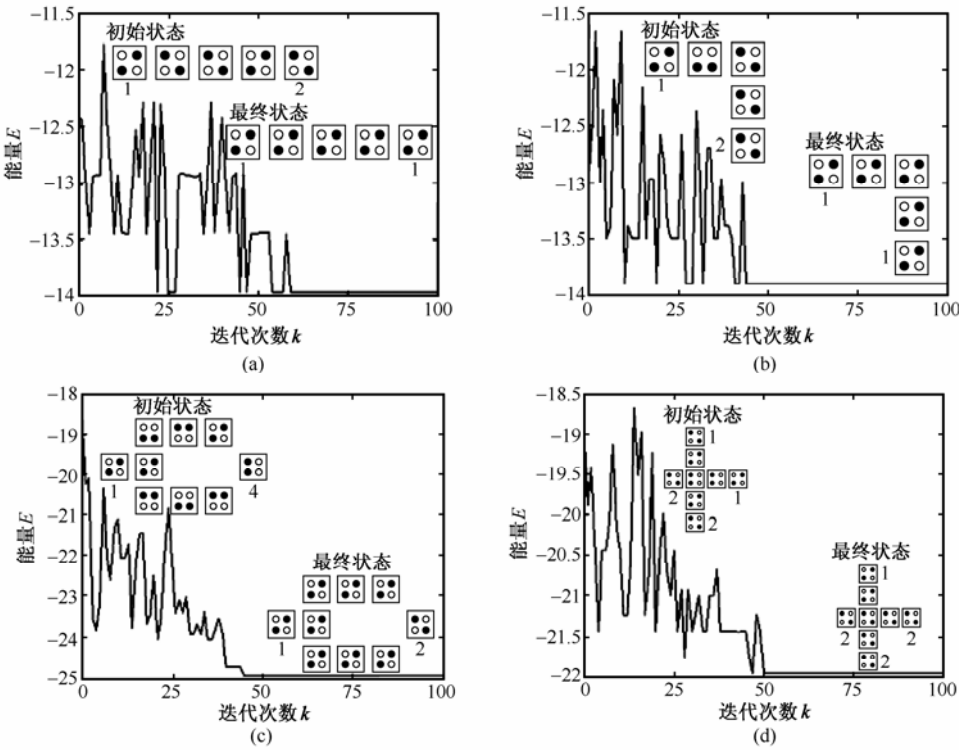


图 5.11 基本逻辑电路。(a)线；(b)拐角；(c)反相器；(d)择多逻辑门

图5.11中，能量 E 不是 QCA 系统的精确值，而只是没有考虑介电常数时的相对值。仿真过程中，maxpop 设为 20，初始温度为 20 K，最大的遗传代数 MAXGEN 为 100。限于篇幅，对于每一种电路仅给出所有可能输入中的一种，对于其他可能的输入通过仿真也得到了正确的仿真结果。

现在，将遗传模拟退火法与Macucci等人提出的模拟退火法^[8]对以上四种电路仿真得到仿真结果的正确率进行比较，结果如表 5.1 所示。

再以由 QCA 构成的连线为例，将遗传模拟退火法与模拟退火法运行时间进行比较，如图 5.12 所示。

表 5.1 遗传模拟退火法与模拟退火法仿真正确率的比较

基本逻辑电路	遗传模拟退火法仿真正确率	模拟退火法仿真正确率
线	1	1
拐角	0.9	0.85
反相器	0.8	0.7
择多逻辑门	0.85	0.8

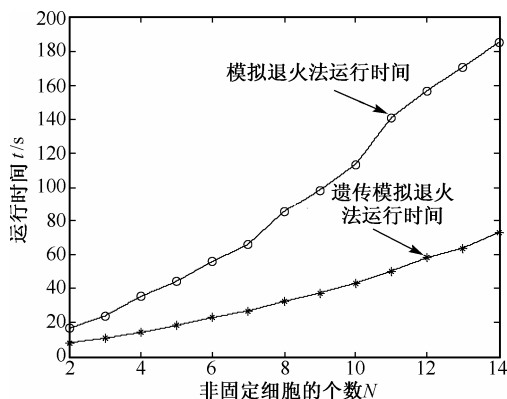


图 5.12 两种算法运行时间对照图

在用遗传模拟退火法对 QCA 连线进行仿真的过程中, \maxpop 设为 20, 初始温度为 20 K, 遗传代数 MAXGEN 为 100; 模拟退火法的初始温度也为 20 K。由图 5.12 可得出遗传模拟退火法在对 QCA 电路的仿真时间上远远小于模拟退火法, 所用运行时间不到模拟退火法的一半。对于该图中两曲线进行一次线性拟合发现模拟退火法运行时间曲线的斜率为 14.66 秒/个, 而遗传模拟退火法运行时间曲线的斜率仅为 5.35 秒/个, 可见随着电路规模的增大, 遗传模拟退火法运行时间的增长要远远小于模拟退火法运行时间的增长, 其增长率只有模拟退火法的 $1/3$ 左右, 这将有利益于大规模 QCA 电路的仿真。

由上述仿真结果可见: 有机结合具有概率突变特性的模拟退火和群体并行搜索的遗传算法的遗传模拟退火算法能有效地仿真 QCA 电路; 不仅在仿真结果的正确率上优于模拟退火法, 而且在仿真时间上也远小于模拟退火法。

另外, 为了提高仿真结果的正确率, 可重复对电路运用遗传模拟退火法, 记录每一次得到的最大值, 然后将这些最大值进行比较, 找出其中的最大值, 它所对应的群体中的染色体就是仿真的最终结果。假设一次仿真的正确率为 P , 则重复 n 次后所得结果的正确率就可达到 $1 - (1 - P)^n$ 。

5.3.4 QCADesigner 软件仿真

QCADesigner 是 Walus 等人提出了一种基于 QCA 的设计、仿真软件^[10], 它是一种 QCA 电路设计、仿真软件, 可让电路设计者对电路进行布局, 并可对所设计的电路进行仿真验证。其仿真可采用三种手段: 数字式仿真、非线性逼近仿真、双稳态仿真。

数字式仿真是基于 QCADesigner 的二进制逻辑仿真器进行的, 此时每个元胞处在三个状态(空状态、逻辑“0”、逻辑“1”)中的一个状态, 这是一种快速的近似仿真方法。

非线性逼近仿真是基于元胞间的非线性响应函数(如图5.5所示)用非线性曲线来拟合这一响应函数。此时元胞的极化率为:

$$P_i = \left(\frac{E_{i,j}^k}{2\gamma} \sum_j P_j \right) / \sqrt{1 + \left(\frac{E_{i,j}^k}{2\gamma} \sum_j P_j \right)} \quad (5.13)$$

其中 P_i 是要计算元胞的极化率, P_j 是邻近元胞的极化率。

$$E_{i,j}^k = \frac{1}{4\pi\epsilon_0\epsilon_r} \frac{q_i q_j}{|r_i - r_j|} \quad (5.14)$$

是元胞 i 和元胞 j 间的纽结能(Kink Energy), 它表示具有相反极化率元胞间的能耗。 ϵ_0 是真空中介电常数, ϵ_r 是材料的相对介电常数, q 是电子电荷, r 是量子点的坐标。 γ 是隧道势能, 用来对电路进行控制。

双稳态仿真是假设每个元胞是一个简单的两态系统, 对这个两态系统可用下面的哈密顿函数来表示:

$$H_i = \sum_j \begin{bmatrix} -\frac{1}{2} P_j E_{i,j}^k & -\gamma_i \\ -\gamma_i & \frac{1}{2} P_j E_{i,j}^k \end{bmatrix} \quad (5.15)$$

其中 γ_i 是元胞 i 的隧道势能。通过解时不变的 Schrödinger 方程可得每个元胞的静态状态。

在这三种仿真手段中, 数字式仿真是最为快速的一种仿真方法, 但精确度不高, 双稳态仿真精确度最高, 但仿真时间最长, 非线性逼近仿真在精确度和仿真时长都居中。

5.3.5 SPICE模型仿真

SPICE 模型仿真主要是将 QCA 元胞表示成 SPICE 模型, 最后借助 SPICE 软件来仿真 QCA 电路^[1], 如图 5.13 所示。

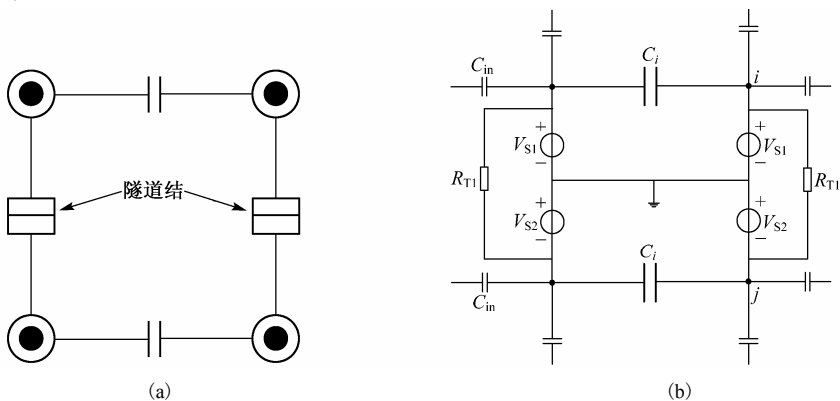


图 5.13 (a)两个隧道结实现的 QCA; (b)QCA 元胞的 SPICE 模型

在图 5.13 (b)中, C_{in} 表示元胞间的电容, C_i 表示元胞内两个量子点间的电容, R_{T1} 表示隧穿电阻, $V_{S1} = V_{S2} = (V_i - V_j)/2$ 。这里有

$$V_i = P_{i=1,j=0} V_{i=1} + P_{i=0,j=1} V_{i=0} \quad (5.16)$$

$$V_j = P_{i=0,j=1} V_{i=1} + P_{i=1,j=0} V_{i=0} \quad (5.17)$$

其中, $V_{i=1}$ 表示结点 i 有一个电子时的电压, 而 $V_{i=0}$ 表示结点 i 没有电子时的电压; $P_{i=a,j=b}$ 表示当结点 j 保持有 b 个电子时, 结点 i 具有 a 个电子的概率 (a, b 可以是 0 或 1), 即

$$P_{i=1,j=0} = \frac{\Gamma_{j \rightarrow i}}{\Gamma_{j \rightarrow i} + \Gamma_{i \rightarrow j}} \quad (5.18)$$

$$P_{i=0,j=1} = \frac{\Gamma_{i \rightarrow j}}{\Gamma_{j \rightarrow i} + \Gamma_{i \rightarrow j}} \quad (5.19)$$

$\Gamma_{j \rightarrow i}$ 表示电子从岛 j 向岛 i 隧穿的隧穿概率。

元胞的状态通过结点 i 和结点 j 处的电压来判断。当元胞的极化率为“0”时, V_i 为负的而 V_j 为正的, 当元胞的极化率为“1”时, 则 V_i 为正而 V_j 为负, V_i 与 V_j 的符号始终相反。

5.4 量子细胞神经网络及其应用

国外有学者以薛定谔 (Schrödinger) 方程为基础利用 CNN^[12] 的结构用 QCA 构造了元胞局部耦合的网络, 即所谓的量子细胞神经网络 (Quantum Cellular Neural Network, QCNN)^[13]。它融合了 QCA 和 CNN 的优点, 具有超高集成密度、超低功耗, 可对信号进行实时处理以及并行计算等特点, 在大规模信号处理上是一种崭新的结构。

对于 QCNN 的研究已成为当前纳电子领域的一个研究热点和前沿。Porod 在 1997 年和 1998 年对 QCNN 的数学模型进行了研究, 提出了 QCNN 的等效电路模型^[14, 4]; Csurgay 等人在 2000 年对由时变元胞构成的 QCNN 在信号处理方面的应用进行了研究^[15-18]; Tsai 等人在 2002 年提出了双层 QCNN 的结构, 并将其成功运用到边缘检测和特征点提取上^[19,20]; Fortuna 和 Bucolo 等人对两个元胞耦合而成的 QCNN 的非线性特性进行了分析, 得出该系统可产生混沌行为, 并在 2003 年提出以这两元胞 QCNN 为基本单元, 进行信息交换方面的应用^[21-23]。

5.4.1 量子细胞神经网络的机理

以薛定谔方程为基础的 QCNN 量子点元胞运动的量子力学方程, 也表现出与

CNN 动力学特性相类似的形式。

在 QCNN 中, 如果将互相作用的量子元胞的每一状态看做一个 QCA, 就必须假设两点: (1) 量子元胞之间不存在隧道效应; (2) 每个元胞的极化率仅由其邻近元胞的库仑相互作用来确定。在一个 QCA 中的每个量子点上的电子密度用 ρ_i 表示, 则可以定义量子点元胞的极化率 P 为^[13]

$$P \equiv \frac{(\rho_1 + \rho_3) - (\rho_2 + \rho_4)}{\rho_1 + \rho_2 + \rho_3 + \rho_4} \quad (5.20)$$

每个元胞极化率的变化是受其邻近元胞极化率的影响, 有一个变化的过程^[8], 因此, 极化率 P 可看做在 -1 和 +1 之间连续变化。若一个元胞的两个完全极化态用两个基态 $|\phi_1\rangle$ 和 $|\phi_2\rangle$ 表示, 则此元胞的量子状态可通过这两个基态的线性组合来描述^[4], 即为

$$|\Psi\rangle = \alpha|\phi_1\rangle + \beta|\phi_2\rangle = [\alpha \quad \beta]^T \quad (5.21)$$

其中 α 和 β 是复数, 为量子力学的幅值。通常可将 α 看做实数, 而 $\beta = |\beta|e^{j\varphi}$ (φ 是 β 的量子相位), 则上述由式 (5.20) 定义的极化率 P 可写为:

$$P = |\alpha|^2 - |\beta|^2 \quad (5.22)$$

由于单个 QCA 元胞的极化率 P 构成宏观自由度, 因此, 可将它作为一个状态变量, 而量子相位 φ 可作为另一个状态变量, 用这两个状态变量可完整地描述一个 QCA 元胞的状态。

在 QCNN 中, 第 k 个元胞 (即单个 QCA) 的动力学特性可由以下的薛定谔方程来描述:

$$j\hbar \frac{\partial}{\partial t} |\psi_k\rangle = \mathbf{H}_k |\psi_k\rangle \quad (5.23)$$

式中, \hbar 为约化普朗克常数, 而 \mathbf{H}_k 表示第 k 个元胞的哈密顿量, 它可以写为

$$\mathbf{H}_k = \begin{bmatrix} E_0 - \frac{1}{2}E_k \bar{P}_k & -\gamma \\ -\gamma & E_0 + \frac{1}{2}E_k \bar{P}_k \end{bmatrix} \quad (5.24)$$

其中 γ 是量子点间的隧道效应能量, E_k 为两个相邻元胞静电能量的损耗, 且这两个相邻元胞具有完全极化的相反极化率, \bar{P}_k 则是考虑局部相邻元胞互连的影响。若将单个元胞的极化率 P 作为状态变量, 量子相位 φ 也作为状态变量, 可将上述 QCNN 中的量子力学描述转换为类似 CNN 形式的描述。为此, 采用归一化条件

$$|\alpha|^2 + |\beta|^2 = 1 \quad (5.25)$$

式(5.23)中的 $|\psi_k\rangle$ 可写为

$$|\psi_k\rangle = [\alpha|\beta|e^{j\omega}]^T \quad (5.26)$$

由式(5.22)和式(5.25), 可将 α 和 $|\beta|$ 表示为极化率 P 的函数

$$\begin{cases} \alpha = \sqrt{(1+P_k)/2} \\ |\beta| = \sqrt{(1-P_k)/2} \end{cases} \quad (5.27)$$

将式(5.27)代入到式(5.26)中, 然后再代入到式(5.23)中, 可得

$$\begin{cases} \hbar \frac{dP_k}{dt} = -2\gamma\sqrt{1-P_k^2} \sin \varphi_k \\ \hbar \frac{d\varphi_k}{dt} = -E_k \bar{P}_k + 2\gamma \frac{P_k}{\sqrt{1-P_k^2}} \cos \varphi_k \end{cases} \quad (5.28)$$

式(5.28)即为构成 QCNN 第 k 个元胞的状态方程。其中 \bar{P}_k 为邻近元胞极化率的加权代数和^[15]。由于该方程式中不存在外部输入, 所以, 它是一个自治的 QCNN。

5.4.2 量子细胞神经网络的非线性特性^[24-25]

由非线性动态电路理论可推知, 至少由两个以上元胞耦合构成的 QCNN 才可能出现混沌。对于三个元胞 QCNN 中的每个元胞, 仍以极化率 P_k 和量子相位 φ_k 作为状态变量, 则由式(5.28), 可推得描述此模型的方程为^[24]

$$\begin{aligned} \frac{dP_1}{dt} &= -2b_1\sqrt{1-P_1^2} \sin \varphi_1 \\ \frac{d\varphi_1}{dt} &= -w_1(P_1 - P_2 - P_3) + 2b_1 \frac{P_1}{\sqrt{1-P_1^2}} \cos \varphi_1 \\ \frac{dP_2}{dt} &= -2b_2\sqrt{1-P_2^2} \sin \varphi_2 \\ \frac{d\varphi_2}{dt} &= -w_2(P_2 - P_1 - P_3) + 2b_2 \frac{P_2}{\sqrt{1-P_2^2}} \cos \varphi_2 \\ \frac{dP_3}{dt} &= -2b_3\sqrt{1-P_3^2} \sin \varphi_3 \\ \frac{d\varphi_3}{dt} &= -w_3(P_3 - P_1 - P_2) + 2b_3 \frac{P_3}{\sqrt{1-P_3^2}} \cos \varphi_3 \end{aligned} \quad (5.29)$$

其中, b_1, b_2 和 b_3 与每个元胞内量子点间的隧道效应能量 γ 成正比, 若元胞均相同, 则有 $b_1 = b_2 = b_3$ 。而 w_1, w_2 和 w_3 表示对相邻元胞极化率之差的加权影响, 相当于传统 CNN 中的 A 模板。

1. QCNN的平衡点分析^[25]

下面的数值仿真是基于式(5.29)的六阶微分方程进行的, 参数选取的范围为:

$$b_i > 0, (i=1, 2, 3), \quad w_i > 0, (i=1, 2, 3)$$

对于三元胞耦合的 QCNN 系统, 其平衡点可由下式得出:

$$\begin{aligned} -2b_1\sqrt{1-P_1^2}\sin\varphi_1 &= 0 \\ -2b_2\sqrt{1-P_2^2}\sin\varphi_2 &= 0 \\ -2b_3\sqrt{1-P_3^2}\sin\varphi_3 &= 0 \\ -w_1(P_1-P_2-P_3)+2b_1\frac{P_1}{\sqrt{1-P_1^2}}\cos\varphi_1 &= 0 \\ -w_2(P_2-P_1-P_3)+2b_2\frac{P_2}{\sqrt{1-P_2^2}}\cos\varphi_2 &= 0 \\ -w_3(P_3-P_2-P_1)+2b_3\frac{P_3}{\sqrt{1-P_3^2}}\cos\varphi_3 &= 0 \end{aligned} \quad (5.30)$$

当 $\varphi_1, \varphi_2, \varphi_3 \in [0, \pi)$ 时, 平衡点 $[P_1, P_2, P_3, \varphi_1, \varphi_2, \varphi_3]$ 的形式为 $[P_1, P_2, P_3, 0, 0, 0]$, 由于平衡点的形式较为复杂, 令 $b_1 = b_2 = b_3 = b$, $w_1 = w_2 = w_3 = w$, 表 5.2 给出了不同的 b 和 w 下的平衡点。

表 5.2 不同参数下系统的平衡点 $[P_1, P_2, P_3]$ (其中 $[\varphi_1, \varphi_2, \varphi_3] = [0, 0, 0]$)

$b \backslash w$	0.3	0.5	0.7	0.9
0.2	$[0, 0, 0]$ $\pm[0.8114, -0.5199, -0.5199]$ $\pm[-0.5199, 0.8114, -0.5199]$ $\pm[-0.5199, -0.5199, 0.8114]$	$[0, 0, 0]$	$[0, 0, 0]$	$[0, 0, 0]$
0.4	$[0, 0, 0]$	$[0, 0, 0]$ $\pm[0.6692, -0.3859, -0.3859]$ $\pm[-0.3859, 0.6692, -0.3859]$ $\pm[-0.3859, -0.3859, 0.6692]$	$[0, 0, 0]$	$[0, 0, 0]$
0.6	$[0, 0, 0]$	$[0, 0, 0]$	$[0, 0, 0]$ $\pm[0.5804, -0.3207, -0.3207]$	$[0, 0, 0]$ $\pm[0.8114, -0.5199, -0.5199]$

			$\pm[-0.3207, 0.5804, -0.3207]$ $\pm[-0.3207, -0.3207, 0.5804]$	$\pm[-0.5199, -0.8114, -0.5199]$ $\pm[-0.5199, -0.5199, 0.8114]$
0.8	$[0, 0, 0]$	$[0, 0, 0]$	$[0, 0, 0]$	$[0, 0, 0]$ $\pm[0.5191, -0.2803, -0.2803]$ $\pm[-0.2803, 0.5191, -0.2803]$ $\pm[-0.2803, -0.2803, 0.5191]$
1	$[0, 0, 0]$	$[0, 0, 0]$	$[0, 0, 0]$	$[0, 0, 0]$

由表 5.2 可看出系统的平衡点都关于原点对称，这可从方程组式 (5.29) 中六个等式右端关于 $(P_1, P_2, P_3, \varphi_1, \varphi_2, \varphi_3)$ 为奇函数进一步验证。

平衡点附近局部区域内的行为可由关于平衡点进行线性化后所得的矢量场的性质确定，通过式 (5.30) 可知不论参数 $b_i, w_i, (i=1,2,3)$ 如何选取，原点 $(0, 0, 0, 0, 0, 0)$ 都是系统的平衡点。现在分析原点这个平衡点在选择不同参数 b 、 w 时的性质，将方程组式 (5.29) 关于原点进行线性化得：

$$\delta \dot{\mathbf{x}} = Df(\mathbf{x}_0)\mathbf{x} \quad (5.31)$$

其中 $\delta \mathbf{x}$ 表示对矢量 \mathbf{x} 关于 t 求导， $Df(\mathbf{x})$ 表示对 f 关于 \mathbf{x} 求导， f 表示式 (5.29) 的右边项。

$$\mathbf{x} = [P_1, P_2, P_3, \varphi_1, \varphi_2, \varphi_3]^T \quad (5.32)$$

$$\mathbf{x}_0 = [0, 0, 0, 0, 0, 0]^T \quad (5.33)$$

$$Df(\mathbf{x}) = \begin{bmatrix} F_{11} & 0 & 0 & F_{14} & 0 & 0 \\ 0 & F_{22} & 0 & 0 & F_{25} & 0 \\ 0 & 0 & F_{33} & 0 & 0 & F_{36} \\ \hline F_{41} & w & w & F_{44} & 0 & 0 \\ w & F_{52} & w & 0 & F_{55} & 0 \\ w & w & F_{63} & 0 & 0 & F_{66} \end{bmatrix} \quad (5.34)$$

其中：

$$\begin{aligned} F_{11} &= 2b(1-P_1^2)^{-0.5} P_1 \sin \varphi_1 & F_{14} &= -2b(1-P_1^2)^{-0.5} \cos \varphi_1 \\ F_{22} &= 2b(1-P_2^2)^{-0.5} P_2 \sin \varphi_2 & F_{25} &= -2b(1-P_2^2)^{-0.5} \cos \varphi_2 \\ F_{33} &= 2b(1-P_3^2)^{-0.5} P_3 \sin \varphi_3 & F_{36} &= -2b(1-P_3^2)^{-0.5} \cos \varphi_3 \\ F_{44} &= -2b(1-P_1^2)^{-0.5} P_1 \sin \varphi_1 & F_{41} &= -w + 2b(1-P_1^2)^{-0.5} \left(1 + P_1^2(1-P_1^2)^{-1}\right) \cos \varphi_1 \end{aligned}$$

$$F_{55} = -2b(1 - P_2^2)^{-0.5} P_2 \sin \varphi_2 \quad F_{32} = -w + 2b(1 - P_2^2)^{-0.5} \left(1 + P_2^2(1 - P_2^2)^{-1}\right) \cos \varphi_2$$

$$F_{66} = -2b(1 - P_3^2)^{-0.5} P_3 \sin \varphi_3 \quad F_{63} = -w + 2b(1 - P_3^2)^{-0.5} \left(1 + P_3^2(1 - P_3^2)^{-1}\right) \cos \varphi_3$$

对式(5.34)可求得 $Df(\mathbf{x}_0)$ 的特征值为:

$$\lambda = \begin{bmatrix} (-4b^2 - 2bw)^{0.5} & -(-4b^2 - 2bw)^{0.5} & 2(-b^2 + bw)^{0.5} \\ -2(-b^2 + bw)^{0.5} & 2(-b^2 + bw)^{0.5} & -2(-b^2 + bw)^{0.5} \end{bmatrix}$$

当 $b > 0$, $w > 0$ 时, 一定有 $R_e(\lambda_i) = 0$, ($i = 1, 2$), 所以平衡点 $(0, 0, 0, 0, 0, 0)$ 是非双曲平衡点。此时如果 $w > b$, 则 $R_e(\lambda_i) > 0$, ($i = 3, 5$) 且 $R_e(\lambda_i) < 0$, ($i = 4, 6$), 所以此时的平衡点又是非双曲的鞍结点。因此, 原点在 $b > 0$, $w > 0$ 时是一个结构不稳定的平衡点。

2. QCNN 中的分岔与混沌行为^[25]

为了分析 QCNN 系统的分岔与混沌行为, 对方程式(5.29)进行数值模拟, 分别得到了系统的分岔图、Lyapunov 指数 (LLE)、Poincaré 截面映射图、相图和功率谱图。通过对上述几种仿真图形的分析与相互比较, 可以较为全面地揭示系统的分岔与混沌行为^[25]。下面是数值模拟及结果分析。

计算中选定的主要参数为: 权值 $w_1 = 0.5$, $w_2 = 0.3$ 和 $w_3 = 0.2$, 并令 $b_1 = b_2 =$

$b_3 = b$, 取 b 为分岔参数, 变化范围为 $0 \sim 0.5$ 。图 5.14(a) 和 5.14(b) 分别是 b 为 $0 \sim 0.5$ 范围内的分岔图和相应的最大 Lyapunov 指数。从图 5.14(a) 中可见, 随着 b 的减少, 该系统响应从拟周期解进入混沌, 在 $b = 0.42$ 处发生了拟周期分岔, 从最大 Lyapunov 指数中可看到拟周期运动向混沌运动的转变, 其变换规律与图 5.14(a) 的分岔图所揭示的变化规律是一致的。由图 5.14 还可看出系统在混沌区域没有周期窗口, 说明该 QCNN 系统的混沌状态是鲁棒混沌。当选取合适的分岔参数 b 使得系统处在混沌状态时, 如果分岔参数有微小的扰动系统将依然保持混沌状态而不会跳出混沌区域。图 5.15 分别是 $b = 0.28$ 时系统的 Poincaré 截面映射图、相轨迹图、时域波形图和功率谱图。由图 5.15 可看出 Poincaré 截面映射图是由沿某一曲线弧分布的成片的密集点构成, 相轨迹图显示了混乱的轨线, 并出现两个吸引子; 时域波形图呈现类随机的振动波形, 而功率谱为宽频, 具有明显的混沌性质, 表明系统此时处在混沌运动状态。图 5.16 分别是 $b = 0.45$ 时的 Poincaré 截面映射图、相轨迹图、时域波形图和功率谱图。此时 Poincaré 截面映射图是由两片密集点组成, 相轨迹永不自行封闭, 绕满在环面上, 时域波形图为类似多周期的振荡, 功率谱则为双频。另外, 图 5.17

是 b 为 $0 \sim 0.5$ 范围内的 Lyapunov 指数, 从图 5.17 可看出此时系统的六个 Lyapunov 指数都为零, 说明频率 f_1 和 f_2 不可相约, 表明此时系统处在拟周期运动状态。

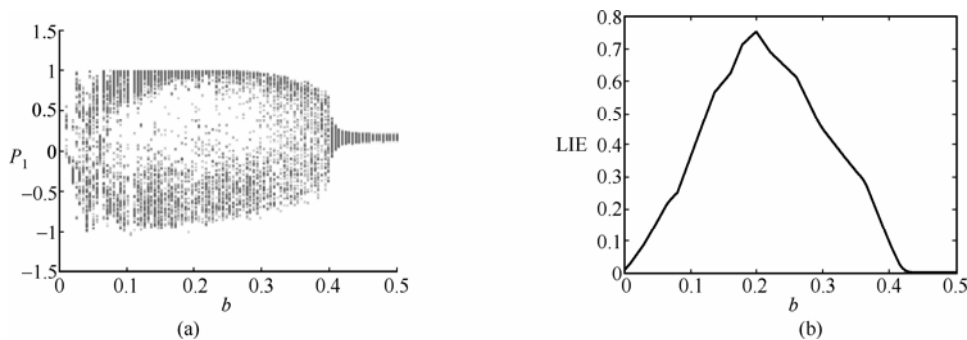


图 5.14 (a) b 为 $0 \sim 0.5$ 范围内的 P_1 分岔图; (b) b 为 $0 \sim 0.5$ 范围内的最大 Lyapunov 指数

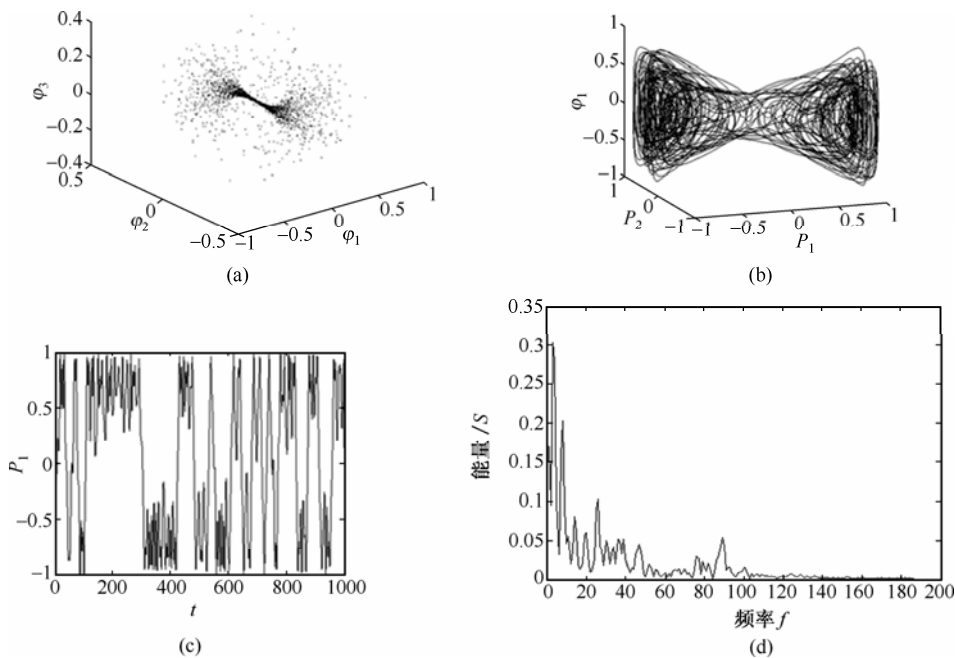


图 5.15 混沌运动。(a) Poincaré 截面映射图; (b) 相轨迹图; (c) $P_1(t)$ 波形图; (d) 功率谱

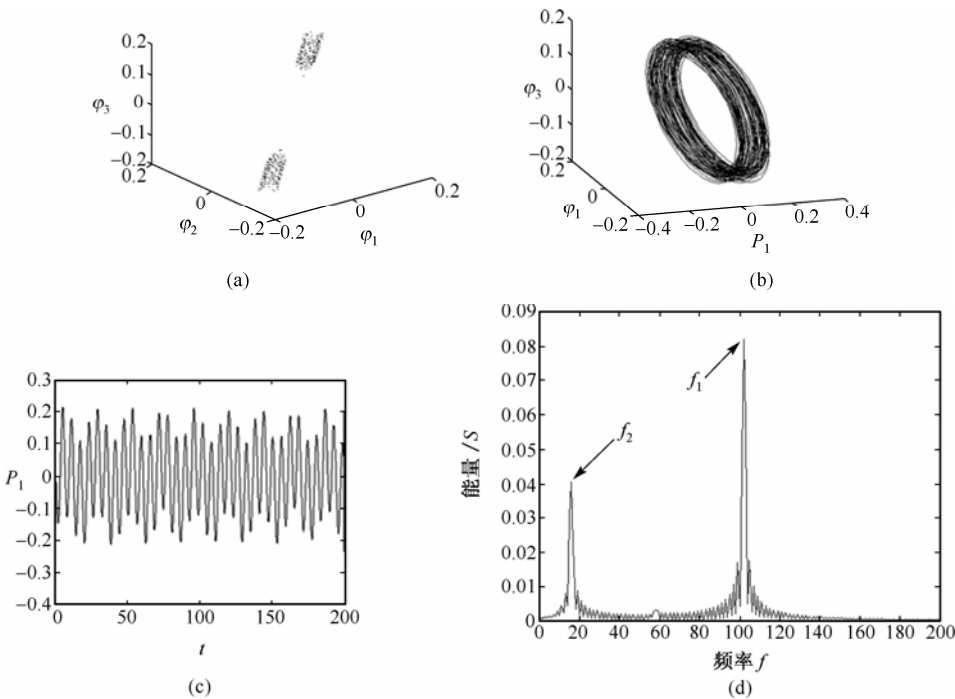


图 5.16 拟周期运动。(a) Poincaré 截面映射图; (b) 相轨迹图; (c) $P_1(t)$ 波形图; (d) 功率谱

另外，从图 5.17 中可见参数 b 在一定区域内时，系统有两个甚至三个 Lyapunov 指数大于 0，表明系统还存在超混沌状态。

由上述的分析可看出，在元胞不对称(不同的权值)的情况下 QCNN 系统很容易产生混沌振荡。下面分析在对称的元胞下 QCNN 系统的动力学行为。令 $w_1 = w_2 =$

$w_3 = w$ ，图 5.18 给出了参数 b 和 w 在 $0 \sim 1$ 范围内系统的动力学行为，由图 5.18 可见系统中存在周期、拟周期、混沌和超混沌状态，这说明在由对称的元胞耦合的系统中依然存在混沌振荡，且能产生混沌振荡的参数选择范围较大，在 $w > b$ 的范围内。图 5.19(a) 和 5.19(b) 分别是 $w = 0.8$ 、 b 为 $0 \sim 1$ 范围内的分岔图和相应的 Lyapunov 指数。从图 5.19(a) 中可见，随着 b 的减少，该系统响应从拟周期解进入混沌，在 $b = 0.8$ 处发生了拟周期分岔，从 Lyapunov 指数中可看到拟周期运动向混沌运动的转变(当 $b > w$ 时，六个 Lyapunov 指数都为零说明系统处在拟周期运动状态)，其变换规律与图 5.19(a) 的分岔图所揭示的变化规律是一致的。

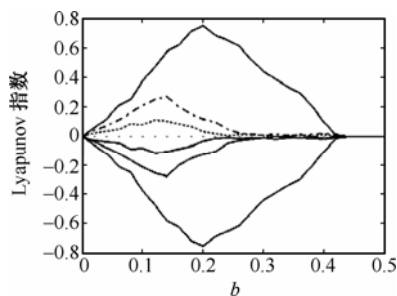


图 5.17 Lyapunov 指数

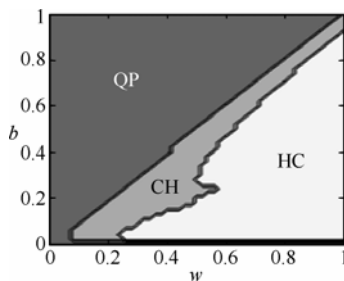
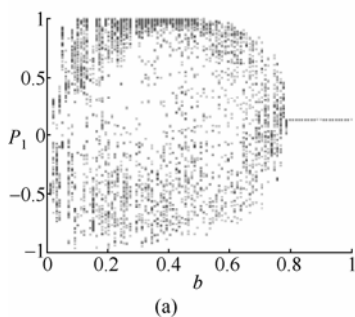
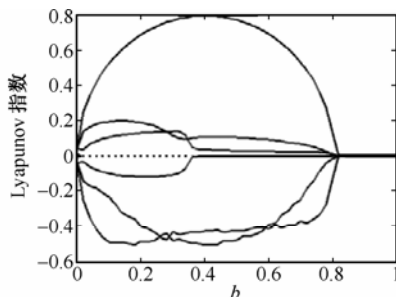


图 5.18 不同参数下系统动力学行为(QP=periodic or quasi-periodic, CH=chaos, HC=hyper-chaos)



(a)



(b)

图 5.19 (a) b 为 0~1 范围内的 P_1 分岔图; (b) b 为 0~1 范围内的 Lyapunov 指数

从以上分析可以看出,在由不对称元胞耦合的QCNN中,系统能在较大的参数范围内产生混沌。在由对称元胞耦合的QCNN系统中依然存在混沌状态,但系统产生混沌的区域限定在 $w > b$ 的范围内。另外,在这两种情况下,系统都存在超混沌状态。

由于QCNN是通过元胞间的库仑相互作用而不是电流来工作的,使得它具有非常低的功率损耗。另外,QCA元胞是基于纳米结构尺度,因此,在未来纳米级集成电路的通信和控制等应用领域中,可通过选择不对称元胞耦合的QCNN来实现超小混沌发生器将是一种可能的选择。

需要指出的是,QCA在做量子计算时,是利用了元胞两个稳定的完全极化状态。而在由QCA元胞构成的系统阵列中,若耦合参数选择不适当,就会使系统阵列产生混沌振荡,此时QCA元胞处于不稳定的动力学状态,影响到QCA作为量子计算的准确性和稳定性。所以,此时应尽量选择对称的QCA元胞,且使元胞间的影响权值 w 较小,它可通过加大元胞间距来实现(w 与元胞间距成反比)。

5.4.3 QCNN的追踪控制应用^[28-29]

1. QCNN追踪控制一维信号^[28]

混沌控制和同步是当前自然科学基础研究的热门课题之一，它在通信、信息科学、医学、生物、工程等领域中具有巨大的应用潜力和发展前途，引起了人们的广泛关注与兴趣。在混沌控制研究中，追踪问题即通过施加控制使受控系统的输出信号达到事先给定的参考信号，更具一般性。特别地，如果追踪的参考信号是由混沌系统产生的，这种追踪控制便演变成驱动系统与响应系统的同步，它包括自同步和异结构混沌同步。许多学者在这方面做了大量的研究工作^[26-27]。

(1) 控制器的设计

设计一个控制器 U ，使受控 QCNN 系统^[28]

$$\begin{aligned}
 \dot{P}_1 &= -2b_1\sqrt{1-P_1^2}\sin\varphi_1 \\
 \dot{P}_2 &= -2b_2\sqrt{1-P_2^2}\sin\varphi_2 \\
 \dot{P}_3 &= -2b_3\sqrt{1-P_3^2}\sin\varphi_3 \\
 \dot{\varphi}_1 &= -w_1(P_1 - P_2 - P_3) + 2b_1\frac{P_1}{\sqrt{1-P_1^2}}\cos\varphi_1 + U \\
 \dot{\varphi}_2 &= -w_2(P_2 - P_1 - P_3) + 2b_2\frac{P_2}{\sqrt{1-P_2^2}}\cos\varphi_2 \\
 \dot{\varphi}_3 &= -w_3(P_3 - P_2 - P_1) + 2b_3\frac{P_3}{\sqrt{1-P_3^2}}\cos\varphi_3
 \end{aligned} \tag{5.35}$$

的输出信号 $P_i(t)$ 追踪给定的参考信号 $r(t)$ ，即满足

$$\lim_{t \rightarrow +\infty} |e(t)| = 0 \tag{5.36}$$

式中, $e(t) = P_1(t) - r(t)$ 称为误差信号。取控制器

$$U = k + \frac{2P_1 - 2m - n - 2r - 2\dot{r} - \ddot{r}}{l} \quad (5.37)$$

其中

$$\begin{aligned} k &= w_1 (P_1 - P_2 - P_3) - 2b_1 \frac{P_1}{\sqrt{1 - P_1^2}} \cos \varphi_1 \\ l &= 2b_1 \sqrt{1 - P_1^2} \cos \varphi_1 \\ m &= 2b_1 \sqrt{1 - P_1^2} \sin \varphi_1 \\ n &= 4b_1^2 P_1 \sin^2 \varphi_1 \end{aligned} \quad (5.38)$$

下面证明对此控制器 U , $P_1(t)$ 按指数速率收敛到参考信号 $r(t)$ 。

定理 对于受控系统式(5.35), 如果控制器 U 满足式(5.37), 则有

$$\lim_{t \rightarrow +\infty} \frac{|e(t)|}{\exp(-(1 - \sigma)t)} = 0$$

式中, σ 为任意正常数。

证 对于受控系统式(5.35), 设 Lyapunov 函数为

$$V(t) = (P_1(t) - r(t))^2 + \left(2b_1 \sqrt{1 - P_1^2(t)} \sin \varphi_1(t) - P_1(t) + r(t) + \dot{r}(t) \right)^2 \quad (5.39)$$

式中 $P_1(t)$ 、 $\varphi_1(t)$ 为受控系统式(5.35)的状态输出信号, $r(t)$ 为参考信号。将式(5.38)代入式(5.39)经计算得到

$$\begin{aligned} \frac{dV(t)}{dt} &= 2(P_1(t) - r(t))(\dot{P}_1(t) - \dot{r}(t)) + 2\left(2b_1 \sqrt{1 - P_1^2(t)} \sin \varphi_1(t) - P_1(t) + r(t) + \dot{r}(t) \right) \\ &\quad \times \left(2b_1 \sqrt{1 - P_1^2(t)} \cos \varphi_1(t) \dot{\varphi}_1(t) - 2b_1 P_1(t) \sin \varphi_1(t) \dot{P}_1(t) / \sqrt{1 - P_1^2(t)} - \dot{P}_1(t) + \dot{r}(t) + \ddot{r}(t) \right) \\ &= 2(P_1(t) - r(t))(-m - \dot{r}(t)) + 2(m - P_1(t) + r(t) + \dot{r}(t)) \times (l(-k + U) + n + m + \dot{r}(t) + \ddot{r}(t)) \\ &= 2(P_1(t) - r(t))(-m - \dot{r}(t)) + 2(m - P_1(t) + r(t) + \dot{r}(t)) \times (2P_1(t) - m - 2r(t) - \dot{r}(t)) \\ &= -2(P_1(t) - r(t))^2 - 2(m - P_1(t) + r(t) + \dot{r}(t))^2 = -2V(t) \end{aligned}$$

故可得

$$V(t) = V(0) \exp(-2t)$$

因为 $e(t) = P_1(t) - r(t)$, 由式(5.39)可推出

$$e^2(t) \leq V(t)$$

从而

$$\frac{e^2(t)}{\exp(-(2 - 2\sigma)t)} \leq \frac{V(t)}{\exp(-(2 - 2\sigma)t)} = \frac{V(0) \exp(-2t)}{\exp(-(2 - 2\sigma)t)} = \frac{V(0)}{\exp(2\sigma t)}$$

因此

$$\forall \sigma > 0, \exists \lim_{t \rightarrow +\infty} \frac{|e(t)|}{\exp(-(1-\sigma)t)} = 0$$

即受控系统式(5.35)的输出信号 $P_1(t)$ 按指数速率收敛到参考信号 $r(t)$ 上。命题成立。

(2) 数值模拟结果

当选取参数 $b_1 = b_2 = b_3 = 0.28$, $w_1 = 0.5$, $w_2 = 0.3$, $w_3 = 0.2$ 时, 系统式(5.29)

呈现超混沌状态^[28]。取参考信号为正弦信号 $r(t) = 0.5 \sin t$, 此时控制器为

$$U = k + \frac{2P_1 - 2m - n - 0.5 \sin t - \cos t}{l}$$

采用 MATLAB 对 QCNN 超混沌系统追踪给定正弦信号的情况进行了仿真, 结果如图5.20所示。其中初值取为 $P_1(0) = 0.8$, $P_2(0) = 0.11$, $P_3(0) = 0.11$, $\varphi_1(0) = 0.1$, $\varphi_2(0) = 0.1$, $\varphi_3(0) = 0.1$, 时间步长为 $\tau = 0.001$, 积分方法为四阶Runge-Kutta法。由图5.20可见, 当 t 在 5 以后, QCNN 超混沌系统已稳定地追踪上给定的正弦信号, 误差 $e(t)$ 已基本稳定在零附近。

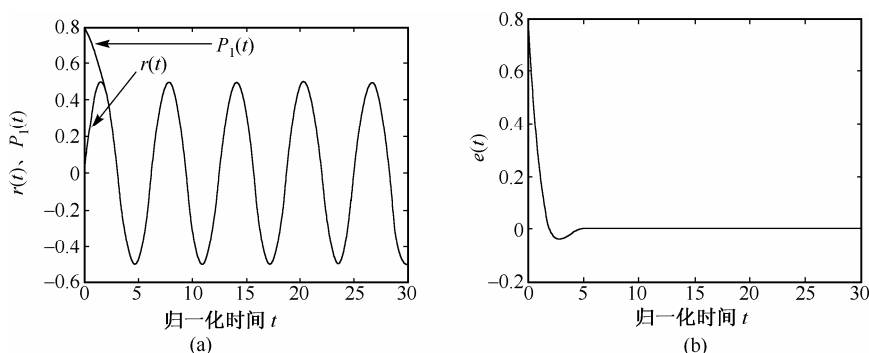


图 5.20 QCNN 追踪正弦信号的模拟结果。(a) $r(t)$ 和 $P_1(t)$ 随时间 t 的变化; (b) $e(t)$ 随时间 t 的变化

受控系统式(5.35)还可实现自同步, 此时选择驱动系统与响应系统的结构相同, 即驱动系统为

$$\begin{aligned}
\dot{x}_1 &= -2b_1\sqrt{1-x_1^2}\sin x_4 \\
\dot{x}_2 &= -2b_2\sqrt{1-x_2^2}\sin x_5 \\
\dot{x}_3 &= -2b_3\sqrt{1-x_3^2}\sin x_6 \\
\dot{x}_4 &= -w_1(x_1-x_2-x_3)+2b_1\frac{x_1}{\sqrt{1-x_1^2}}\cos x_4 \\
\dot{x}_5 &= -w_2(x_2-x_1-x_3)+2b_2\frac{x_2}{\sqrt{1-x_2^2}}\cos x_5 \\
\dot{x}_6 &= -w_3(x_3-x_2-x_1)+2b_3\frac{x_3}{\sqrt{1-x_3^2}}\cos x_6
\end{aligned} \tag{5.40}$$

式中, $x_1(t)$ 为参考信号, 此时控制器

$$U = k + \frac{2P_1 - 2m - n - \left[2x_1 - 4b_1\sqrt{1-x_1^2}\sin x_4 + 2b_1w_1\sqrt{1-x_1^2}(x_1-x_2-x_3)\cos x_4 - 4b_1^2x_1 \right]}{l}$$

初值取为 $x_1(0)=0.11$, $x_2(0)=0.11$, $x_3(0)=0.11$, $x_4(0)=0.1$, $x_5(0)=0.1$, $x_6(0)=0.1$, $P_1(0)=0.8$, $P_2(0)=0.11$, $P_3(0)=0.11$, $\varphi_1(0)=0.1$, $\varphi_2(0)=0.1$, $\varphi_3(0)=0.1$, 其他参数不变。图 5.21 为 QCNN 超混沌系统自同步的数值模拟结果, 由图 5.21 (a) 可见, 当 t 在 5 以后, QCNN 超混沌系统已稳定地追踪上参考信号 $x_1(t)$, 由图 5.21 (b) 也可看到, 当 t 在 5 以后误差 $e(t)$ 已基本稳定在零附近。

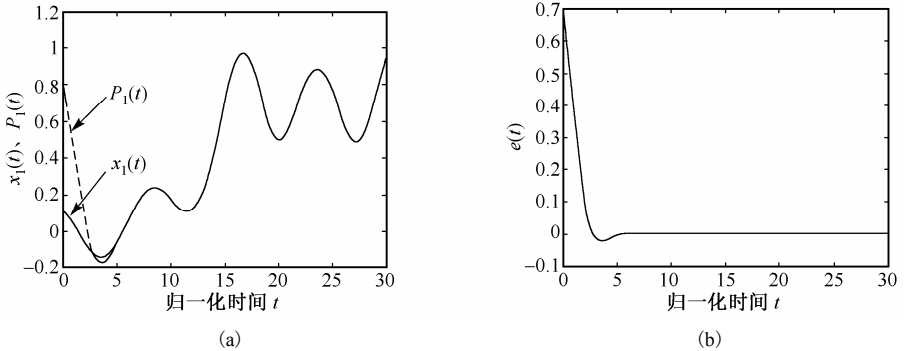


图 5.21 QCNN 系统自同步模拟结果。(a) $x_1(t)$ 和 $P_1(t)$ 随时间 t 的变化; (b) $e(t)$ 随时间 t 的变化

再有受控系统式(5.35)可实现异结构混沌同步。1976 年, Rössler 在研究具有中间产物的化学反应问题时, 通过适当的标度变换, 给出 Rössler 方程为

$$\begin{aligned}
 \dot{x} &= -(y+z) \\
 \dot{y} &= x + \alpha y \\
 \dot{z} &= \beta + z(x - \gamma)
 \end{aligned} \quad (5.41)$$

当参数 $\alpha = 0.34$, $\beta = 0.34$, $\gamma = 4.5$ 时, Rössler 系统式(5.41)处于混沌状态, 其吸引子如图 5.22 所示。

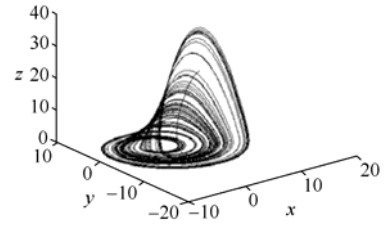


图 5.22 Rössler 吸引子

由受控系统式(5.35)可知, 其状态信号 $P_1(t)$ 的

值域为 $(-1, +1)$, 而由图 5.22 可看出 Rössler 系统状态信号的值域要比其大得多, 从而需要将 Rössler 系统中状态信号的幅值缩小到 $P_1(t)$ 的值域范围内, 因此可令参考信号 $r(t) = x(t)/40$, 此时控制器为

$$U = k + (2P_1 - 2m - n)/l - [x - (2 + \alpha)y + (\gamma - 2)z - xz - \beta]/(40l)$$

取初始条件为 $x(0) = 4$, $y(0) = -5$, $z(0) = 25$, $P_1(0) = 0.8$, $P_2(0) = 0.11$,

$P_3(0) = 0.11$, $\varphi_1(0) = 0.1$, $\varphi_2(0) = 0.1$, $\varphi_3(0) = 0.1$, 其他参数不变。图 5.23 为 QCNN 超混沌系统追踪 Rössler 混沌系统的数值模拟结果, 由图 5.23 (a) 可见, 当 t 在 5 以后, QCNN 超混沌系统已稳定地追踪上参考信号 $r(t)$, 由图 5.23 (b) 也可看到, 当 t 在 5 以后误差 $e(t)$ 已基本稳定在零附近。

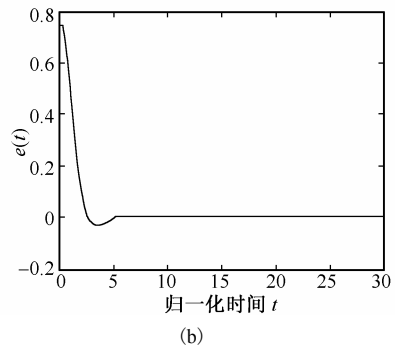
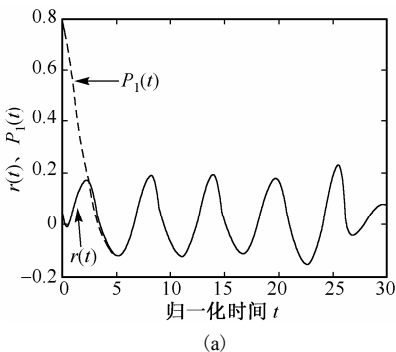


图 5.23 QCNN 系统追踪 Rössler 系统。(a) $r(t)$ 和 $P_1(t)$ 随时间 t 的变化; (b) $e(t)$ 随时间 t 变化

2. QCNN系统追踪控制三维信号^[29]

(1) 控制器的设计

设计一个控制器 U ，使受控 QCNN 系统^[29]

$$\begin{aligned}
 \frac{dP_1}{dt} &= -2b_1\sqrt{1-P_1^2}\sin\varphi_1 \\
 \frac{dP_2}{dt} &= -2b_2\sqrt{1-P_2^2}\sin\varphi_2 \\
 \frac{dP_3}{dt} &= -2b_3\sqrt{1-P_3^2}\sin\varphi_3 \\
 \frac{d\varphi_1}{dt} &= -w_1(P_1-P_2-P_3)+2b_1\frac{P_1}{\sqrt{1-P_1^2}}\cos\varphi_1+U_1 \\
 \frac{d\varphi_2}{dt} &= -w_2(P_2-P_1-P_3)+2b_2\frac{P_2}{\sqrt{1-P_2^2}}\cos\varphi_2+U_2 \\
 \frac{d\varphi_3}{dt} &= -w_3(P_3-P_2-P_1)+2b_3\frac{P_3}{\sqrt{1-P_3^2}}\cos\varphi_3+U_3
 \end{aligned} \tag{5.42}$$

的输出信号 $[P_1(t), P_2(t), P_3(t)]^T$ 追踪给定的参考信号 $[r_1(t), r_2(t), r_3(t)]^T$ ，即满足

$$\lim_{t \rightarrow +\infty} |e(t)| = 0 \tag{5.43}$$

其中 $e(t) = \sqrt{\sum_{i=1}^3 e_i^2(t)}$ ， $e_i(t) = P_i(t) - r_i(t)$ ， $e_i(t)$ 称为误差信号。取控制器

$$U_i = k_i + \frac{2P_i - 2m_i - n_i - 2r_i - 2\dot{r}_i - \ddot{r}_i}{l_i}, \quad i = 1, 2, 3 \tag{5.44}$$

其中

$$\begin{aligned}
 k_i &= w_i \left(P_i - \sum_{j \neq i} P_j \right) - 2b_i \frac{P_i}{\sqrt{1-P_i^2}} \cos\varphi_i \\
 l_i &= 2b_i \sqrt{1-P_i^2} \cos\varphi_i \\
 m_i &= 2b_i \sqrt{1-P_i^2} \sin\varphi_i \\
 n_i &= 4b_i^2 P_i \sin^2\varphi_i \\
 i &= 1, 2, 3, \quad j = 1, 2, 3
 \end{aligned} \tag{5.45}$$

下面证明对此控制器 $[U_1(t), U_2(t), U_3(t)]^T$ ， $[P_1(t), P_2(t), P_3(t)]^T$ 按指数速率收敛到参考信号 $[r_1(t), r_2(t), r_3(t)]^T$ 。

定理 对于受控系统式(5.42)，如果控制器 U 满足式(5.44)，则有

$$\lim_{t \rightarrow +\infty} \frac{|e(t)|}{\exp(-(1-\sigma)t)} = 0$$

式中 σ 为任意正常数。

证 对于受控系统式(5.42)，设 Lyapunov 函数为

$$V(t) = \sum_{i=1}^3 \left((P_i(t) - r_i(t))^2 + \left(2b_i \sqrt{1 - P_i^2(t)} \sin \varphi_i(t) - P_i(t) + r_i(t) + \dot{r}_i(t) \right)^2 \right) \quad (5.46)$$

式中， $P_i(t)$ 、 $\varphi_i(t)$ 为受控系统式(5.42)的状态输出信号， $r_i(t)$ 为参考信号。将式(5.44)

和式(5.45)代入式(5.46)经计算得到

$$\begin{aligned} \frac{dV(t)}{dt} &= \sum_{i=1}^3 \left(2(P_i(t) - r_i(t))(\dot{P}_i(t) - \dot{r}_i(t)) + 2(2b_i \sqrt{1 - P_i^2(t)} \sin \varphi_i(t) - P_i(t) + r_i(t) + \dot{r}_i(t)) \right. \\ &\quad \left. P_i(t) + r_i(t) + \dot{r}_i(t) \times 2b_i \sqrt{1 - P_i^2(t)} \cos \varphi_i(t) \dot{\varphi}_i(t) - 2b_i P_i(t) \right. \\ &\quad \left. \sin \varphi_i(t) \dot{P}_i(t) / \sqrt{1 - P_i^2(t)} - \dot{P}_i(t) + \dot{r}_i(t) + \ddot{r}_i(t) \right) \\ &= \sum_{i=1}^3 \left(2(P_i(t) - r_i(t))(-m_i - \dot{r}_i(t)) + 2(m_i - P_i(t) + r_i(t) + \dot{r}_i(t)) \times \right. \\ &\quad \left. (l_i(-k_i + U_i) + n_i + m_i + \dot{r}_i(t) + \ddot{r}_i(t)) \right) \\ &= \sum_{i=1}^3 \left(2(P_i(t) - r_i(t))(-m_i - \dot{r}_i(t)) + 2(m_i - P_i(t) + r_i(t) + \dot{r}_i(t)) \right. \\ &\quad \left. \times (2P_i(t) - m_i - 2r_i(t) - \dot{r}_i(t)) \right) \\ &= \sum_{i=1}^3 \left(-2(P_i(t) - r_i(t))^2 - 2(m_i - P_i(t) + r_i(t) + \dot{r}_i(t))^2 \right) \\ &= -2V(t) \end{aligned}$$

故可得

$$V(t) = V(0)\exp(-2t)$$

因为 $e(t) = \sqrt{\sum_{i=1}^3 e_i^2(t)}$ ，由式(5.46)可推出

$$e^2(t) \leq V(t)$$

从而

$$\frac{e^2(t)}{\exp(-(2-2\sigma)t)} \leq \frac{V(t)}{\exp(-(2-2\sigma)t)} = \frac{V(0)\exp(-2t)}{\exp(-(2-2\sigma)t)} = \frac{V(0)}{\exp(2\sigma t)}$$

因此

$$\forall \sigma > 0, \quad \exists \lim_{t \rightarrow +\infty} \frac{|e(t)|}{\exp(-(1-\sigma)t)} = 0$$

即受控系统式(5.42)的输出信号 $[P_1(t), P_2(t), P_3(t)]^T$ 按指数速率收敛到参考信号

$[r_1(t), r_2(t), r_3(t)]^T$ 上。命题成立。

(2) 数值模拟结果

取参考信号为正弦信号 $r_1(t) = 0.5 \sin t$, $r_2(t) = 0.5 \cos t$, $r_3(t) = 0$, 此时控制器为

$$\begin{aligned} U_1 &= k_1 + \frac{2P_1 - 2m_1 - n_1 - 0.5 \sin t - \cos t}{l_1} \\ U_2 &= k_2 + \frac{2P_2 - 2m_2 - n_2 + \sin t - 0.5 \cos t}{l_2} \\ U_3 &= k_3 + \frac{2P_3 - 2m_3 - n_3}{l_3} \end{aligned}$$

采用 MATLAB 对 QCNN 超混沌系统追踪给定信号的情况进行了仿真^[29], 结果如图 5.24 所示。其中初值取为 $P_1(0) = 0.9$, $P_2(0) = 0.1$, $P_3(0) = 0.5$, $\varphi_1(0) = 0.1$, $\varphi_2(0) = 0.1$, $\varphi_3(0) = 0.1$, 时间步长为 $\tau = 0.001$, 积分方法为四阶 Runge-Kutta 法。由图 5.24 可见, 当 t 在 5 以后, QCNN 超混沌系统已稳定地追踪上给定的信号, 误差 $e(t)$ 已基本稳定在零附近。

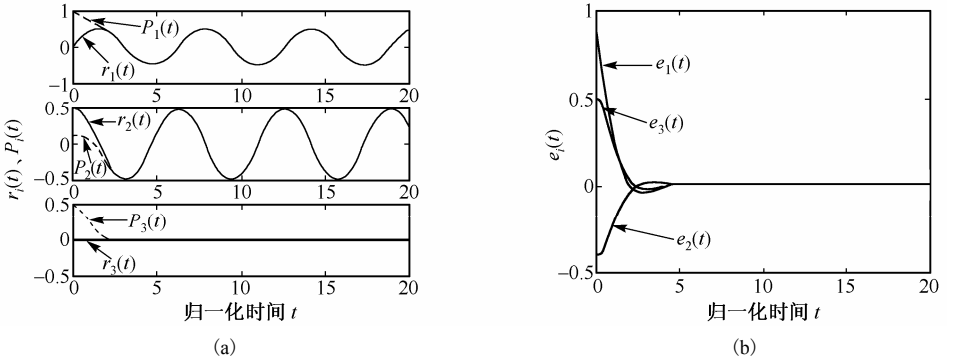


图 5.24 QCNN 系统追踪给定信号。(a) $r_i(t)$ 和 $P_i(t)$ 随时间 t 的变化; (b) $e_i(t)$ 随时间 t 的变化

让受控系统式 (5.42) 追踪 Rössler 混沌系统式 (5.41), 可取参考信号 $r_1(t) = x(t)/40$,

$r_2(t) = y(t)/40$, $r_3(t) = z(t)/40$, 此时控制器为:

$$U_1 = k_1 + (2P_1 - 2m_1 - n_1)/l_1 - [x - (2 + \alpha)y + (\gamma - 2)z - xz - \beta]/(40l_1)$$

$$U_2 = k_2 + (2P_2 - 2m_2 - n_2)/l_2 - [(2 + \alpha)x + (1 + 2\alpha + \alpha^2)y - z]/(40l_2)$$

$$U_3 = k_3 + (2P_3 - 2m_3 - n_3)/l_3 - [2\beta + (2 - 2\gamma)z + \beta(x - \gamma) + 2xz - yz - z^2 + z(x - r)^2]/(40l_3)$$

Rössler 混沌系统式(5.41)的初值选为 $[4, -5, 25]^T$ ，受控系统式(5.42)的初值为 $P_1(0) = 0.9$ ， $P_2(0) = 0.5$ ， $P_3(0) = -0.5$ ， $\varphi_1(0) = 0.1$ ， $\varphi_2(0) = 0.1$ ， $\varphi_3(0) = 0.1$ 。图 5.25 为 QCNN 超混沌系统追踪 Rössler 混沌系统的数值模拟结果，由图 5.25(a)可见，当 t 在 5 以后，QCNN 超混沌系统已稳定地追踪上参考信号 $r(t)$ ，由图 5.25(b)也可看到，当 t 在 5 以后误差 $e(t)$ 已基本稳定在零附近。

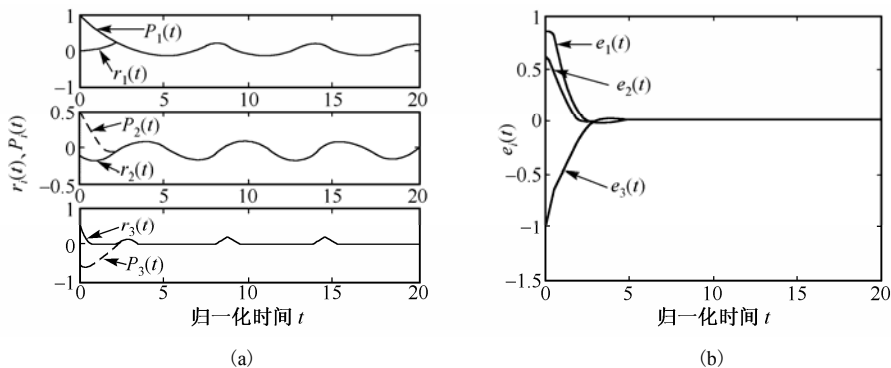


图 5.25 QCNN 系统追踪 Rössler 系统。(a) $r_i(t)$ 和 $P_i(t)$ 随时间 t 的变化；(b) $e_i(t)$ 随时间 t 的变化

5.4.4 QCNN的图像处理应用^[30-32]

1. 二维量子细胞神经网络

QCNN中的神经元是由QCA元胞实现的，QCA元胞一般包含由四个隧道结和四个量子点构成的环以及两个电子，由于库仑排斥作用，两个电子易于占据对角线上的量子点，因此，单个元胞具有两个完全极化状态。

QCNN的结构同传统CNN的结构相类似，元胞只和其邻近元胞相连接，但这种连接不再是传统CNN中通过导线相连接而是通过库仑力相互连接。图5.26给出了一个二维 5×5 的 QCNN 的结构示意图^[30]。

图5.26中，方块表示QCA元胞，每个QCA元胞通过库仑力与周围元胞进行相互

作用。由于 QCA 元胞通过库仑力不仅能与它直接相邻的元胞进行相互作用，还能与外层的元胞进行相互作用。因此通过元胞与周围元胞的作用范围可定义 QCNN 的邻域。若 r 表示 QCNN 的层数，对于一个 M 行 N 列的 QCNN 阵列，第 i 行、第 j 列的元胞 $C(i, j)$ 的邻域[即所有与元胞 $C(i, j)$ 有相互作用的元胞]可定义为

$$N_r(i, j) = \{C(k, l) \mid \max(|i - k|, |j - l|) \leq r, 1 \leq k \leq M; 1 \leq l \leq N; r \geq 1\} \quad (5.47)$$

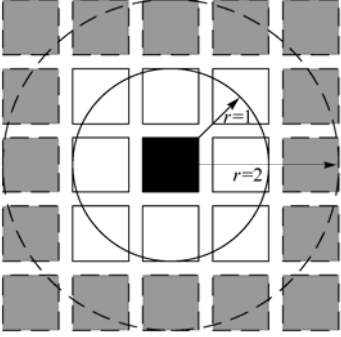


图 5.26 维大邻域 QCNN 结构图

图 5.26 给出了多层 QCNN 的结构图， $r=1$ 表示单邻域的 QCNN，即中心元胞（图中黑色方块表示）仅与周围 8 个元胞有相互作用； $r=2$ 表示两倍领域的 QCNN，即中心元胞不仅与周围的 8 个元胞有相互作用，还与图中所示为灰色的 16 个元胞相互作用，以此类推，当 $r=n$ 时，共有 $(2n+1)^2 - 1$ 个元胞与中心元胞相互作用（不考虑边界条件的情况）。

在 QCNN 中，第 k 个元胞的状态如式 (5.28) 所示。在二维 QCNN 中，其可定义为

$$\overline{P}_k = \sum_{C(l, m) \in N_r} w_{l, m} P_{l, m} \quad (5.48)$$

其中， w 表示权值， N_r 为元胞的邻域。将式 (5.48) 代入到式 (5.28) 中，可得其第 i 行、第 j 列的元胞 $C(i, j)$ 的状态方程为：

$$\begin{aligned} \frac{dP_{i, j}}{dt} &= -2a\sqrt{1 - P_{i, j}^2} \sin \varphi_{i, j} \\ \frac{d\varphi_{i, j}}{dt} &= - \sum_{C(k, l) \in N_r(i, j)} W(i, j; k, l) P_{k, l} + 2a \frac{P_{i, j}}{\sqrt{1 - P_{i, j}^2}} \cos \varphi_{i, j} \end{aligned} \quad (5.49)$$

其中， $a = r/\hbar$ ，而 $W(i, j; k, l) = E_{i, j} w_{k, l}$ 表示相邻元胞极化率的影响权值，相当于传统 CNN 中的 A 模板。

2. 二维 QCNN 的图像处理应用^[30]

要将 QCNN 在图像处理中进行应用还必须进行以下 4 个步骤：

- 对图像中的像素进行分类，假设像素值“−1”对应于“黑色”，像素值“1”对应于“白色”，而像素值在“−1”到“1”之间则对应于不同程度的“灰色”；
- 设 QCNN 中的每个元胞代表一个像素，而用元胞的极化率表示像素值；
- 令原始图像中的像素值作为每个元胞极化率的初值，而将元胞极化率的终值

作为处理后图像的像素值；

d. 对元胞状态方程式(5.49)中的参数 a 、 W 和 N_r 进行适当的选择，以实现不同的图像处理功能。

(1) 二维 QCNN 的仿真

QCNN 是一个复杂的非线性动力学系统，目前很少有合适的理论分析方法来研究其暂态行为。因此，有必要通过计算机仿真来分析其动力学行为。可借助 MATLAB 中的 SIMULINK 来对其进行仿真研究。由于下面的应用研究中所用到的 QCNN 都是单层结构的，因此，图5.27给出了单邻域 QCNN 元胞的 SIMULINK 模型。

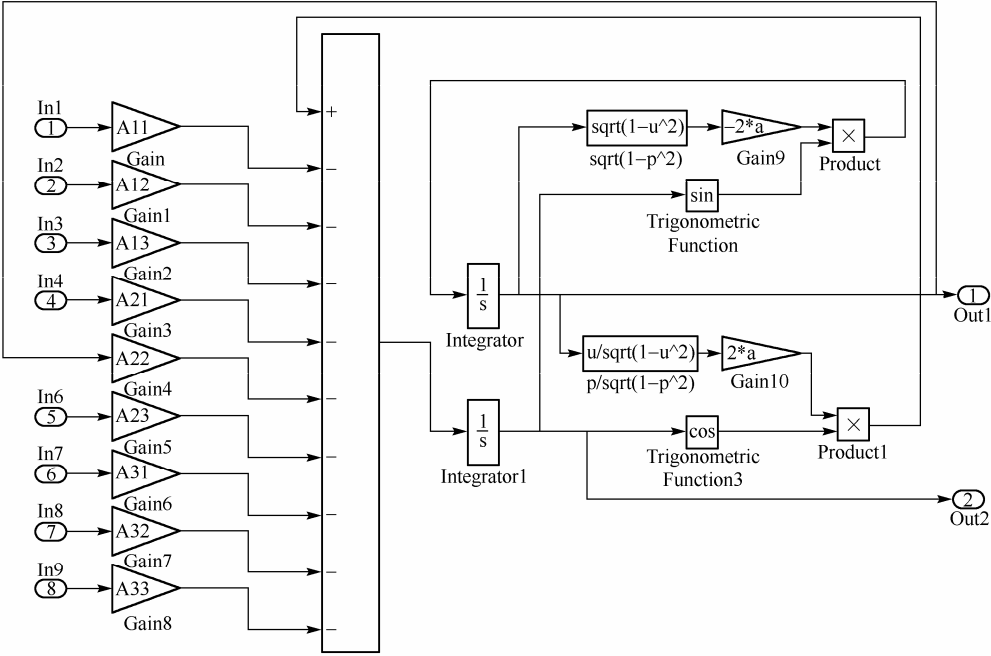


图 5.27 单邻域 QCNN 元胞的 SIMULINK 模型

图 5.27 中输入分别表示周围元胞的极化率，输出“Out1”表示元胞的极化率，输出“Out2”表示元胞的量子相位， $A_{ij}, (i, j = 1, 2, 3)$ 表示相邻元胞极化率的影响权值。通过将元胞的 SIMULINK 模型按 QCNN 的结构进行连接就可对 QCNN 进行仿真验证。

(2) 二维 QCNN 应用于线检测

图 5.28(a) 显示了一个 4×4 规模的图像，图像上的每个像素值 $P_{ij} \in (-1, 1)$ ，其中 $1 \leq i \leq 4, 1 \leq j \leq 4$ 。以此图像作为原始图像对它进行水平线和垂直线检测，对于水平线

检测, 采用单邻域的 QCNN 结构, 参数选择为: $a = 0.02$; $r = 1$; $W(i, j; i-1, j-1) = W(i, j; i-1, j) = W(i, j; i-1, j+1) = 0$; $W(i, j; i, j-1) = W(i, j; i, j+1) = 20$; $W(i, j; i, j) = 30$; $W(i, j; i+1, j-1) = W(i, j; i+1, j) = W(i, j; i+1, j+1) = 0$; 仿真结果如图 5.28(b) 所示。

对于垂直线检测,依然采用单邻域的 QCNN 结构,参数选择为: $a = 0.02$; $r = 1$; $W(i, j, i-1, j-1) = W(i, j, i, j-1) = W(i, j, i+1, j-1) = 0$; $W(i, j, i-1, j) = W(i, j, i+1, j) = 20$; $W(i, j, i, j) = 30$; $W(i, j, i-1, j+1) = W(i, j, i, j+1) = W(i, j, i+1, j+1) = 0$; 仿真结果如图 5.28(c) 所示。

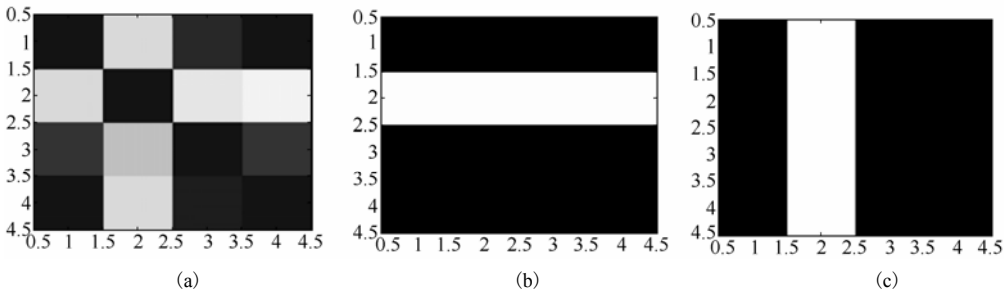


图 5.28 水平线和垂直线检测仿真结果。(a)原始图像; (b)水平线检测图像; (c)垂直线检测图像

由图 5.28 所示的仿真结果可看出通过选择合适的参数, QCNN 能很好地进行水平线和垂直线检测。另外, 图 5.29(a) 和图 5.29(b) 分别给出了元胞 $C(1,1)$ 在水平线检测和元胞 $C(2,2)$ 在垂直线检测时极化率 P 随时间变化的波形图, 从图 5.29 中可看出元胞在经过暂态后能很快地由初始值收敛到终值。

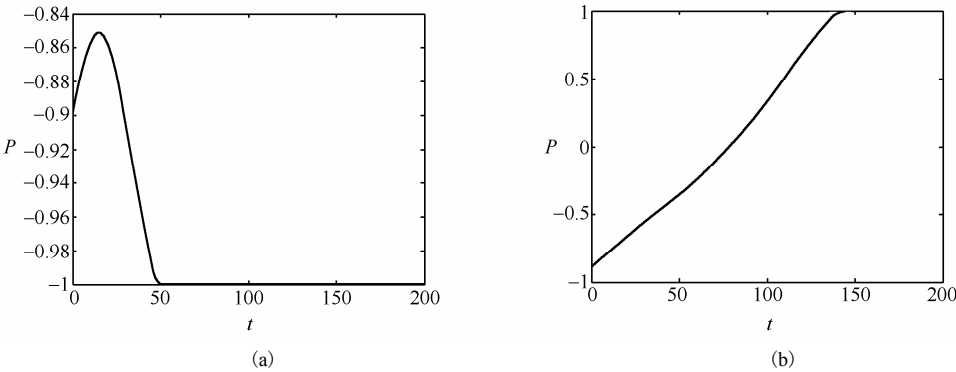


图 5.29 元胞极化率波形图。(a)元胞 $C(1,1)$ 在水平线检测时极化率的波形图; (b)元胞 $C(2,2)$ 在垂直线检测时极化率的波形图

在 QCNN 中, 若元胞都相同, 则其权值 $W(i, j, k, l)$ 将与元胞所在的位置无关, 因此可对权值进行简化, 可得 $W(i, j, k, l) = A(k-1, l-j)$ 。若 QCNN 的邻域为 r , 则 A 就是 $(2r+1) \times (2r+1)$ 的矩阵。对于上面的水平线检测, A 可表示为: $A(-1, -1) = A(-1, 0) =$

$A(-1,1) = 0$; $A(0,-1) = A(0,1) = 20$; $A(0,0) = 30$; $A(1,-1) = A(1,0) = A(1,1) = 0$ 。矩阵

\mathbf{A} 内的坐标表示元胞 $C(k,l)$ 相对于元胞 $C(i,j)$ 的位置，可用图 5.30 所示的模板来表

示矩阵 \mathbf{A} ，我们称之为 \mathbf{A} 模板。以后都将用 \mathbf{A} 模板来表示权值 $W(i,j;k,l)$ 。

当其他参数不变， \mathbf{A} 模板的选择分别如图5.31 (a)和图5.31 (b)所示时，可实现斜向的线检测，仿真结果分别如图5.32 和图5.33 所示。

$A(-1,-1)$	$A(-1,0)$	$A(-1,1)$
$A(0,-1)$	$A(0,0)$	$A(0,1)$
$A(1,-1)$	$A(1,0)$	$A(1,1)$

0	0	20
0	30	0
20	0	0

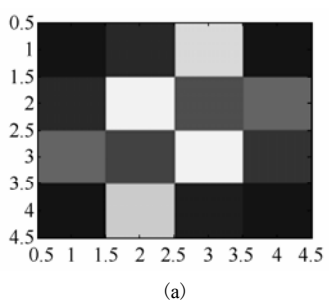
20	0	0
0	30	0
0	0	20

(a)

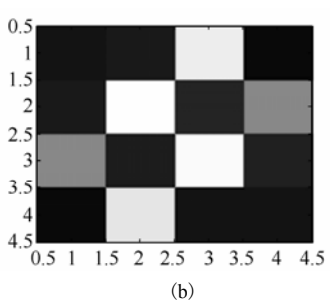
(b)

图 5.30 \mathbf{A} 模板

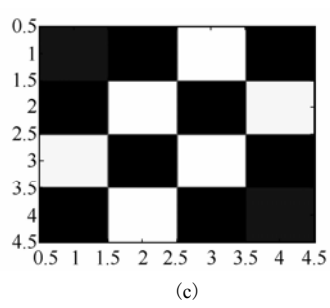
图 5.31 (a)右上方线检测的 \mathbf{A} 模板；(b)右下方线检测的 \mathbf{A} 模板



(a)

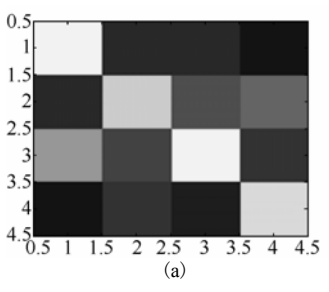


(b)

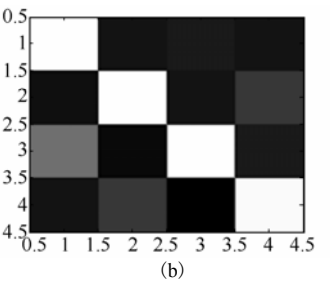


(c)

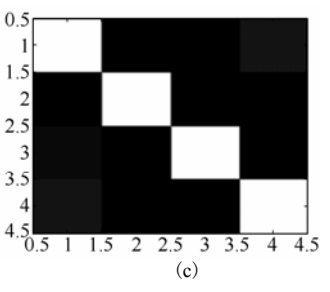
图 5.32 斜右上的线检测仿真结果。(a)原始图像；(b)暂态过程中的图像；(c)稳态图像



(a)



(b)



(c)

图 5.33 斜右下的线检测仿真结果。(a)原始图像；(b)暂态过程中的图像；(c)稳态图像

(3) 二维 QCNN 应用于图像去噪

由于原始图像一般通过光学设备取自于现实世界，总有一些噪声叠加在图像上，因此，图像去噪成为图像处理中的一个重要的方面。图 5.34 (a) 是加上噪声后的原始图像，图像的尺寸是 40×40 ，为此需构建单邻域的 40×40 规模的 QCNN，参数选择为 $a = 0.02$ ， $r = 1$ ；A 模板如图 5.35 所示。图 5.34 (b) 为仿真过程中的过渡图像，图 5.34 (c) 为仿真所得的最终图像，图 5.36 是另一幅图像的去噪处理仿真结果，参数选择同上。由图 5.34 和图 5.36 可看出，原始图像在经过暂态过程后可完全恢复原貌，从而实现了图像去噪功能。

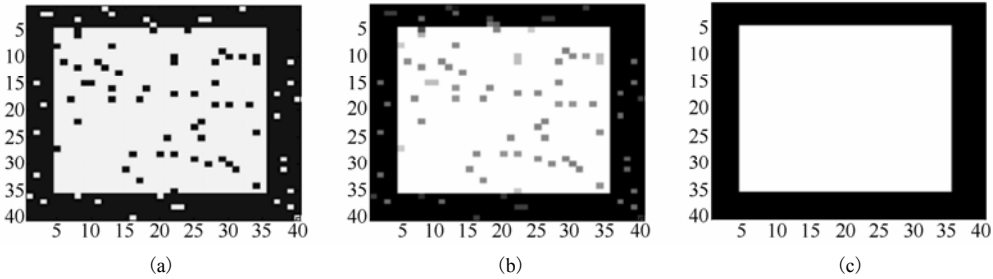


图 5.34 图像去噪仿真结果。(a) 原始图像；(b) 暂态过程中的图像；(c) 稳态图像

-3	15	-3
15	45	15
-3	15	-3

图 5.35 图像去噪的 A 模板

3. 三维量子细胞神经网络^[31-32]

QCNN 的结构同传统 CNN 的结构相类似，元胞只和其邻近元胞相连接，但这种连接不再是传统 CNN 中通过导线相连接而是通过库仑力相互连接。图 5.37 给出了一个三维 5×5 的 QCNN 的结构示意图。

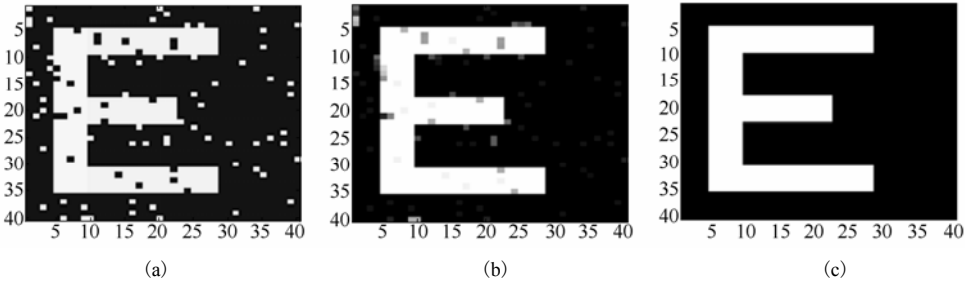


图 5.36 图像去噪仿真结果。(a) 原始图像；(b) 暂态过程中的图像；(c) 稳态图像

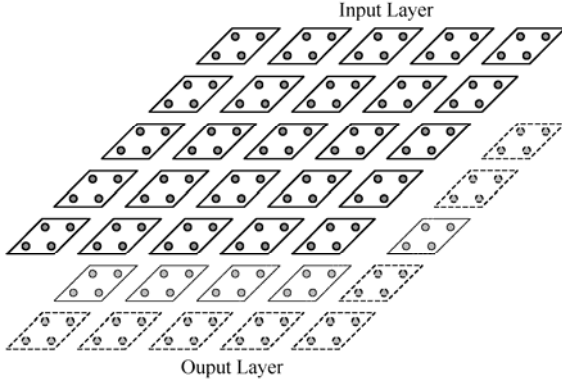


图 5.37 三维 QCNN 结构图

图5.37中，方块表示QCA元胞，每个QCA元胞通过库仑力与周围元胞进行相互作用。另外，上层QCA阵列是输入层，而下层QCA阵列是神经元层，也是输出层。输入层接受系统的输入，并在系统运算过程中保持不变，而神经元层接受系统的初始状态，并在系统运算过程中根据输入层和自身的状态而相应地发生变化。

在 QCNN 中，第 k 个元胞的状态如式 (5.28) 所示。而在三维 QCNN 中，考虑到输入层对输出层的影响，可得其神经元层第 i 行、第 j 列的元胞 $C(i, j)$ 的状态方程为：

$$\begin{aligned} \frac{dP_{i,j}}{dt} &= -2a\sqrt{1-P_{i,j}^2} \sin \varphi_{i,j} \\ \frac{d\varphi_{i,j}}{dt} &= - \sum_{C(k,l) \in N_r(i,j)} W(i,j;k,l) P_{k,l} - \sum_{C(k,l) \in N_r(i,j)} U(i,j;k,l) P_{k,l}^{\text{input}} \\ &\quad + 2a \frac{P_{i,j}}{\sqrt{1-P_{i,j}^2}} \cos \varphi_{i,j} + b \end{aligned} \quad (5.50)$$

其中， $a = \gamma/\hbar$ ， $N_r(i, j)$ 表示第 i 行、第 j 列的元胞 $C(i, j)$ 的邻域（即所有与元胞 $C(i, j)$ 有相互作用的元胞），定义为

$$N_r(i, j) = \left\{ C(k, l) \mid \max(|i-k|, |j-l|) \leq r, \quad 1 \leq k \leq M; \quad 1 \leq l \leq N; \quad r \geq 1 \right\} \quad (5.51)$$

当 $r=1$ 时，表示单邻域。而 $W(i, j; k, l) = E_{i,j} w_{k,l}$ （ $w_{k,l}$ 为权值）表示神经元层相邻元胞极化率的影响权值，相当于传统 CNN 中的 A 模板； $U(i, j; k, l)$ 表示输入层对神经元层元胞极化率的影响权值，相当于传统 CNN 中的 B 模板； P^{input} 为输入层元胞的极化率； b 为输入层对神经元层产生作用的阈值。

4. 三维量子细胞神经网络的图像处理模板^[31-32]

要将三维 QCNN 在图像处理中进行应用还必须假设两点：

- a. 对图像中的像素进行分类，假设像素值 “-1” 对应于 “黑色”，像素值 “1” 对应于 “白色” 而像素值在 “-1” 到 “1” 之间则对应于不同程度的 “灰色”；
- b. 设 QCNN 中的每个元胞代表一个像素，而用元胞的极化率表示像素值。

另外，在 QCNN 中，若元胞都相同，则其权值 $W(i,j;k,l)$ 将与元胞所在的位置无关，因此可对权值进行简化，得 $W(i,j;k,l)=A(k-i,l-j)$ ，矩阵 A 内的坐标表示元胞 $C(k,l)$ 相对于元胞 $C(i,j)$ 的位置，它是 $(2r+1) \times (2r+1)$ 规模的矩阵。当 $r=1$ 时，可用图 5.38 (a) 所示的模板来表示矩阵 A ，我们称之为 A 模板。同样地，用图 5.38 (b) 所示的模板来表示 $U(i,j;k,l)$ ，称之为 B 模板。

(1) 三维量子细胞神经网络的仿真

对于三维的 QCNN，可借助 MATLAB 中的 SIMULINK 来对其进行仿真研究。由于输入层元胞状态在系统运算过程中保持不变，需要分析的只是神经元层元胞的状态。另外，在下面的应用研究中所用到的 QCNN 的结构都是单邻域的，因此，图5.39给出了单邻域神经元层 QCNN 元胞的 SIMULINK 模型。

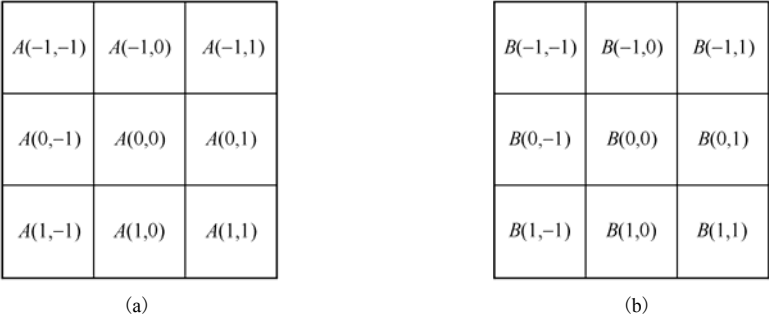


图 5.38 (a) A 模板；(b) B 模板

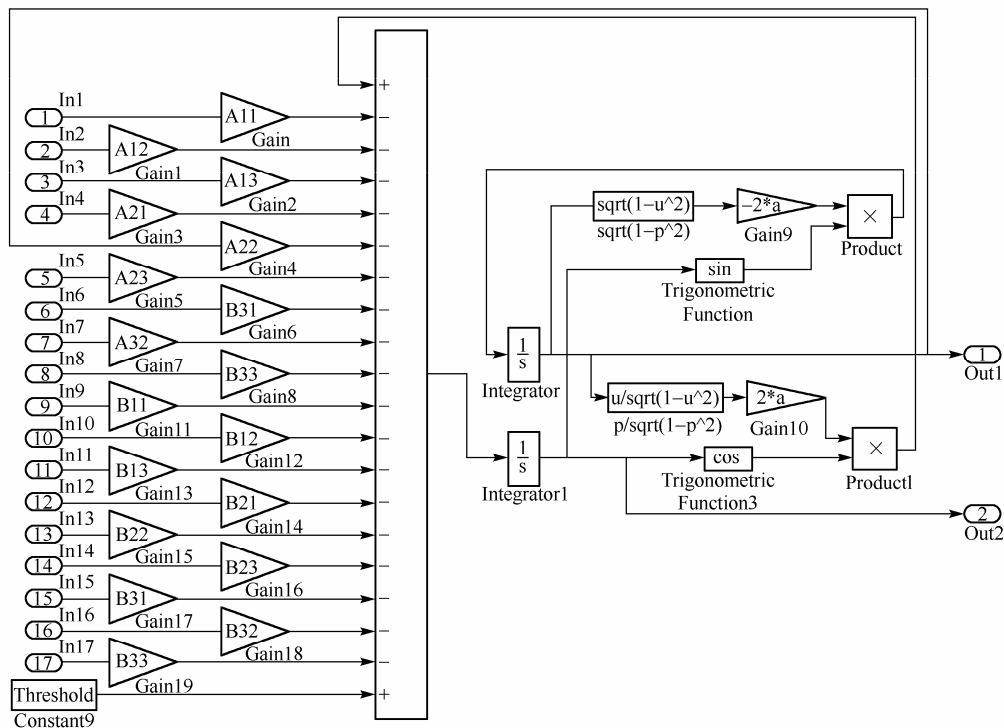


图 5.39 单邻域神经元 QCNN 元胞的 SIMULINK 模型

图 5.39 中输入 “In1” 到 “In8” 分别表示神经元层元胞的极化率, “In9” 到 “In17” 分别表示输入层元胞的极化率, 输出 “Out1” 表示元胞的极化率, 输出 “Out2” 表示元胞的量子相位, $A_{ij}(i, j=1,2,3)$ 表示 A 模板, $B_{ij}(i, j=1,2,3)$ 表示 B 模板, “Threshold” 表示阈值 b 。通过将元胞的 SIMULINK 模型按 QCNN 的结构进行连接就可对 QCNN 进行仿真验证。

(2) “与”、“或”、“非” 操作

现在用三维 QCNN 实现 “与”、“或”、“非” 操作, QCNN 的规模为 30×30 的阵列。图 5.40 显示了 “与” 操作, 图 5.40(a) 为神经元层的初始状态, 图 5.40(b) 为输入层的输入, 图 5.40(c) 为神经元层的最终输出图像。参数选择为: $a = 0.02$, $r = 1$, $b = 30$, A 模板和 B 模板分别如图 5.41(a) 和图 5.41(b) 所示。如果不做特别说明, 本章中关于参数 a 和 r 的选择都相同, 即 $a = 0.02$, $r = 1$, 变化的只是阈值 b 以及 A 模板、B 模板。

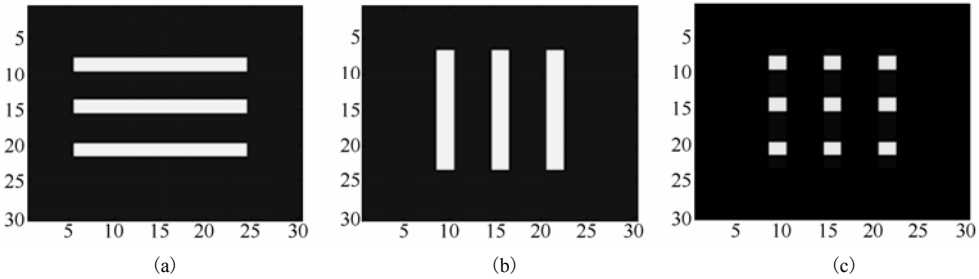


图 5.40 “与”操作。(a)初始状态；(b)输入；(c)最终输出



图 5.41 “与”操作模板。(a)A 模板；(b)B 模板

图 5.42 显示了“或”操作，图 5.42 (a)为神经元的初始状态，图 5.42 (b)为输入层的输入，图 5.42 (c)为神经元的最终输出图像。参数选择为： $b = -30$ ，A 模板和 B 模板的选择同“与”操作一样，分别如图 5.41 (a)和图 5.41 (b)所示。

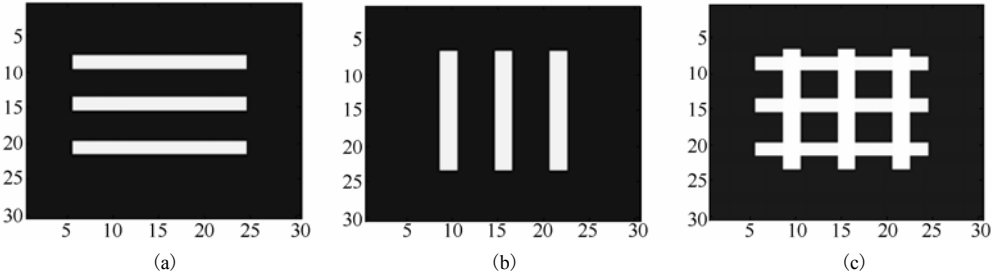
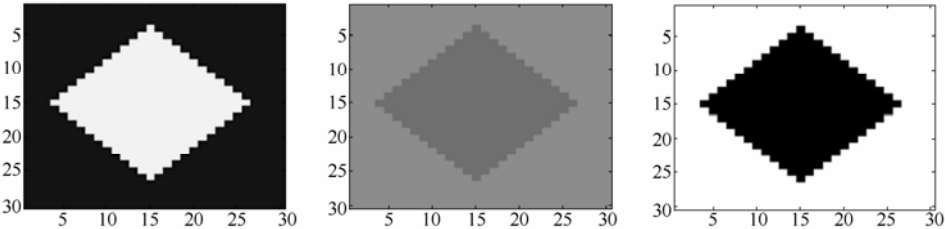


图 5.42 “或”操作。(a)初始状态；(b)输入；(c)最终输出

图5.43 显示了“非”操作，图5.43 (a)既是神经元的初始状态，也是输入层的输入，图 5.43 (b)为神经元仿真过程中的暂态图像，图 5.43 (c)为神经元的最终输出图像。参数选择为： $b = 0$ ，A 模板和 B 模板的选择分别如图5.44 (a)和图5.40 (b)所示。



(a) (b) (c)

图 5.43 “非”操作。(a)初始状态和输入；(b)暂态图像；(c)最终输出

(3) “减”操作

当参数选择为： $b = 30$ ，A 模板和 B 模板分别如图 5.45 (a) 和图 5.45 (b) 所示时，QCNN 可实现“减”操作，如图 5.46 所示。图 5.46 (a) 为神经元层的初始状态，图 5.46 (b) 为输入层的输入，图 5.46 (c) 为神经元层的稳态输出。这种“减”操作功能其实可通过神经元层的初始状态同输入层输入的“非”进行“与”操作来实现，即 $A - B = A \cdot \bar{B}$ 。

0	0	0
0	30	0
0	0	0

(a)

0	0	0
0	-30	0
0	0	0

(b)

0	0	0
0	60	0
0	0	0

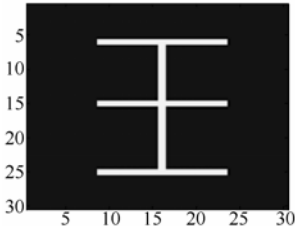
(a)

0	0	0
0	-30	0
0	0	0

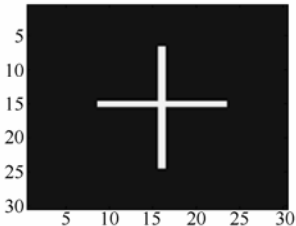
(b)

图 5.44 “非”操作模板。(a) A 模板；(b) B 模板

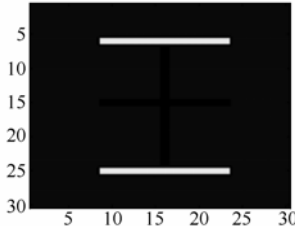
图 5.45 “减”操作模板。(a) A 模板；(b) B 模板



(a)



(b)



(c)

图 5.46 “减”操作。(a)神经元层初始状态；(b)输入层的输入；(c)神经元层的稳态输出

(4) “空洞填充”操作

当参数选择为： $b = 10$ ，A 模板和 B 模板分别如图 5.47 (a) 和图 5.47 (b) 所示时，QCNN 可实现空洞填充操作，如图 5.48 所示。图 5.48 (a) 为神经元层的初始状态，图 5.48 (b) 为输入层的输入，图 5.48 (c) 为神经元层的稳态输出。由图 5.48 可看出，原始图像在经过暂态过程后可实现空洞填充功能。

5	5	5
5	30	5
5	5	5

(a)

0	0	0
0	30	0
0	0	0

(b)

图 5.47 空洞填充模板。(a) A 模板；(b) B 模板

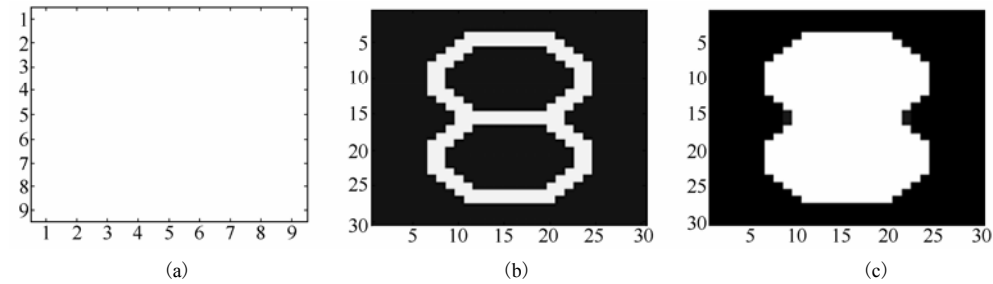


图 5.48 空洞填充。(a) 神经元层初始状态；(b) 输入层的输入；(c) 神经元层的稳态输出

(5) 去除孤立点操作

当参数选择为： $b = -10$ ，A 模板和 B 模板分别如图 5.49(a) 和图 5.49(b) 所示时，QCNN 可实现去除孤立点操作，如图 5.50 所示。图 5.50(a) 既是神经元层的初始状态，也是输入层的输入，图 5.50(b) 为神经元层的暂态输出，图 5.46(c) 是神经元层的稳态输出。



图 5.49 去除孤立点模板。(a) A 模板；(b) B 模板

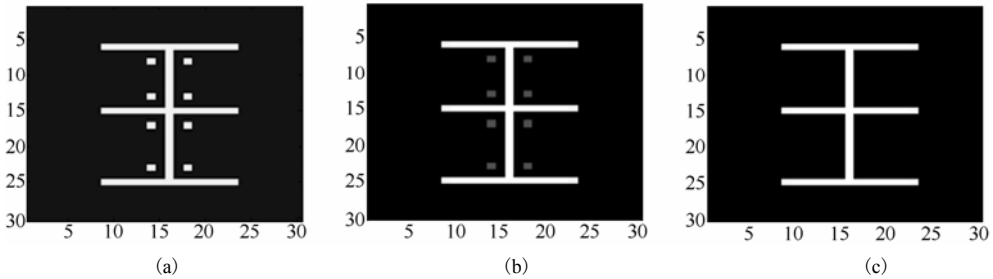


图 5.50 去除孤立点。(a) 输入层的输入；(b) 神经元层暂态输出；(c) 神经元层稳态输出

5. 三维量子细胞神经网络的图像处理应用^[31-32]

(1) 图像边缘提取应用

考虑图 5.51(a) 所示的图像，要对其边缘进行提取，参数选择为 $b = 30$ ，并令 A 模板和 B 模板分别如图 5.52(a) 和图 5.52(b) 所示，并将图 5.51(a) 既作为神经元层的初始状态，又作为输入层的输入，可得边缘提取的仿真结果如图 5.51 所示。由图 5.51 可看出采用图 5.52 所示的模板仅用一步就可实现图像的边缘提取。

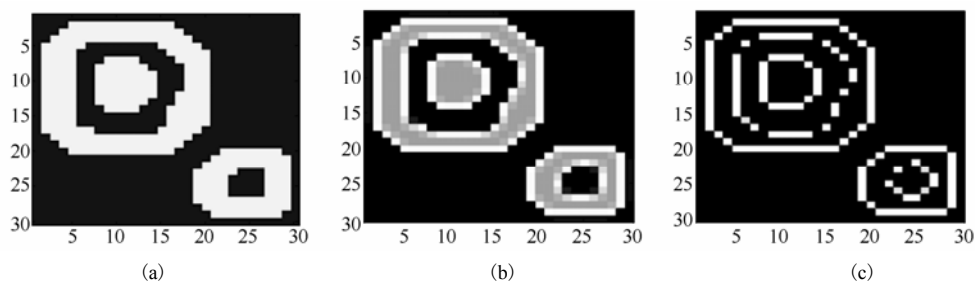


图 5.51 边缘提取。(a)输入层的输入；(b)神经元层暂态输出；(c)神经元层稳态输出



图 5.52 边缘提取模板。(a)A 模板；(b)B 模板

(2)图像骨架化应用

考虑如图 5.53(a)所示的数字“5”，要对其进行骨架化操作，需分两步进行。

第一步：首先选择参数 $b = 60$ ，并令 A 模板和 B 模板分别如图 5.54(a)和图 5.54(b)所示，并将图 5.53(a) 既作为神经元层的初始状态，又作为输入层的输入，图 5.53(b)为神经元层的稳态输出，称之为“预骨架化”。

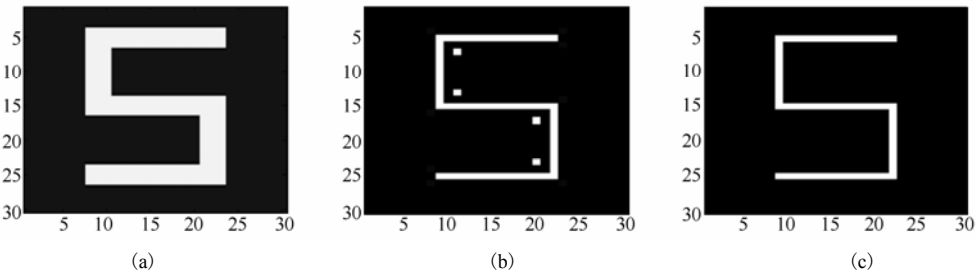


图 5.53 骨架化操作。(a)预骨架化时输入层的输入；(b)预骨架化后神经元层稳态输出；(c)去除孤立点操作后神经元层稳态输出

第二步：对图5.53(b)采用图5.49所示的“去除孤立点”模板，可得神经元层的输出如图 5.53(c)所示。

由图5.53可看出，经过预骨架化操作和去除孤立点操作后可实现图像的骨架化，其操作流程如图 5.55 所示。

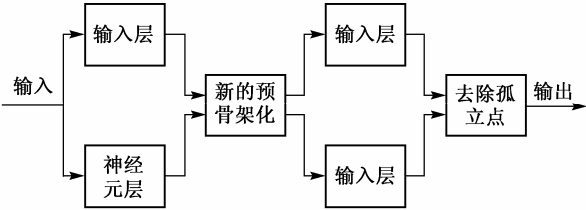
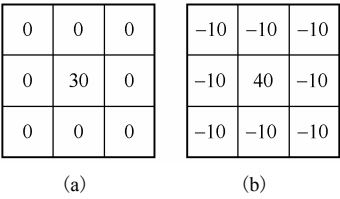


图 5.54 预骨架化模板。(a) A 模板；(b) B 模板

图 5.55 骨架化操作流程

5.5 量子元胞自动机逻辑电路及应用

由于 QCA 元胞的双稳态特性，可利用元胞的线形排列有效地传递二进制信息，它特别适用于数字电路，前面已介绍了 QCA 的一些基本逻辑电路，下面主要介绍 QCA 的一些典型的数字电路。

5.5.1 基于量子元胞自动机的异或门和加法器设计^[33]

1. 基于QCA的异或门设计

图 5.56 给出了用与、或、非门实现的异或门逻辑符号，其逻辑表达式为^[33]：

$$C = (A + B)(\overline{AB}) = A\overline{B} + \overline{A}B = A \oplus B \tag{5.52}$$

图 5.57 为根据图 5.56 的逻辑符号给出的利用 QCA 来实现的异或门电路，图中显示了总静电能最小时电子在各自元胞上占据的位置。通过对四种可能的输入情况进行了仿真，得出它可实现异或的功能，这里仅给出其中的两种情况，分别如图5.57(a)和 5.57(b)。图中黑色宽边的元胞表示该元胞的状态在电路的运算过程中固定不变。

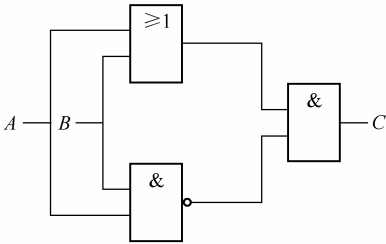


图 5.56 异或门逻辑符号

2. 基于QCA的全加器设计

对于全加器可将其和数 S 与进位 C' 分开来实现。图 5.58 给出了用与、或、非门实现的全加器和数 S 逻辑符号，可以看出它的和数 S 是两个异或门串接而成的输出端^[33]，其逻辑表达式为：

$$\begin{aligned} S &= \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC = \overline{A}(\overline{B}C + B\overline{C}) + A(\overline{B}\overline{C} + BC) \\ &= \overline{A}(B \oplus C) + A(\overline{B \oplus C}) = A \oplus B \oplus C \end{aligned} \tag{5.53}$$

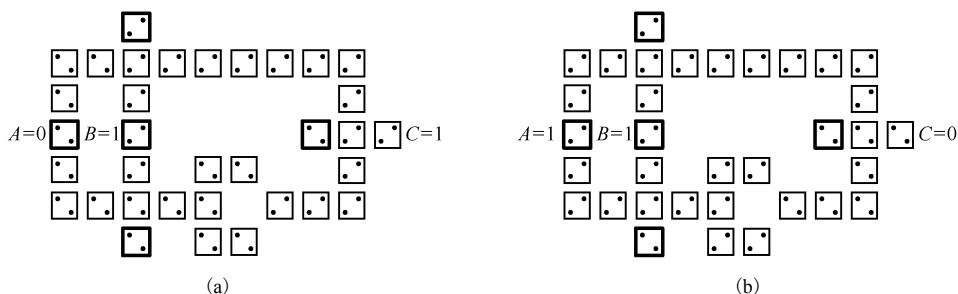


图 5.57 异或门电路两种不同输入情况下的状态。(a) 输入为 $A=0, B=1$; (b) 输入为 $A=1, B=1$

其进位 C' 的逻辑表达式为:

$$C' = \bar{A}BC + A\bar{B}C + ABC\bar{C} + ABC = BC + AC + AB \quad (5.54)$$

它恰好是择多逻辑门的逻辑表达式, 因而可用一个择多逻辑门来实现进位的功能, 如图 5.59 所示。

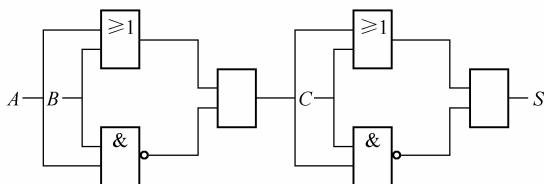


图 5.58 全加器和数 S 逻辑符号

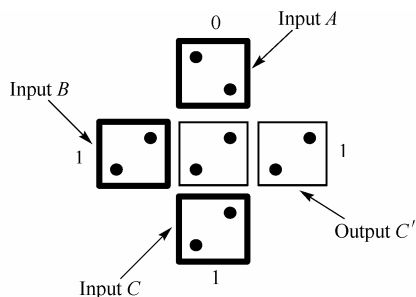


图 5.59 利用择多逻辑门来实现全加器的进位

图 5.60 为根据图 5.59 的逻辑符号给出的利用 QCA 来实现的全加器和数部分结构图, 图中大部分元胞上的四个量子点都用空心圆圈来表示, 说明此元胞的状态待定。同样地, 利用遗传模拟退火法对其八种可能的输入情况进行了仿真, 证明它服从加法器中和数的真值表。限于篇幅, 只给出两种输入情况下电子在各自的元胞上占据量子点的状态, 分别如图 5.61 和图 5.62 所示。图中电子在各自元胞上的排列为该输入下系统的总静电能最小, 即系统处于基态时的排列状态。

Tougaw 等人也设计了异或门和全加器^[5], 其中异或门用了两个与门, 两个非门和一个或门, 还包含一次导线交叉, 全加器用了三个非门, 五个择多逻辑门, 包含九次导线交叉。全加器由于多次用到导线交叉, 电路结构较为复杂。由图 5.57 和图 5.60 可看出上述的异或门只用了两个与门, 一个非门和一个或门, 全加器用了四个

与门，两个非门，两个或门和一个择多逻辑门，另外它们都没有用到导线交叉，这就使得电路结构较为简单，而且使用的QCA元胞数目大大减少。参考文献[5]中的异或门和全加器分别使用了 64 个和 192 个QCA元胞，而上述的异或门和全加器只用了 34个和 75 个 QCA 元胞，可见上述的电路在规模上只有参考文献[5]设计的电路的一半左右，这有利于减小以后设计的更复杂电路的规模。

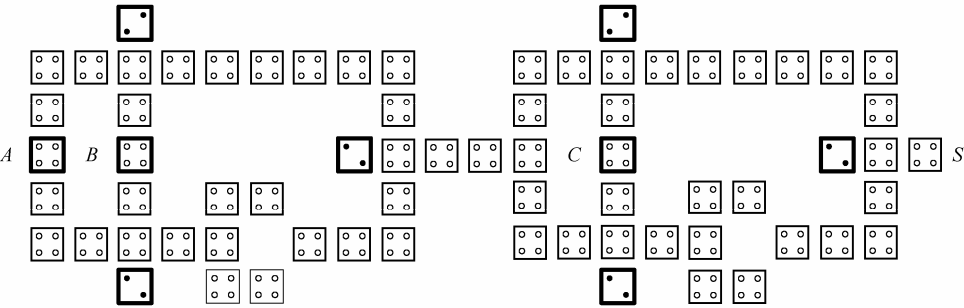


图 5.60 全加器和数部分结构图

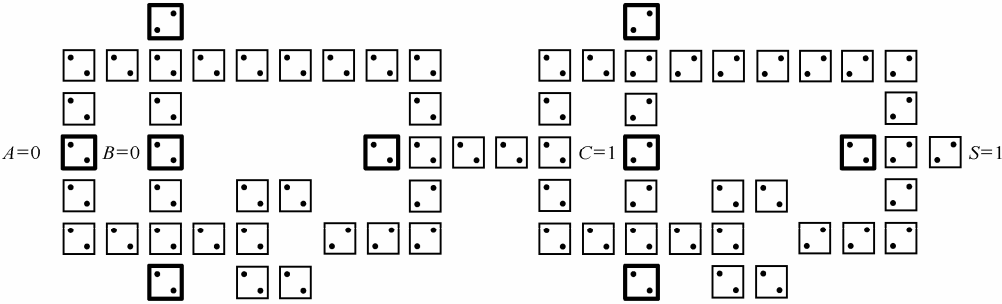


图 5.61 输入为 $A=0, B=0, C=1$ 时的全加器电路

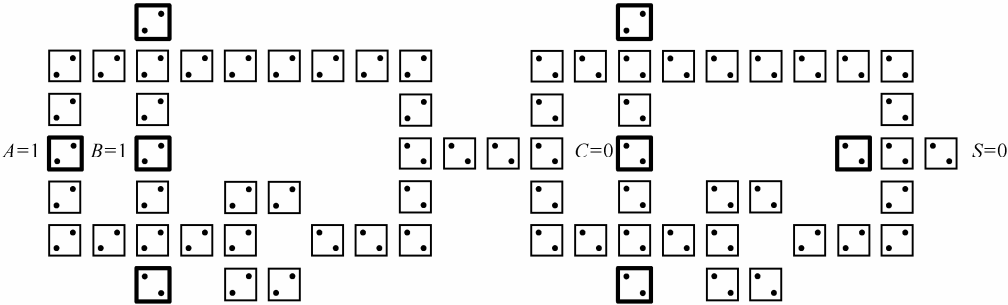


图 5.62 输入为 $A=1, B=1, C=0$ 时的全加器电路

另外，Wang 等人提出了四位串行加法器^[34]，Cho 等人提出了四位并行加法器^[35]。

Zhang等人提出了一种基于最少择多逻辑门设计思路的全加器,用了三个择多逻辑门来实现一位全加器的和数及进位^[36],并对各种加法器进行了比较^[37]。

5.5.2 量子元胞自动机移位寄存器

1. 工作原理

移位寄存器是属于时序逻辑电路的范畴,它的设计不同于前面的异或门、加法器等组合逻辑电路,需要用到新的QCA结构,Janulis等人利用准绝热开关量子元胞自动机(Quasi-adiabatically switched quantum-dot cellular automata)设计了一种两位的移位寄存器^[38]。

带时钟控制的QCA在时序QCA逻辑器件中是非常重要的^[39],其量子点间的势垒可以调节,通过调节势垒从而达到控制元胞极化率的目的。当量子点间的势垒低时,电子能自由地在元胞内的量子点间隧穿,这使得元胞去极化,因为这时电子不再固定在某一量子点上。当量子点间的势垒高时,电子不再能自由隧穿,被固定在量子点上。由于库仑力的影响,它们总是分布在对角的两个量子点上^[6]。

带时钟控制的QCA中的势垒受四个不同的时钟相位(clock phase)控制。当元胞中的势垒受时钟相位控制正在降低时,称元胞“放松中”(relaxing);当势垒降到并稳定在最低时,称元胞“已放松”(relaxed),此时允许电子在元胞内自由隧穿;当势垒受时钟相位控制逐渐上升时,称元胞“自锁中”(locking);当势垒升到并稳定在最高时,称元胞“已自锁”(locked),此时完全禁止电子隧穿。在利用这类QCA时,尽量使邻近区域的元胞受同一时钟相位控制,从而可用一条时钟线控制一块区域,使得这一区域内的元胞具有相同的势垒,这样可避免给每个元胞安排一条时钟线。通过安排不同的元胞在不同的区域,可控制数据流的方向。图5.63显示一个如何控制数据流方向的例子。

图中有四个区域,分别标为“Region A”、“Region B”、“Region C”和“Region D”,每一区域受不同的时钟相位控制。在图中第一行,给最左边的元胞输入“1”,同时“Region A”的势垒受时钟控制逐渐上升,此时“Region A”的元胞的极化率逐渐变成“1”。“Region B”中的元胞处在“已放松”状态,此时元胞去极化,因此它对“Region A”中的元胞的状态没有影响。“Region C”处在“放松中”状态,它将元胞的原状态“0”逐渐去极化。“Region D”处在“已自锁”状态,它保持原来的“0”状态不变。

图中第二行表示下一时间步骤,此时“Region A”处在“已自锁”状态,它将元胞状态固定在“1”状态。由于此时元胞处在“已自锁”态,它能作为输入值驱动相邻的元胞,而“Region B”这时处在“自锁中”状态,因此“Region B”中元胞逐渐变

成“1”状态。

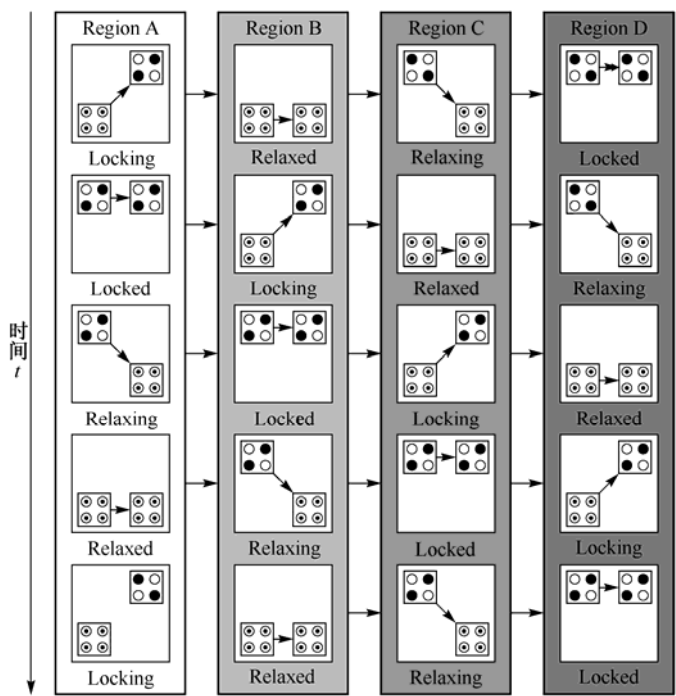


图 5.63 数据传输方向示意图

在下一时间步骤中，“Region A”为“放松中”，它不再驱动其他元胞，“Region C”为“自锁中”，它根据相邻元胞的状态而决定变为何种状态，“Region B”为“已自锁”，它驱动“Region C”中的元胞变为“1”状态。在第四步时，“Region D”中的元胞被驱动为“1”状态。此时“Region A”中的元胞处在“已放松”态，准备在下一时间步骤中接收新的输入。图中第五行为一新循环的开始，此时“Region A”接收“0”输入。

图 5.64 显示了元胞在受时钟相位控制时极化率的变化曲线。当时钟相位为“已放松”时，极化率为 0，当时钟相位为“已自锁”时，极化率为 1(对应于逻辑“1”)或-1(对应于逻辑“0”)，极化率在“放松中”与“自锁中”这两个时钟相位的控制下发生变化。

2. 两位移位寄存器

根据上述的带时钟控制的 QCA 的工作特点，图5.65显示了一个两位的串行输入右移位寄存器。

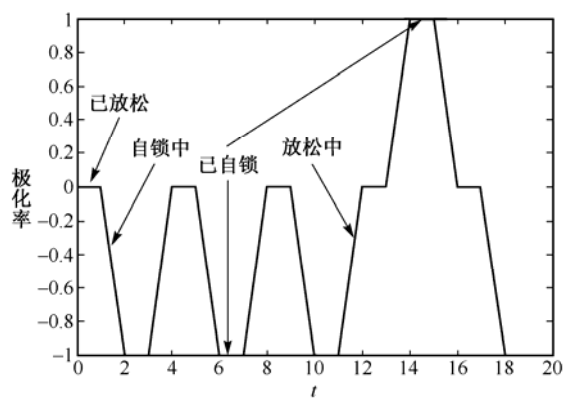


图 5.64 元胞极化率变化曲线

由图中可见，它由 8 个元胞连成线状而成，每四个元胞为一组处在四个不同的时钟相位控制之下(分别以 A、B、C、D 表示)，存储一位信息(图中存储的都为“0”状态，以此为初始状态)。图5.66 为该两位移位寄存器在时钟相位控制下随时间变化的仿真结果。

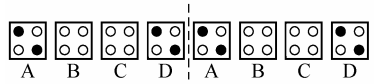


图 5.65 两位移位寄存器结构图

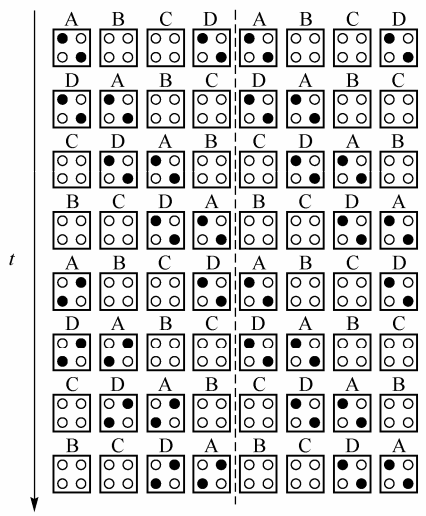


图 5.66 两位移位寄存器随时间变化的仿真结果

图中反映了移位寄存器在两个时钟周期内极化率的变化情况，其中每个时钟周期包含四个时钟相位 A、B、C、D，分别表示“自锁中”、“已放松”、“放松中”、“已自锁”。元胞上四个量子点都为空心圆圈表示元胞极化率为 0。由图可见，每经过四个时钟相位即一个时钟周期，移位存储器中的信息右移移位，此图中的输入信息为“01”，从图中最后一行可看出输出也为“01”（以每组元胞中的最后一位作为输出位）。

该移位寄存器可方便地扩展位数，它只需在连线的尾端增加元胞(每扩展一位需增加四个元胞)，并使每个元胞受时钟相位控制的次序与前面元胞相同即可。

5.5.3 量子元胞自动机存储器设计^[40]

存储器是大部分数字系统中不可缺少的组成部分，而由于QCA电路具有高集成度、低功耗等优点，基于QCA元胞的存储器能很容易具有体积小、存储容量大等特点。下面基于QCA的双稳态特性和数字电路设计了一个 2×2 bit的ROM，并以 4×5 bit的ROM为例，给出了将ROM的容量进行扩展的方法^[40]。

1. 2×2 bit ROM

图 5.67 给出了用与、或、非门实现的 2×2 bit 的只读存储器的结构图，即有 2 行存储 2 个字，每个字 2 位。其读操作是根据给定的地址码 A 通过译码器选中相应的单元 W_0 或 W_1 ，从而读出其中的信息。

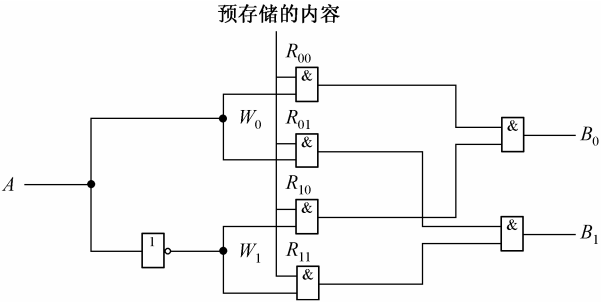


图 5.67 2×2 bit 只读存储器结构图

表 5.3 给出了译码器的功能。

表 5.3 译码器功能表

地 址	字 线 信 号	
A	W_0	W_1
0	0	1
1	1	0

由表 5.3 可得译码器的逻辑表达式：

$$W_0 = A \quad W_1 = \bar{A} \tag{5.55}$$

从图 5.67 和表 5.3 可知，存储单元是由一系列或门组成，位线的输出信息是字线信号的“与”，从而可得该 ROM 位线的输出信息：

$$B_0 = (R_{00} + W_0) \cdot (R_{10} + W_1) = (R_{00} + A) \cdot (R_{10} + \bar{A}) = \bar{A}R_{00} + AR_{10} \quad (5.56)$$

$$B_1 = (R_{01} + W_0) \cdot (R_{11} + W_1) = (R_{01} + A) \cdot (R_{11} + \bar{A}) = \bar{A}R_{01} + AR_{11} \quad (5.57)$$

由上述逻辑表达式可知, 当 $A=0$ 时, 输出信息为 W_0 指向的存储单元的内容 R_{00} 和 R_{01} , 而当 $A=1$ 时, 输出信息为 W_1 指向的存储单元的内容 R_{10} 和 R_{11} 。

图5.68 为根据图5.67 的存储器结构图给出的利用QCA来实现的存储器电路, 图中显示了总静电能最小时电子在各自元胞上占据的位置。利用遗传模拟退火法对两种可能的输入情况进行了仿真, 分别如图5.68 (a) 和图5.68 (b), 可看出它可实现只读存储器的功能。

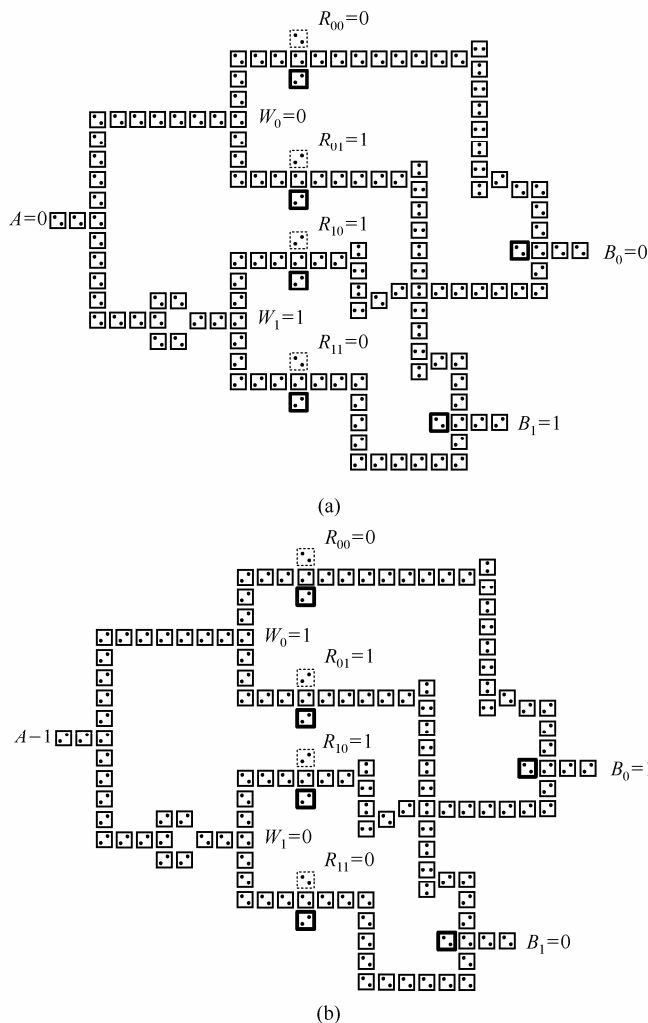


图 5.68 只读存储器电路不同地址下的电路状态。(a) $A=0, B_0=0, B_1=1$; (b) $A=1, B_0=1, B_1=0$

2. 4×5 bit ROM

要对这种存储器的容量进行扩展，可分别通过扩展译码器的选址能力以及存储单元的容量来扩展存储器的字数和字长。图 5.69 给出了 4×5 bit 的只读存储器的结构图。

与图 5.67 相比，图 5.69 中译码器由 1/2 线译码器变为 2/4 线译码器，这样可将存储的字数由 2 个变成 4 个，存储单元的容量也由原来的 2 位变成 5 位，这一存储的字长就变成 5 位，位线的输出信息仍然是字线信号的“与”，只不过这时输出信息是 4 个字线信号的“与”。

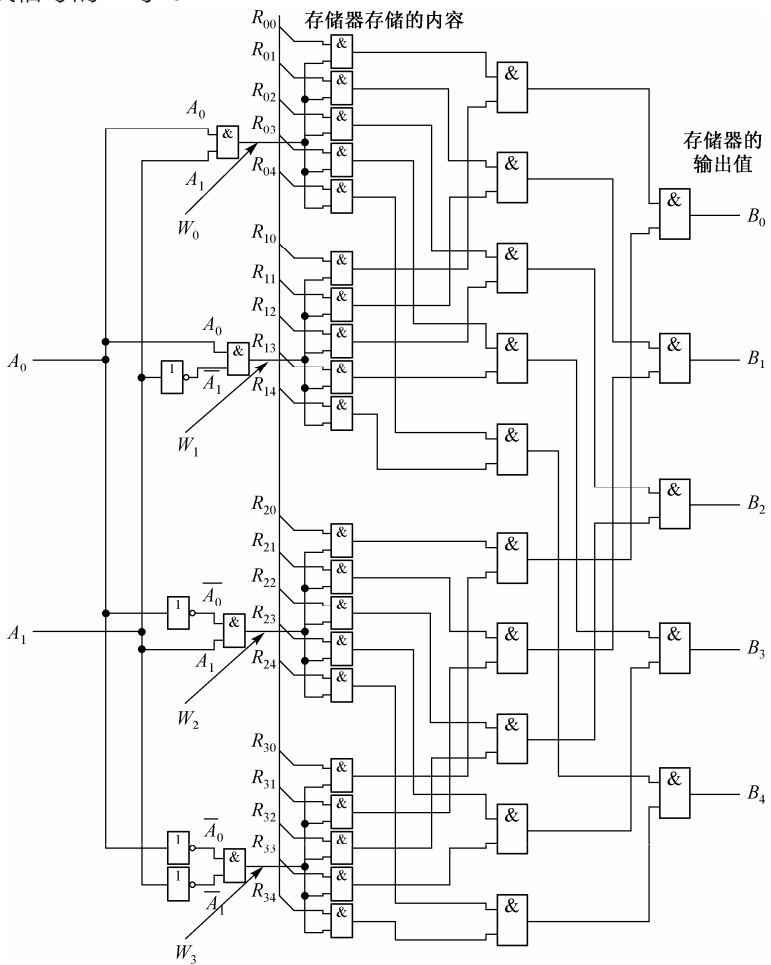


图 5.69 4×5 bit 只读存储器结构图

图中 2/4 线译码器的逻辑表达式为：

$$W_0 = A_0 + A_1 \tag{5.58}$$

$$W_1 = A_0 + \bar{A}_1 \tag{5.59}$$

$$W_2 = \bar{A}_0 + A_1 \quad (5.60)$$

$$W_3 = \bar{A}_0 + \bar{A}_1 \quad (5.61)$$

该存储器位线的输出信息为：

$$B_0 = (R_{00} + W_0)(R_{10} + W_1)(R_{20} + W_2)(R_{30} + W_3) \quad (5.62)$$

$$= R_{00}\bar{A}_0\bar{A}_1 + R_{10}\bar{A}_0A_1 + R_{20}A_0\bar{A}_1 + R_{30}A_0A_1$$

$$B_1 = (R_{01} + W_0)(R_{11} + W_1)(R_{21} + W_2)(R_{31} + W_3) \quad (5.63)$$

$$= R_{01}\bar{A}_0\bar{A}_1 + R_{11}\bar{A}_0A_1 + R_{21}A_0\bar{A}_1 + R_{31}A_0A_1$$

$$B_2 = (R_{02} + W_0)(R_{12} + W_1)(R_{22} + W_2)(R_{32} + W_3) \quad (5.64)$$

$$= R_{02}\bar{A}_0\bar{A}_1 + R_{12}\bar{A}_0A_1 + R_{22}A_0\bar{A}_1 + R_{32}A_0A_1$$

$$B_3 = (R_{03} + W_0)(R_{13} + W_1)(R_{23} + W_2)(R_{33} + W_3) \quad (5.65)$$

$$= R_{03}\bar{A}_0\bar{A}_1 + R_{13}\bar{A}_0A_1 + R_{23}A_0\bar{A}_1 + R_{33}A_0A_1$$

$$B_4 = (R_{04} + W_0)(R_{14} + W_1)(R_{24} + W_2)(R_{34} + W_3) \quad (5.66)$$

$$= R_{04}\bar{A}_0\bar{A}_1 + R_{14}\bar{A}_0A_1 + R_{24}A_0\bar{A}_1 + R_{34}A_0A_1$$

图 5.70 为根据图 5.69 的存储器结构图给出的利用 QCA 来实现的 4×5 bit 存储器电路，由于篇幅所限，仅给出四种可能输入的一种。由图可见，此存储器预存储的内容为 $(R_{00}, R_{01}, R_{02}, R_{03}, R_{04})$ ， $(R_{10}, R_{11}, R_{12}, R_{13}, R_{14})$ ， $(R_{20}, R_{21}, R_{22}, R_{23}, R_{24})$ 和 $(R_{30}, R_{31}, R_{32}, R_{33}, R_{34})$ ，译码器输入的地址位为 $(0, 1)$ ，对应的存储器输出为 $(0, 1, 0, 0, 0)$ ，它与预存储的 $(R_{10}, R_{11}, R_{12}, R_{13}, R_{14})$ 相同。对于其他可能的输入，通过仿真发现都可得到正确的输出结果。

上面所设计的是只读存储器，Walus^[41]等人提出了一种基于 QCA 的 RAM，它是一种并行存储器。Berzon^[42]等人基于模块化的 QCA 提出一种串行的存储器。Frost^[43]等人基于 QCA 提出了一种 H 树型结构的存储器。Ottavi^[44]等人提出了并读串写的存储器，并通过存储器的面积以及存储速度比较了这几种存储器的优缺点。

另外，Walus 等人基于 QCA 设计了一个简单的四位处理器^[45]。Choi 等人提出了一种基于 QCA 的“门结构”电路^[46-48]。Tougaw 等人也设计了一种基于 QCA 的“门结构”电路，并提出了一种基于 QCA 的时序字节流分析器^[49,38]。Fountain 等人于 1998 年将 QCA 运用到高并行计算系统中去^[50]。Niemier 等人设计了基于 QCA 的微处理器^[51-61]。

5.5.4 量子元胞自动机数字电路设计方法

CMOS 器件的广泛应用部分原因是由于它具有合适的设计方法，这使得数百万

个晶体管可集成在一个芯片上, 同样地, 随着 QCA 研究的逐渐深入, 要使 QCA 能实际运用也需要发展出相应的设计方法, 下面将对 QCA 现有的各种设计方法进行了阐述, 并比较了各自的优缺点^[10, 42, 57, 62-64]。

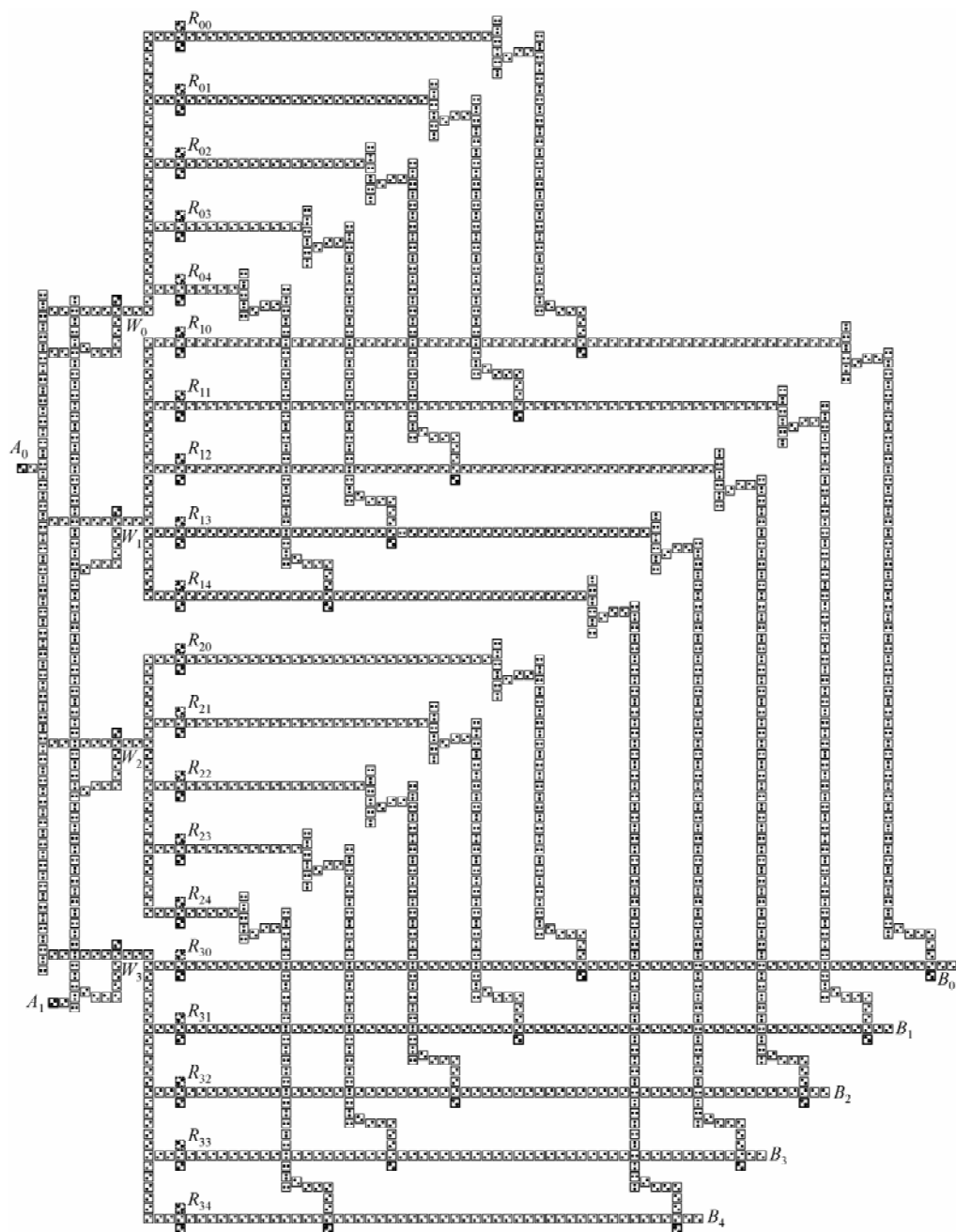


图 5.70 4×5 bit 只读存储器电路图

关于 QCA 电路的设计主要有三种方法：自顶向下的设计方法 (top-down)^[62-63]，自底向上的设计方法 (bottom-up)^[10, 42, 57] 和基于 QCA 的综合设计方法^[64]。

1. 基于QCA的自顶向下设计方法

基于 QCA 的自顶向下设计方法有两种，它们分别由 Henderson、Tang 等人提出^[62-63]，借鉴了 CMOS 工艺中自顶向下的设计思想，其主要内容如下：

第一步：进行概念设计，建立行为级模型，用来验证所设计的系统在功能上是否正确，这可借用硬件描述语言 HDL 来进行。

第二步：基于已建立的行为级模型，建立结构逻辑模型，该模型包含了 QCA 的准绝热开关特性，使得在设计系统时第一次考虑到了工艺问题。

第三步：在通过了结构逻辑模型的验证后，就可建立结构 QCA 模型，在这个模型中是用 QCA 而不是逻辑器件来仿效逻辑功能的。

第四步：在上述三个步骤都完成后，就可对 QCA 元胞进行布局；对于元胞的布局，近年来出现很多方法。Zhang 和 Walus^[36]等基于 QCA 电路的基本逻辑单元为择多逻辑门于 2004 年提出一种减少择多逻辑门的方法，Chung^[65]等出于在当前的工艺下制造交叉线较为困难的考虑于 2005 年提出一种交叉最少的布局方法，Antonelli 和 Ravichandran^[66, 51]等考虑到大规模 QCA 电路都要在时钟控制之下分别于 2004 年和 2005 年提出了不同的电路分区和布局的优化算法，Choi^[46]等于 2005 年也提出了一种局部同步、全局不同步的 QCA 电路布局方法。

第五步：最后在器件级上对系统进行仿真验证，在这一步上，Henderson 和 Tang 的方法有所不同，前者是基于 Schrödinger 方程，利用量子机理来仿真的，后者是给出了 QCA 的等效电路模型，利用 SPICE 来进行仿真的。

基于 QCA 的自顶向下具体设计流程如图 5.71 所示。

2. 基于QCA的自底向上设计方法

基于 QCA 的自底向上的设计方法主要有三种，它们分别由 Niemier、Walus、Berzon 等人提出^[57, 10, 42]。

Niemier 等人从系统级上提出了基于 QCA 的设计方法，其主要内容如下：

第一步：收集基本信息，包括元胞对扭结能的容忍度，元胞状态转换的电场强度。

第二步：对元胞进行布局，使之产生所需要的逻辑输出，并进行仿真验证。

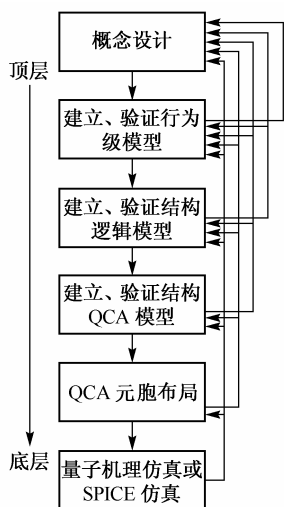


图 5.71 基于 QCA 的系统设计流程图

第三步：在设计中引入可能产生的错误和误差，再次验证逻辑的正确。

第四步：增加电路的稳健性和冗余度，确保电路实现正确的功能。

第五步：计算出在一次运算过程中所允许的最大元胞个数，太多的元胞同时转换时可能会出现错误，同时，计算所设计的电路在其工作环境中对扭结能的容忍度，如大于所设计电路的容忍度，则返回第四步。

第六步：设计控制时钟的结构，并确保所有元胞状态在任一时钟控制下有足够的时间进行转换。

Walus 等人提出了一种基于QCA的设计、仿真软件——QCADesinger^[10]，它是目前较为常用的一种QCA 电路设计、仿真软件，可让电路设计者方便、迅速地对电路进行布局，并可对所设计的电路进行仿真验证。其仿真可采用三种手段：数字式仿真、非线性逼近仿真、双稳态仿真。

Berzon 等人也提出了一种设计思想^[42]，它主要是用 QCA 构造各种基本元素 (Standard QUantum cellular automata Array Elements, SQUARES)。图 5.72 给出了 SQUARES 的基本元素结构图，图中每个布局实现一个逻辑功能或连线功能。另外，它们都封装在一个 5×5 QCA 元胞的区域中，输入、输出都位于封装边界的中间部位。每个 SQUARE 在同一个时钟相位控制下，由时钟信号决定信号的传递方向。整个电路的设计是基于这些基本逻辑块，由于每个基本逻辑块在面积和结构上都一致，它易于大规模集成。

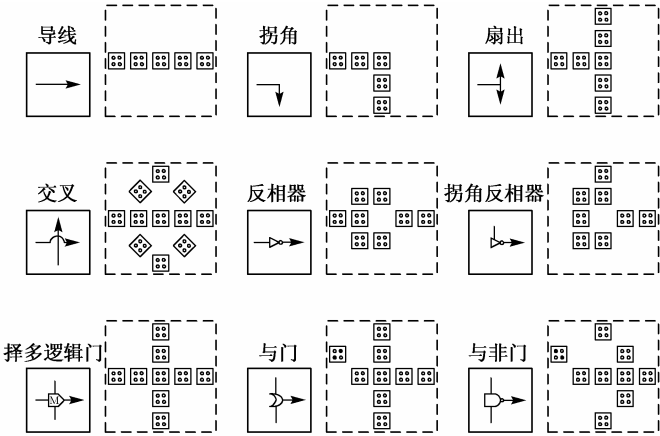


图 5.72 SQUARES 基本元素结构图

Huang^[67]等人也提出一种基于模块的设计电路的思想，但其将QCA基本逻辑封装在一个 3×3 的格子上，整个电路的设计是用这些基本网格来实现的，如图 5.73 所示。

图中给出了 3×3 的基本模块和五种不同的输入/输出逻辑电路，当在 3×3 模块中去掉某一个或几个QCA 元胞时，这些逻辑电路就会出现不同的逻辑输出。例如在

三输入单输出电路中，如果去掉中心元胞则该电路的输出为 $F = B$ 。

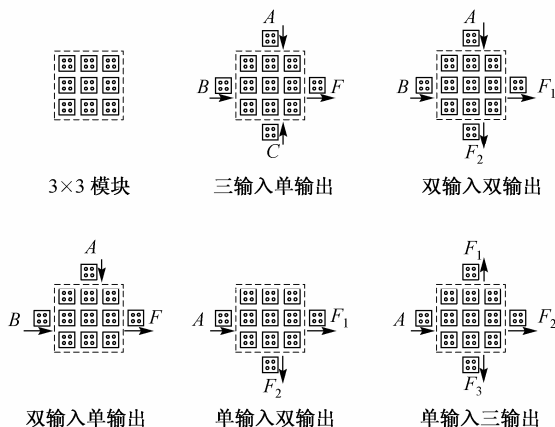


图 5.73 3×3 模块基本逻辑电路

3. 基于QCA的综合设计方法^[64]

通过对上述两类设计方法的分析，发现基于QCA的自底向上的设计方法直接从QCA的逻辑电路出发进行电路设计，具有直观、快捷的优势，适合小规模的系统设计，但当系统规模较大时，容易出现错误，使得电路设计重复进行，导致开发过程较长，开发成本增加。而基于QCA的自顶向下的设计方法是从系统级出发对电路进行设计、仿真验证，在设计小规模电路时显得设计过程较为繁杂，但当在进行大规模电路设计时，它从行为级到器件级上对电路设计可能出现的错误逐步进行纠正，减少了电路设计的重复进行，导致开发成本减少，开发周期缩短。但目前基于QCA的自顶向下的设计方法还不太成熟，一种可能的解决办法就是在设计较大规模电路时，综合使用上述的各种设计方法，为此我们提出一种基于QCA的综合设计方法，具体如下^[64]：

第一步：进行概念设计，并建立行为级模型，进行行为级仿真验证，用来验证所设计的系统在功能上是否正确，这同样可借用硬件描述语言HDL来进行。

第二步：建立结构逻辑模型，该模型需考虑到QCA的双稳态特性和非线性特性^[12]，使得在设计系统时第一次考虑到了工艺问题。

第三步：考虑到QCA元胞对布局的敏感性，综合使用Zhang和Chung提出的减少择多逻辑门和交叉线的方法对电路进行优化，然后再采用Antonelli^[66]、Ravichandran^[51]或Choi^[46]等人提出的布局优化方法对QCA电路进行优化布局，之后基于优化布局后的电路结构利用SQUARES^[42]的基本逻辑模块或Huang^[67]等人提出的 3×3 模块来实现各种逻辑函数。

第四步：采用 QCADesigner 软件绘制用 SQUARES 模块或 Huang 等人提出的 3×3 模块构造的 QCA 电路，并用该软件对其进行仿真验证。

基于 QCA 的综合设计流程如图 5.74 所示。

量子元胞自动机由于其低功耗和高集成度等优点必将是将来不可取代的功能元件，探讨可能的系统设计方法也就必不可少。目前基于 QCA 逻辑电路的设计方法主要有两种：自顶向下的设计方法和自底向上的设计方法，但这两种设计方法的研究才刚刚兴起，需要做的工作还有很多。由于 QCA 是通过电子在元胞上占据的位置来携带二进制信息，而不是通过传统的电流开关来表示二进制信息，这就使得 QCA 电路逻辑功能的实现依赖于 QCA 的布局，导致 QCA 元胞对电路的整体布局相当敏感。因此，在未来的研究中，模块化设计将是 QCA 逻辑电路设计方法的一个可能的发展趋势，它通过将 QCA 元胞按一定的结构封装在一个模块中实现特定的功能（外部的 QCA 元胞对模块内的元胞不产生影响），再将这些功能模块按特定的方式组合从而实现预定的功能。

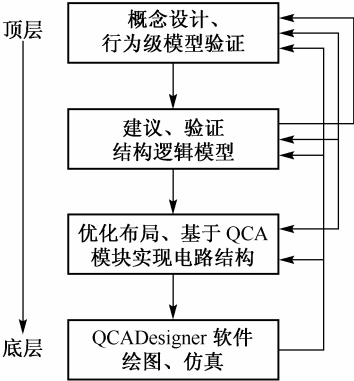


图 5.74 基于 QCA 的综合设计流程图

参 考 文 献

[1] Lent C S, Tougaw P D, Porod W, et al. Quantum cellular automata. Nanotechnology, 1993; 4(1): 49-57.

[2] Lent C S, Tougaw P D. Lines of interacting quantum-dot cells: A binary wire. J. Appl. Phys, 1993; 74 (10): 6227-6233.

[3] Lent C S, Isaksen B. Clocked Molecular Quantum-Dot Cellular Automata. IEEE Transactions on Electron Devices, 2003; 50(9): 1890-1896.

[4] Porod W. Towards Nanoelectronics: Possible CNN Implementations using Nanoelectronic Devices [A]. Proc. IEEE International Workshop on Cellular Neural Networks and their Applications, London, England: 1998. 20-25.

[5] Tougaw P D, Lent C S. Logical devices implemented using quantum cellular automata. Appl. Phys, 1994, 75(3): 1818-1825.

[6] Lent C S, Tougaw P D, Porod W. Bistable saturation in coupled quantum dots for quantum cellular automata. Appl. Phys. Lett, 1993, 62(7): 714-716.

[7] Walus K, Schulhof G, Jullien G A et al. High level exploration of quantum-dot cellular automata

- (QCA). IEEE 2004: 30-33.
- [8] Macucci M, Iannaccone G, Francaviglia S. et al. Semiclassical simulation of quantum cellular automaton circuits. *International Journal of Circuit Theory and Applications* 2001, 29: 37-47.
- [9] 王森, 蔡理, 刘河潮. 基于遗传模拟退火法的量子细胞自动机电路仿真. *系统仿真学报*, 2005, 17(11): 2027-2029.
- [10] Walus K, Dysart T J, Jullien G A, Budiman R A. QCADesigner: a rapid design and simulation tool for quantum-dot cellular automata. *IEEE Transactions on nanotechnology*. 2004, 3 (1): 26-31.
- [11] Tang R, Zhang F M, Kim Y B. Quantum-dot cellular automata SPICE macro model. GLSVLSI'05, April 17-19, 2005, Chicago, Illinois, USA.
- [12] Chua L O, Yang L. Cellular Neural Networks: Theory. *IEEE Trans. Circ Syst*, 1988, 35: 1257-1272.
- [13] Toth G, Lent C S, Tougaw P D. Quantum Cellular Neural Networks. *Superlattices and Microstructure*, 1996, 20(4): 473-479.
- [14] Porod W, Lent C S, Tóth G, et al. Quantum-Dot Cellular Nonlinear Networks: Computing with Locally-Connected Quantum Dot Arrays. *Proc. IEEE Int. Symp. Circuits Systems*, Hong Kong: 1997, 745-748.
- [15] Csurgay Á, Porod W, Lent C S. Signal processing with near-neighbor-coupled time-varying quantum-dot arrays. *IEEE Trans. Circuits Syst. I*, 2000, 47(8): 1212-1223.
- [16] Csurgay Á, Porod W. Toward Nanoelectronic Systems Integration. *IEEE International Symposium on Circuits and Systems*, May 28-31, 2000, Geneva, Switzerland, 2000.
- [17] Csurgay Á, Porod W. Equivalent circuit representation of arrays composed of Coulomb-coupled nanoscale devices: modeling, simulation and realizability. *International Journal of Circuit Theory and Applications*, 2001; 29: 3-35.
- [18] Csurgay Á, Porod W, Pakos B. Signal processing by pulse-driven molecular arrays. *International Journal of Circuit Theory and Applications*. 2003; 31:55-66.
- [19] Lin L J, Cheng C H, Huang K H, et al. The Quantum-Dot Large-neighborhood Cellular Nonlinear Network (QLN-CNN) in Nanotechnology. *IEEE-NANO*, 2001; 331-334.
- [20] Tsai T C, Sun M, Lin L J, et al. A New Two-Layer Quantum-Dot Large-neighborhood Cellular Nonlinear Network (QLN-CNN) Using Quantum-Dot Cellular Automata. *IEEE-NANO* 2002, 355-357.
- [21] Fortuna L, Porto D. Chaotic Phenomena in Quantum Cellular Neural Networks. *Proceedings of the 7th IEEE International Workshop on Cellular Neural Networks and their Applications (CNNA'02)*, Frankfurt, Germany, May. 2002, 369-377.
- [22] Bucolo M, Fortuna L, Rosa M L, et al. Information Exchanges in Quantum Arrays due to Spatial Diversity. *IEEE*. 2003: 888-891.

- [23] Fortuna L, Rosa M L, Nicolosi D, et al. Nanoscale System Dynamical Behaviors: From Quantum-Dot-Based Cell to 1-D Arrays. *IEEE Transactions on very Large Scale Integration Systems*, 2004, 12 (11): 1167-1173.
- [24] 蔡理, 马西奎, 王森. 量子细胞神经网络的超混沌特性研究. *物理学报*. 2003.52 (12): 3002-3006.
- [25] Wang Sen, Cai Li, Kang Qiang. et al. The Characteristics of Nonlinear Chaotic Dynamics in Quantum Cellular Neural Networks. *Chinese Physics*. 2008. 17 (8): 2837-2843.
- [26] 李丽香, 彭海朋, 卢辉斌等. Hénon 混沌系统的追踪控制与同步. *物理学报*. 2001, 50 (4): 629-632.
- [27] 李建芬, 林辉, 李农. 基于追踪控制的混沌异结构同步. *物理学报*. 2006, 55 (8): 3992-3996.
- [28] Wang Sen, Cai Li, Wu Gang. Tracking Control and Synchronization with Diverse Structure of the Quantum Cellular Neural Network. 2007 IEEE International conference on control and automation. Guangzhou, China. May 30. pp 2210-2213.
- [29] 王森, 蔡理, 吴刚. 量子细胞神经网络超混沌系统的追踪控制与同步控制与决策. 2008. 23 (2): 204-207.
- [30] 王森, 蔡理, 康强等. 二维量子细胞神经网络及其图像处理应用. *固体电子学研究进展*. 2008.28 (3): 340-345.
- [31] 王森, 蔡理, 李芹, 吴刚. 一种基于量子细胞自动机的三维的量子细胞神经网络. *量子电子学报*. 2008. 25 (5): 540-545.
- [32] 王森. 量子细胞神经网络的理论及应用研究. 西安: 空军工程大学博士学位论文, 2008, 3.
- [33] 王森, 蔡理, 刘河潮. 基于量子细胞自动机的全加器实现. *固体电子学研究进展*. 2005. 25 (2): 148-151.
- [34] Wang W, Walus K, Jullien G A. Quantum-dot cellular automata adders. *Proc. IEEE 3rd Nanotechnology Conference*, San Francisco, 2003.
- [35] Cho H, Swartzlander E E. Pipelined Carry Lookahead Adder Design in Quantum-dot Cellular Automata. *IEEE*, 2005; 1191-1196.
- [36] Zhang R M, Walus K, Wang W, et al. A Method of Majority Logic Reduction for Quantum Cellular Automata. *IEEE Transactions on Nanotechnology*, 2004; 3(4): 443-450.
- [37] Zhang R M, Walus K, Wang W, Jullien G A. Performance comparison of quantum-dot cellular automata adders. *IEEE*, 2005, pp:2522-2526.
- [38] Janulis J R, Tougaw P D. et al. Serial Bit-Stream Analysis Using Quantum-Dot Cellular Automata [J]. *IEEE Transactions on Nanotechnology*, 2004, 3(1): 158-164.
- [39] Tougaw P D, Lent C S. Dynamic behavior of quantum cellular automata [J]. *Appl. Phys*, 1996, 80(8): 4722-4736.

- [40] 王森, 蔡理, 刘河潮. 基于量子细胞自动机的只读存储器设计. 微电子学与计算机. 2007, 24 (11): 46-48.
- [41] Walus, K., Vetteth, A., Jullien, G A. et al. RAM design using quantum-dot cellular automata. Technical Proc. 2003 Nanotechnology Conf. and Trade Show, March 2003, Vol. 2, pp. 160-163.
- [42] Berzon D, Fountain T J. A memory design in QCAs using the squares formalism. Proc. 9th Great Lakes Symp. VLSI. Mar. 1999, pp. 168-172.
- [43] Frost, S E , Rodrigues, A F, Janiszewski, A W. et al.: Memory in motion: a study of storage structures in QCA. First Workshop on Non-Silicon Computing, 2002, Vol. 2.
- [44] Ottavi M, Pontarelli S, Vankamamidi V, et al. QCA memory with parallel read/serial write: design and analysis, IEE Proc.-Circuits Devices Syst., Vol. 153, No. 3, June 2006.
- [45] Walus K, Mazur M, Schulhof G. Jullien G A. Simple 4-Bit Processor Based On Quantum-Dot Cellular Automata (QCA). Proceedings of the 16th International Conference on Application-Specific Systems, Architecture and Processors (ASAP'05).
- [46] Choi M, Park N. Locally Synchronous, Globally Asynchronous Design for Quantum-Dot Cellular Automata (LSGA QCA). Proceedings of 2005 5th IEEE Conference on Nanotechnology, Nagoya, Japan, July 2005.
- [47] Patitz Z D, Park N, Choi M, et al. QCA-Based Majority Gate Design under Radius of Effect-Induced Faults. Proceedings of the 2005 29th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems. 2005; 1-9.
- [48] Choi M, Park N. Teaching Nanotechnology by Introducing Crossbar-Based Architecture and Quantum-Dot Cellular Automata. Proceedings of the 2005 IEEE International Conference on Microelectronic Systems Education. 2005.
- [49] Graunke C R, Wheeler D I, Tougaw D, et al. Implementation of a Crossbar Network Using Quantum-Dot Cellular Automata. IEEE Transactions on Nanotechnology, 2005, 4(4): 435-440.
- [50] Fountain T J, Duff M J B, David G, et al. The Use of Nanoelectronic Devices in Highly Parallel Computing Systems. IEEE Transactions on VLSI Systems, 1998; 6(1): 31-38.
- [51] Ravichandran R, Niemier M T, Lim S K. Partitioning and Placement for Buildable QCA Circuits. IEEE Trans. on DAC, 2005; 24 (3): 424-427.
- [52] Ravichandran R, Ladiwala N, Nguyen J. et al. Automatic cell placement for quantum-dot cellular automata. ACM Great Lakes Symposium on VLSI, 2004, p. 332-337.
- [53] Niemier M T, Kontz M, Kogge P. A design of and design tools for a novel quantum dot based microprocessor. In Proceedings of the 27th Design Automation Conference, pages 227-232, 2000.
- [54] Niemier M T, P Kogge. Exploring & exploiting wire-level pipelining in emerging technologies. Int. Sym. of Comp. Arch., 2001, p.166-177.

-
- [55] Chaudhary A, Chen D Z., Hu X S, Niemier M T. et al. Eliminating Wire Crossings for Molecular Quantumdot Cellular Automata Implementation. in Proc. of Int. Conf. on Comp. Aided Des., p. 565-571, Nov. 6-10, 2005.
- [56] Hu X S, Crocker M, Niemier M. et al. PLAs in Quantum-dot Cellular Automata. Proceedings of the 2006 Emerging VLSI Technologies and Architectures.
- [57] Niemier M T, Ravidhandran R, Kogge P M. Using Circuits and Systems-Level Research to Drive Nanotechnology. Proceedings of the IEEE International Conference on Computer Design. 2004.
- [58] Niemier M T, Kogge P M. Problems in designing with QCAs: Layout = Timing. International Journal of Circuit Theory and Applications, 2001; 29: 49-62.
- [59] Ravidhandran R, Niemier M T, Lim S K. Partitioning and Placement for Buildable QCA Circuits. IEEE, 2005; 424-427.
- [60] Niemier M T, Kogge P M. Logic in Wire: Using Quantum Dots to Implement a Microprocessor. IEEE, 1999; 1211-1215.
- [61] Niemier M T, Kogge P M. The “4-Diamond Circuit” – A Minimally Complex Nano-scale Computational Building Block in QCA. Proceedings of the IEEE Computer Society Annual Symposium on VLSI Emerging Trends in VLSI Systems Design (ISVLSI’04). 2004.
- [62] Henderson S C, Johnson E W, Janulis J R. et al. Incorporation Standard CMOS Design Process Methodologies into the QCA Logic Design Process. IEEE Trans. on Nanotechnology. 2004. 3 (1): 2-9.
- [63] Tang R, Zhang F M, Kim Y B. QCA-Based Nano Circuits Design. IEEE Trans. on Nanotechnology, 2005, 4 (3): 2527-2530.
- [64] 王森, 蔡理, 苏发院. 基于量子细胞自动机的设计方法. 微纳电子技术. 2007. 44(4): 170-174.
- [65] Chung W J, Smith B, Lim S K. QCA Physical Design with Crossing Minimization. Proceeding of 2005 5th IEEE Conference on Nanotechnology, Nagoya, Japan. 7854-7857.
- [66] Antonelli D A, Chen D Z, Dysart T J, et al. Quantum-Dot Cellular Automata(QCA) Circuit Partitioning: Problem Modeling and Solutions. IEEE Trans. on DAC, 2004; 23(3): 363-368.
- [67] Huang J, Momenzadeh M, Schiano L, et al. Simulation-based Design of Modular QCA Circuits. Proceedings of 2005 5th IEEE Conference on Nanotechnology. Nagoya, Japan. 7902-7905.

第 6 章 SETMOS混合器件

第 4 章已介绍过 SET 具有体积小、功耗低、可集成度高、开关速度快、库仑阻塞、库仑振荡新特性，以及与 CMOS 的制作过程可兼容等优点，MOS 器件的高速、高电压增益和高驱动特性可以补偿 SET 的极低电流驱动、低增益和目前工艺中由库仑岛电容的低充电能量引起的高阻态热泄漏电流等缺点。因此，SET 与 CMOS 表现出很好的互补性，SETMOS 会产生纯 CMOS 工艺中很难实现的一些新功能^[1]。将来 SET 与 MOS 互补性的混合结构对于解决纳米尺寸的集成电路具有很好的应用前景^[2]。本章从介绍 SETMOS 混合器件的结构出发，建立合适的模型，进而通过仿真分析其特性并进行验证。在此基础上，最后介绍了 SETMOS 混合器件在模拟电路和数字电路中的应用。

6.1 SETMOS混合器件结构及特性

SETMOS 作为一种新型的单电子混合器件，分析其工作原理、结构及特性对纳米电子集成电路的发展和实际应用可提供理论指导作用。

6.1.1 SETMOS混合器件的结构

SETMOS 混合器件按 SET 库仑岛的数目可分为单岛型 SETMOS 的混合结构和多岛型 SETMOS 的混合结构。按其工作方式大致可分为两类：SET 漏极恒压偏置下的 SETMOS 混合器件^[3]和 SET 漏极恒流偏置下的 SETMOS 混合器件^[1]，如图 6.1 所示。其中， V_{DS} 为 SET 的漏源电压， V_{GG} 为 MOS 的栅极电压， V_{TH} 为 MOS 的阈值电压， V_G 为 SET 的栅极电压， V_{DD} 为偏置电压， I_D 为 MOS 的漏极电流。

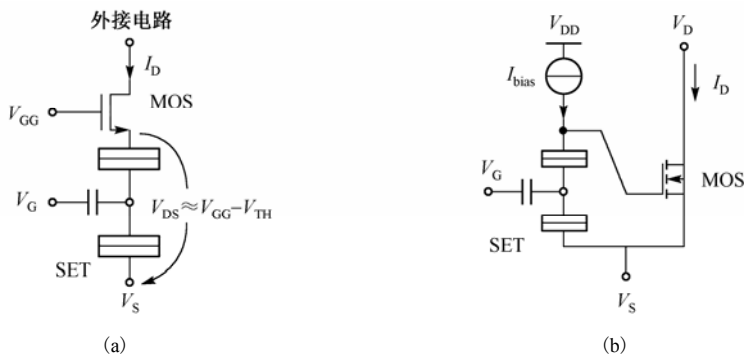


图 6.1 两种典型的 SETMOS 混合器件

图 6.1(a) SET 漏极恒压偏置下的 SETMOS 混合器件特点是 SET 的漏极被一个 MOS 管栅源电压控制在一个相对恒定的电压值, 通过 SET 栅极电压的变化达到对 MOS 管漏极电压的控制, 常用于数字电路设计和应用。

图 6.1(b) SET 漏极恒流偏置下的 SETMOS 混合器件特点是 SET 的漏极由恒流源偏置, 通过 SET 栅极电压的变化控制 SET 漏极(即 MOS 管的栅极)的电压, 进而实现 MOS 管的漏电流的变化, 可用于数字电路和模拟电路的设计和应用。

利用图形依赖氧化 (Pattern-Dependent Oxidation, PADOX) 方法, 可以较容易地在 SOI 材料上制造尺寸极小(库仑岛直径在 10 nm 左右)的 SET^[4]。由于工艺中采用自对准, 能产生尺寸远小于最小光刻尺寸的库仑岛, 使 SET 能够工作在较高的温度下; 并且最有吸引力的是, 该工艺完全与 CMOS 工艺兼容, 这样, 同时集成 SET 和 MOS 两种器件就变得非常便利。

由于这两种结构尺寸在纳米级, 功耗在 pW 级, 其中 SET 的结构隧穿电容为 aF 级, 隧穿电阻为 M Ω 级, 故整个混合器件的工作频率范围在 THz 级, 适合于大规模集成电路。缺点是器件受温度影响较明显, 要在室温下工作, SET 的结构尺寸就更小, 这就给工艺制作技术上带来暂时不便。

除以上两种典型结构外, 有一种相位自动控制的二进制 SETMOS 混合等效电路结构^[5], 如图 6.2 所示。图 6.2(a) 中一方面通过改变 MN-FET 源极电压 V_{MN} 使得 MN-FET 处于导通或截止状态, 实现对存储结点 MN 的充放电, 存储结点的电压变化就决定了 SET 输出信号相位; 另一方面, 负载的输出电压亦可通过反馈控制 MN-FET 的导通和截止, 进而影响存储结点的充放电, 从而整个过程实现相位的自动控制, 图 6.2(b) 到图 6.2(g) 为其工作示意图。该电路常用于数字电路中。其中, MN 为存储结点, CG 为 MN-FET 的控制栅极。

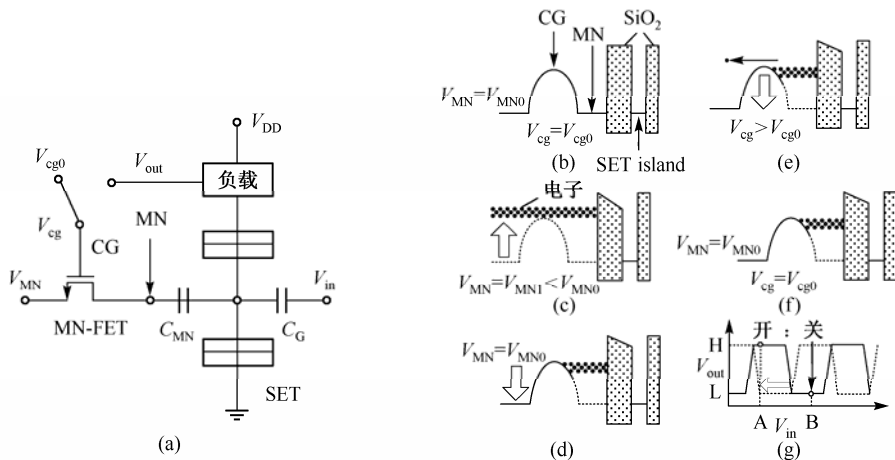


图 6.2 (a) 相位自动控制的二进制等效电路; (b)~(g) MN-FET 的电子存储序列

图 6.2(b)~(f) 表明了相位控制的过程中 MN-FET 沟道和 SET 库仑岛的能带图。MN-FET 的源极电压 V_{MN} 的初始值为 V_{MN0} , CG 的电压 V_{cg} 的初始值为 V_{cg0} , MN 中无存储电子, MN-FET 处于截止状态, 如图 6.2(b) 所示。当 V_{MN} 值改变到 $V_{MN1}(<V_{MN0})$ 足以使得 MN-FET 导通时, 电子开始进入 MN 中, 如图 6.2(c) 所示。当 V_{MN} 值改变回到 V_{MN0} , MN-FET 截止, 电子被存储到 MN 中, 如图 6.2(d) 所示。MN 中的电子数主要依赖于 V_{MN1} 和 MN-FET 的阈值电压。图 6.2(e) 阐释了该器件的反馈现象, 图 6.2(g) 描述了在反馈这一过程中输出电压 V_{out} 的变化情况。假定初始条件下, 输入电压 V_{in} 处于 A 状态, V_{out} 处于高电平 H 状态。当输出端与 CG 相连时, $V_{cg} = V_{out}$, 处于 H 状态, MN-FET 导通, MN 中的电子就会通过 MN-FET 离开存储结点, V_{out} 的相位变化方向与 V_{in} 的变化方向相反。由于这种反向变化, 当 V_{out} 由 H 态变为低电平 L 态时, MN-FET 截止, MN 中的电子停止运动。此时, V_{out} 的相位停止变化并保持 L 态。另外, 当 V_{in} 处于 B 态, V_{out} 处于 L 态时, 即使在 V_{out} 反馈情况下 MN-FET 仍保持截止状态。因此, 无论 V_{in} 是何状态, 反馈都会使得 V_{out} 处于 L 态。最后, V_{cg} 转回为 V_{cg0} 状态, 如图 6.2(f) 所示。此时, MN-FET 总是处于截止状态, 使得 MN 中的大量电子确保了 SET 的库仑振荡相位。

6.1.2 SETMOS 混合器件的工作原理及特性

在两种典型的 SETMOS 负微分电阻器件的结构中, 图 6.1(a) 的 SET 漏极恒压偏置下的 SETMOS 混合器件工作时, 理论上可产生无穷多个峰。一个具有固定的栅偏置电压 V_{GG} 的 MOS, 其源端接着一个 SET 的漏端。4.2 节已介绍 SET 具有库仑振荡现象, 漏电流 I_D 随 V_{GS} 周期性变化, 周期大小为 e/C_G , 其中 e 是电子电量, C_G 是 SET 的栅电容。但是, 在单电子器件中, 其漏电流 I_D 对漏源电压 V_{DS} 有很大的依赖性, 峰值电流 I_p 几乎正比于 V_{DS} , 并且在库仑阻塞发生时, 谷值电流随 V_{DS} 增加更快。然而该 SETMOS 器件中 MOS 可以将 V_{DS} 钳位在一个恒定的值 $V_{GG}-V_{TH}$ 附近, 从而消除了 SET 电流对 V_{DS} 较强的依赖性, 其中 V_{TH} 是 MOS 的阈值电压, 钳位原理如下所述。

设置 MOS 的栅电压, 使 $V_{GG} = V_{DS} + V_{TH}$, 即 MOS 正好开启, 这样只要 MOS 的漏端加上一个即使是很小的电压, 栅漏之间的电势差就小于阈值电压 V_{TH} , MOS 就会工作在饱和区, 此时 MOS 的漏源电流 I_{DS} 就不会随漏源电压 V_{DS} 而变化, $V_{DS} = R_{\Sigma} I_{DS}$, 那么对于所有的 SET 相同的状态 (发生库仑阻塞或者导通), V_{DS} 值都几乎是固定的 ($V_{GG}-V_{TH}$), 所以无论 V 如何变化, SET 的谷值电压和峰值电流都保持不变。但是 $V_{GG}-V_{TH}$ 必须足够低, 以维持库仑阻塞效应^[6]。

图 6.1 (b) 中对于 SET 漏极恒流偏置下的 SETMOS 混合器件, SET 漏源输出电压随栅源输入电压呈现出周期振荡变化趋势($V_{GS} = e/C_G$, 其中 e 为基本电荷, C_G 为 SET 的栅极电容), 致使 MOS 的漏极电流随栅极的电压变化也出现类似的库仑振荡行为, 而且与 SET 的漏极电流相比扩大到几微安, 如图 6.3 所示。值得注意的是, MOS 要工作在亚阈值区(弱反型区)的起始处, 以获得有效的库仑阻塞区(即当 V_{GS} 只变化几十个毫伏时电流特性的高灵敏度)和低功耗。这样, 在 SETMOS 中, 输出漏电流成指数地放大了恒流源偏置下 SET 的漏极电压振荡行为。电流的放大量取决于 MOS 的特征尺寸^[1]。

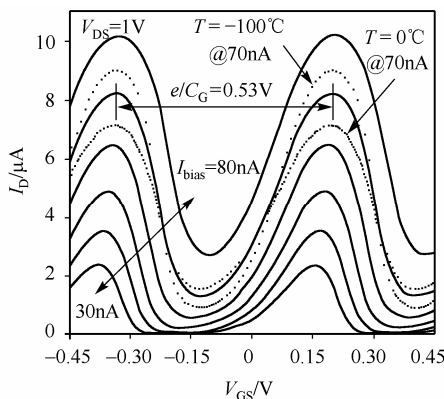


图 6.3 SET 漏极不同恒流偏置下 SETMOS 的 I_D - V_{GS} 特性图

SET 的器件参数选取: 栅电容 C_G 为 0.3 aF, 漏极和源极隧道结电容 $C_T = 0.1$ aF, 漏极和源极隧道结电阻 R_T 为 1 M Ω 。MOS 器件的参数选取: 沟道宽 W 为 0.1 μm , 沟道长 L 为 0.065 μm 。需要注意的是, SET 漏极电压会随着偏置电流 I_{bias} 的增加而增加, MOS 工作区域会因此由弱反型区进入到强反型区, 从而导致在高偏置电流 I_{bias} 下库仑阻塞区的逐渐减小。

若将 SET 的栅极与 MOS 漏极相连, 就可以得到一个具有独特周期性的负微分电阻(Negative Differential Resistance, NDR)器件^[1,7], 如图 6.4 (a) 所示。根据图 6.4 (b) 的定性分析, 当 SET 工作在正跨导区时, 在一定范围内, 随着 V_{DS} 的增加, 偏置电流源 I_{bias} 与 SET 共同构成了一个反馈电路以减小偏置在亚阈值区的 MOS 栅源电压, MOS 的漏电流 I_D 随之而减小, 由此可得到 NDR 特性; 当 SET 工作在负跨导区时, 情形正好相反。同时当 MOS 的栅极泄漏电流与 SET 偏置电流可比拟时, 该器件的 NDR 特性会遭到破坏, 最终, 该器件的作用相当于一个普通的正电阻, 如图 6.4 (c) 所示。

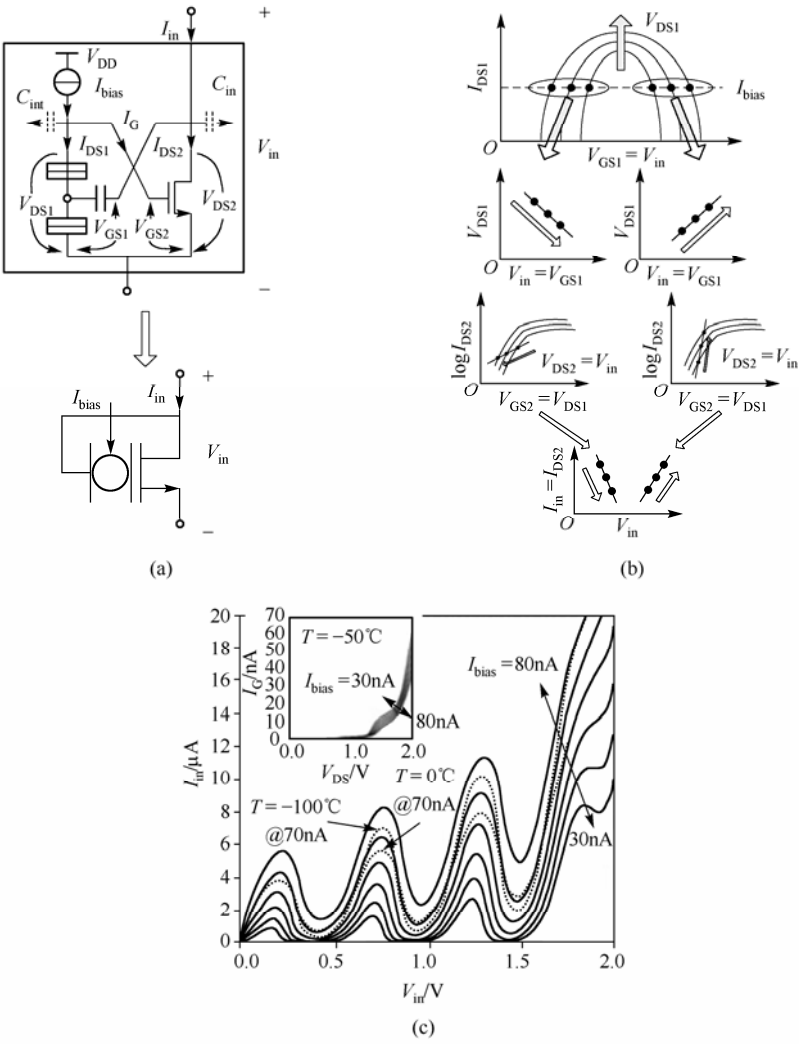


图 6.4 周期性负微分电阻器件。(a)SETMOS NDR 的结构图及符号表示；(b)工作原理(随 V_{in} 的增长工作点的变化)；(c)不同偏置电流下的 I_{in} - V_{in} 特性

6.2 SETMOS混合器件的模型

SET 和 MOSFET 因其连接形式的不同而产生不同的混合结构，由此产生的传输特性就有所不同。在大多数纯 SET 或者混合电路中 SET 由恒压偏置时，SET 库仑阻塞效应产生的电特性与 MOS 器件有很大的不同；当 SET 被恒流源偏置时，在一定的栅源电压条件下，漏源电压高于 e/C_2 ，同时在混合结构中，MOS 器件的高偏置电压

和高电流是很难保持 SET 的漏源电压低于 e/C_{Σ} 。因此,建立正确的 SETMOS 混合器件电路模型就必须考虑漏源工作电压对器件特性的影响。

6.2.1 SETMOS混合器件的模型建立

SET 中的两个隧道结上电压只能有三种情况^[8]:两个隧道结电压均低于临界电压;两个隧道结电压中的一个高于临界电压,两个隧道结电压均高于临界电压。三种情况对应着不同的电流形式,据此可以将电流划分为三个不同的区域,即库仑阻塞区、单电子电流区和高电流区^[9]。

①在库仑阻塞区:由于两个隧道结上电压均低于临界电压,忽略热激隧穿的情况下,该区电流为零。

②在单电子电流区:由于只有一个隧道结满足隧穿条件,该结发生隧穿之后,另一个结未必即刻发生隧穿。该区的电流特性可以通过式(6.1)描述。一些文献也给出了该区电流的其他形式表示方法;

$$I_{DS} = \frac{\left(V_{J1} - \frac{e}{2C_{\Sigma}}\right)\left(V_{J2} - \frac{e}{2C_{\Sigma}}\right)}{R_{T1}\left(V_{J2} - \frac{e}{2C_{\Sigma}}\right) + R_{T2}\left(V_{J1} - \frac{e}{2C_{\Sigma}}\right)} \quad (6.1)$$

③高电流区:当 SET 处于两个隧道结上电压均高于临界电压状态时,漏源间会有一个连续的隧穿电流,可表示为:

$$I_{DS}(V_{DS}) = \frac{V_{DS} - e/C_{\Sigma}}{R_{\Sigma}} \quad (6.2)$$

R_{Σ} 是两个隧道结的电阻之和。 I_{DS} 又称之为通过漏源间的平均电流。

根据 SET 的工作区状态,可将 SETMOS 混合器件的模型分为两种:单电子隧穿模型和高电流区模型。

(1)单电子隧穿模型^[10,11]。该模型中 SET 工作在单电子隧穿区,它具有一些明显的优点:①它是基于器件本身实际的物理特性(包括背景电荷和温度影响)而建立的,能够对称和非对称的单栅/多栅 SET 准确有效地描述漏极电流和跨导,最高温度可达 $T=e^2/(10 k_B C_{\Sigma})$ 。②它比其他模型带有较少的指数项,因而该模型较为简洁,而且它能够将器件的行为准确地预测到 $|V_{DS}|=3e/C_{\Sigma}$ 。③在静态和动态行为下对 SETMOS 数字电路和模拟电路的混合结构的仿真、设计和验证都非常准确,并且与主方程法和 Monte Carlo 模拟比较而言耗时较少。特别注意,该 SETMOS 模型中的 MOS 器件必须工作在亚阈值区(即弱反型区)。

(2)高电流区模型^[12]。该 SETMOS 混合结构如图 6.5 所示。其中, V_{GS} 为 SET 的栅源电压, V_{DS} 为混合模型的漏源电压, V_{md} 为 MOS 的漏极偏置电压。

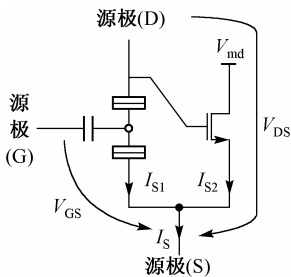


图 6.5 混合模型结构示意图

SET 在该模型中工作在高电流区：当 SET 处于两个隧道结上电压均高于临界电压状态时，由式 (6.2) 可知漏源间会有一个连续的隧穿电流，可表示为：

$$I_{DS1} = \frac{V_{DS} - e/C_{\Sigma}}{R_{\Sigma}} \quad (6.3)$$

其中， C_{Σ} 是与 SET 库仑岛相连的所有电容之和， R_{Σ} 是两个隧道结的电阻之和。 I_{DS1} 又称为通过 SET 漏源间的平均电流^[13]。

当 MOSFET 工作在线性区，即 $V_{GS} > V_T$ 且 $V_{DS} < (V_{GS} - V_T)$ ，应用 SPICE 的 MOSFET 模型^[14, 15]，漏极电流方程为：

$$I_{DS2} = K_P \frac{W}{L} \left(V_{GS} - V_T - \frac{1}{2} V_{DS} \right) V_{DS} \quad (6.4)$$

式 (6.4) 中， K_P 是跨导系数， W/L 是沟道宽长比， V_T 是阈值电压。

考虑电路图 6.5，由于 MOSFET 的栅极与 SET 的漏极相连，所以 SET 的漏源电压与 MOSFET 的栅源电压相等。当 MOSFET 的漏极偏置电压 $V_{md} < (V_{DS} - V_T)$ 且 $V_{DS} > V_T$ 时，流过源极的电流：

$$\begin{aligned} I_S = I_{DS1} + I_{DS2} &= \frac{V_{DS} - e/C_{\Sigma}}{R_{\Sigma}} + K_P \frac{W}{L} \left(V_{DS} - V_T - \frac{1}{2} V_{md} \right) V_{md} \\ &= \left(\frac{1}{R_{\Sigma}} + \frac{K_P V_{md} W}{L} \right) V_{DS} - \left[\frac{e}{R_{\Sigma} C_{\Sigma}} + \frac{K_P V_{md} W}{L} \left(\frac{1}{2} V_{md} + V_T \right) \right] \end{aligned} \quad (6.5)$$

这样，在固定的偏置电压 V_{md} 情况下，流过源极的电流 I_S 是电压 V_{GS} 的线性函数。设混合模型的等效电阻 R 和等效阈值电压 V_{TH} 分别为：

$$R = \frac{LR_{\Sigma}}{L + R_{\Sigma} K_P V_{md} W} \quad (6.6)$$

$$V_{TH} = \left[\frac{e}{R_{\Sigma} C_{\Sigma}} + \frac{K_P V_{md} W}{L} \left(\frac{1}{2} V_{md} + V_T \right) \right] \times R \quad (6.7)$$

将上两式代入式 (6.5)，可简化为：

$$I_S = \frac{1}{R} (V_{DS} - V_{TH}) \quad (6.8)$$

由此可以看出，该模型适合于 SET 工作在高电流区，MOS 工作在线性区的模拟电路中。

6.2.2 SETMOS 混合器件的仿真

在第 4 章中已讲到单电子器件研究中 SET 的仿真方法，如主方程法，Monte Carlo 法，宏模型法，分析模型法等。SET 电路的仿真模拟器 SIMON，MOSES 和 KOSEC 等利

用 Monte Carlo 法以获得库仑岛的平均电子数^[16]; SENECA 模拟仿真器是直接解决主方程以获得库仑岛电子的总概率。但利用这些仿真模拟器很难融合 CMOS 器件的仿真和预测 SETMOS 混合电路的性能。SPICE 也是电路最常用的一种仿真器, 它的标准仿真方法是通过利用等效电路、参数提取以及子电路来对器件建立模型实现, SET 宏模型电路及其 SETMOS 混合电路的仿真较为符合此法, 但它受到稳态条件下仿真的限制。SETMOS 混合电路仿真模拟器的另一种发展趋势是 SET-SPICE 和 CAMSET。在这些设计方案中, SET 被当做一个黑盒子, 而黑盒子的状态可通过解偏置电流条件下的稳态或时变主方程得到。而主方程的解决可通过具有编程能力的电路仿真模拟器(如 SmartSpice)编程实现。这些仿真模拟器可以成功地预测出 SET 电路的瞬态响应在微秒级时间范围内, 但这些仿真模拟器暗含一个假设条件, 即器件的电流-电压传输特性只受到相邻晶体管端点电压变化的影响。此类模拟仿真器的一个应用范例就是 SET 的 MIB 分析模型, 它利用模拟硬件描述语言(Analog Hardware Description Language, AHDL)将其编入商用电路模拟器, 本质上是将 SET 模型作为一个独立的模块嵌入到该电路模拟器中而实际上没必要严格地去解混合电路中 SET 和其他非线性元件的特性方程^[10]。这种混合仿真模拟器用于 SETMOS 电路类型的混合仿真。

单电子隧穿模型的 SETMOS 混合结构以图 6.1 (b) 为例仿真, 选取参数 $C_G=0.2$ aF, $C_D=C_S=0.15$ aF, $R_D=R_S=1$ M Ω ; MOSFET: $W=100$ nm, $L=65$ nm, $V_{TH}=0.32$ V, $T_{ox}=1.7$ nm。得到图 6.6 所示的仿真结果。其中, 实线代表 SmartSpice 仿真结果, 圆圈代表 MC 仿真结果。

由图 6.6 结果可以看出, 得到的 SmartSpice 仿真结果与 MC 仿真结果非常吻合。

对高电流区模型选取参数, SET: $C_G=2$ aF, $C_D=C_S=1$ aF, $R_D=R_S=1$ M Ω ; MOSFET: $V_{TH}=20$ mV, $W=100$ nm, $L=80$ nm。工作电压: $V_{md}=30$ mV, $V_{GS}=20$ mV 得到如图 6.7 的特性仿真结果^[12]。

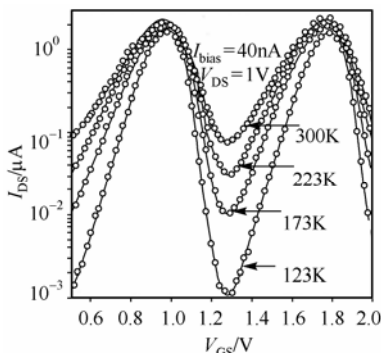


图 6.6 不同温度下对 SETMOS 器件的仿真特性

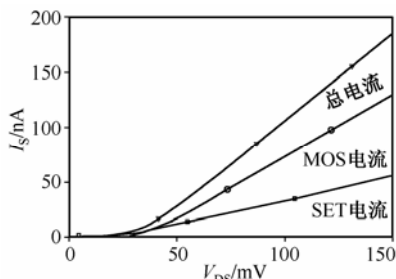


图 6.7 高电流区模型 I_S - V_{DS} 特性的 SPICE 仿真曲线

从图中可以看出,当工作电压大于MOSFET 阈值电压时,电流随电压线性上升。同样 SET 工作在高电流区,即线性电流区。这样,正如前面理论分析一样,总电流表现出了如图所示的线性特性。而且明显比 SET 的电流大得多,这正是由于引入了 MOSFET 元件,在同样的电压偏置条件下,混合器件的较大电流输出对下一级电路的驱动能力就会增强。这正体现了两种器件的互补性。此混合器件的线性电流区可以在积分器电路、滤波器电路中得到应用。

6.3 SETMOS混合器件模拟电路应用

模拟电路在现代电子技术发展中起着非常重要的作用。甚至在数字计算领域,由于模拟电路的实时信号处理功能,使得它在通信、电力、自动控制、音频和视频电子学领域仍居于主要地位。本节主要介绍了 SETMOS 混合器件在积分器、滤波器和细胞神经网络等方面的应用。

6.3.1 SETMOS积分器

积分器是集成滤波器的基本组成模块,可分为电压模积分器和电流模积分器^[17]。按积分器传递函数的不同,可分为有损积分器和无损积分器。本节主要介绍了如何利用 SETMOS 改进的混合模型实现电压模积分器。

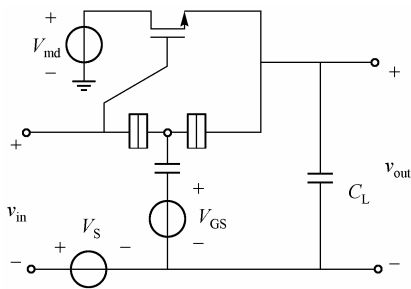


图 6.8 SETMOS 电压有损积分器

1. 电压有损积分器^[18]

为实现对输入信号的积分运算,可设计出如图6.8所示的SETMOS电压有损积分器电路结构。

在适当电压偏置条件下,使得 SET 工作于高电流区, MOSFET 工作于线性区,这样流过源极的线性电流经过电容积分可获得 SETMOS 积分器的传递特性,由式 (6.8) 可知流过电容的

电流为:

$$i_s = \frac{1}{R}(v_{DS} - V_{TH}) \quad (6.9)$$

结合图 6.8, 由于 $C_L \frac{dv_{out}}{dt} = i_s$, $v_{DS} = v_{in} + V_S - v_{out}$ 代入式 (6.9) 进行拉普拉斯变换, 可得:

$$\frac{V_{out}(s)}{V_{in}(s) + V_S - V_{TH}} = \frac{1}{1 + sRC_L} \quad (6.10)$$

为得到 $V_{\text{out}}(s)/V_{\text{in}}(s)$ 形式, 取串联的电压源值 $V_S = V_{\text{TH}}$, 代入式 (6.10), 可得出 SETMOS 电压有损积分器的电压传递函数如下:

$$H(s) = \frac{V_{\text{out}}(s)}{V_{\text{in}}(s)} = \frac{1}{1 + sRC_L} \quad (6.11)$$

由式 (6.11) 可以得到 SETMOS 电压有损积分器的幅频函数 $|H(j\omega)|$ 和相频函数 $\phi(\omega)$:

$$|H(j\omega)| = \frac{1}{\sqrt{1 + (\omega RC_L)^2}} \quad (6.12)$$

$$\phi(\omega) = -\arctan(\omega RC_L) \quad (6.13)$$

由式 (6.12) 可见, 这是一个直流增益为 1 的电压有损积分器, 其截止频率 $\omega_c = 1/(RC_L)$ 取决于混合模型的等效电阻和电路积分电容。图 6.8 即是一个 SETMOS 电压有损积分器电路。电压源 V_S 实际上就是使混合模型脱离阻塞区的阈值电压, 即 $V_S = V_{\text{TH}}$, 当 SET 的参数: $C_G = 3 \text{ aF}$ 、 $C_D = C_S = 1 \text{ aF}$ 、 $R_D = R_S = 0.5 \text{ M}\Omega$, MOSFET: $V_{\text{TH}} = 10 \text{ mV}$, $W = 100 \text{ nm}$, $L = 80 \text{ nm}$ 。偏置电压: $V_{\text{md}} = 30 \text{ mV}$, $V_{\text{GS}} = 20 \text{ mV}$ 。 $e = 1.6 \times 10^{-19} \text{ C}$, 若隧道结电阻取 $10^6 \Omega$ 量级, 等效电阻 R 则取值在 $10^5 \Omega$ 量级, 因此 V_S 一般在 20 mV 左右, 它随以上参数变化。等效电阻和混合模型阈值电压可以通过式 (6.6)、式 (6.7) 来计算, 这使得在设计电路的过程中参数的确定更方便。

在纳米尺度下, 设采用球形电容, 电容最大值 $4\pi\epsilon r$ 应小于 55.63 aF (r 取 500 nm), 则 $1/RC_L$ 将在 10^{10} Hz 以上, 根据式 (6.13), 该积分器在通带内输出信号具有很小的相移。因此 SETMOS 积分器具有 10^{10} Hz 的工作频段和较小的相移。这种积分器可以在超高频电路中得到应用。

按照图 6.8 所示 SETMOS 电压有损积分器的连接方式, 用 SPICE 对上述结论进行了仿真验证。图 6.9(a) 和 (b) 分别给出了在仿真参数 $C_G = 3 \text{ aF}$ 、 $C_D = C_S = 1 \text{ aF}$ 、 $R_D = R_S = 0.5 \text{ M}\Omega$, MOSFET: $V_{\text{TH}} = 10 \text{ mV}$, $W = 100 \text{ nm}$, $L = 80 \text{ nm}$ 。偏置电压: $V_{\text{md}} = 30 \text{ mV}$, $V_{\text{GS}} = 20 \text{ mV}$ 条件下, SETMOS 电压有损积分器幅频和相频特性的仿真结果。仿真结果证实了理论分析的正确性。

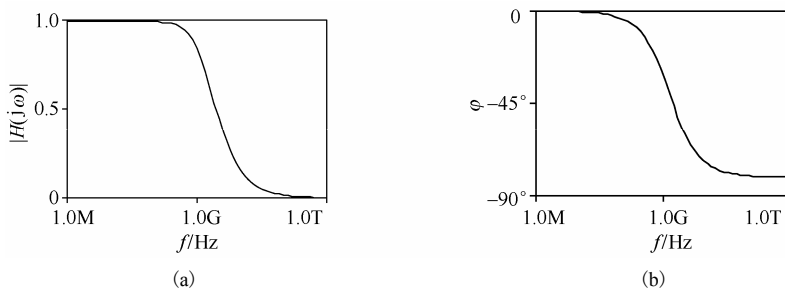


图 6.9 电压有损积分器。(a)幅频特性曲线; (b)相频特性曲线

2. 电压无损积分器^[18]

要实现电压无损积分器，要求如图 6.10 所示的电压无损积分器结构图中的电压控制电流源的电流 $i = (v_{out} + V_{TH})/R$ 。其中 R 是 SETMOS 混合模型的等效电阻， V_{TH} 是混合模型的等效阈值电压。

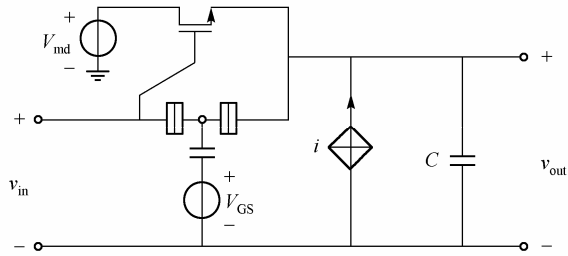


图 6.10 SETMOS 电压无损积分器

同样根据电路求传递函数的方法,可以得出 $V_{out}(s)/V_{in}(s)$ 关系为:

$$H(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{1}{sRC} \tag{6.14}$$

需要说明的是图 6.10 给出的仅是SETMOS电压无损积分器的理论模型，在实际电路的具体实现过程中，受控电流源可以利用一些实际的方法来实现。

6.3.2 SETMOS滤波器

在6.3.1节SETMOS积分器的基础上，本节以二阶低通滤波器为例介绍了它的结构设计和特性分析，并由此可构成高阶滤波器。由于采用纳米级器件设计的滤波器，其工作电压都在毫伏级，电流在纳安级，这样所设计的滤波器就具有较低的功耗，适合超大规模集成电路的应用和发展。电路采用的都是纳米级的器件，为实现纳米级滤波器电路打下良好的基础。

1. SETMOS二阶低通滤波器^[18]

将两个相同结构的 SETMOS 电压有损积分器级联起来，如图 6.11 所示。

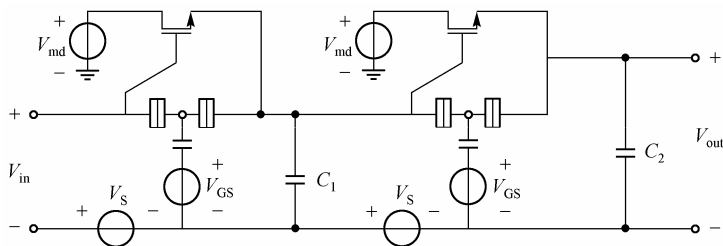


图 6.11 SETMOS 二阶低通滤波器

依据二端口网络的级联关系，容易得出其传递函数：

$$H(s) = \frac{V_{\text{out}}(s)}{V_{\text{in}}(s)} = \frac{1}{s^2 + \frac{R_1 C_1 + R_2 C_2}{R_1 R_2 C_1 C_2} s + \frac{1}{R_1 R_2 C_1 C_2}} \quad (6.15)$$

可看出式(6.15)为二阶低通滤波器传递函数，其直流增益为1， ω_p 和 Q 分别为：

$$\omega_p = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \quad (6.16)$$

$$Q = \frac{\sqrt{R_1 R_2 C_1 C_2}}{R_1 C_1 + R_2 C_2} \quad (6.17)$$

取 $R_1 = R_2$, $C_1 = C_2$ ，根据第5章分析可知，上述的低通滤波器截止频率可以到 10^{10} Hz 以上，品质因数 $Q \leq 0.5$ 。因此，采用级联方法实现的 SETMOS 滤波器具有截止频率高、品质因数低的特点。其中， R_1 , R_2 为单个电压有损积分器的等效电阻。

图 6.12 是在仿真参数为 SET: $C_G = 3$ aF, $C_D = C_S = 1$ aF, $R_D = R_S = 0.5$ M Ω ; MOSFET: $V_{\text{TH}} = 10$ mV, $W = 100$ nm, $L = 80$ nm; 偏置电压: $V_{\text{md}} = 30$ mV, $V_{\text{GS}} = 20$ mV 的条件下，用 SPICE 对提出的二阶低通滤波器仿真所得到的幅频特性曲线，从图中可看出其具有良好的幅频特性和较高的截止频率。

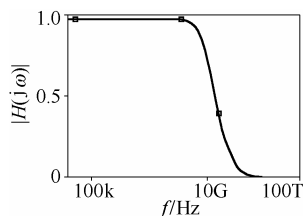


图 6.12 二阶低通滤波器的幅频特性曲线

2. SETMOS 高阶滤波器的设计^[18]

对于高阶有源滤波器的设计，可以采用积分器、放大器、二阶滤波器等基本单元，采用多路反馈或级联直接实现。多路反馈滤波器由于存在多个反馈通路，它的灵敏度一般较低，但确定元件参数的过程比较复杂。级联滤波器易于调节和优化动态范围，但各级零、极点的搭配需要慎重考虑，应使电路具有比较低的灵敏度。

下面是通过级联实现的一个五阶低通滤波器。通过五个 SETMOS 电压积分器级

联实现的五阶滤波器如图 6.13 所示。

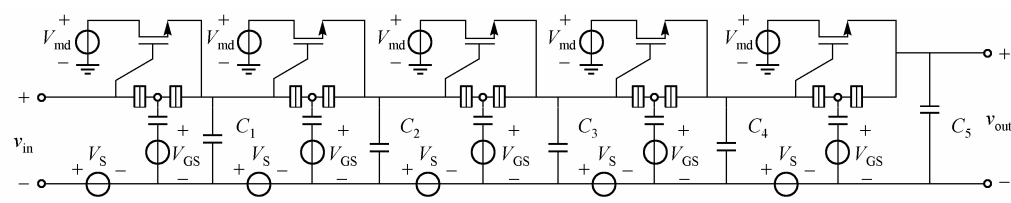
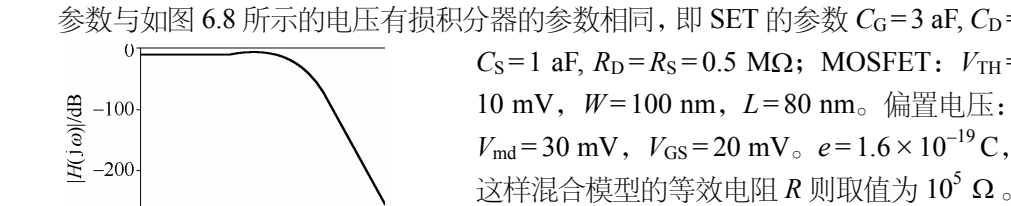


图 6.13 五阶低通滤波器电路图



应用 SETMOS 单电子隧穿模型，按照图6.13所示滤波器电路的连接方式，对上述结论分别进行了SPICE仿真实验验证。仿真结果如图 6.14 所示，可以发现，其具有较好的低通幅频特性，截止频率为 1 GHz，说明了其适合于高频滤波器设计。

6.3.3 基于SETMOS混合器件的细胞神经网络

在现代电子技术中，神经网络在最优化问题计算、线性和非线性编程、联想式记忆 (Associative Memory)、模式识别和计算机图像处理等方面应用非常广泛^[19,20],因此神经网络成为近年来的研究热点。CNN 是近年来人工神经网络领域内的一个研究热点。CNN 具有以下几个特点：(1)它是一种功能强大、易于电路实现的大规模非线性模拟系统；(2)具有实时信号高速并行处理功能和连续时间动态变化的特点；(3)由于它是局域互联的结构，每个细胞只和邻域的细胞进行连接(参见4.6.6节)，因此比全局互联的神经网络具有更简单的结构，更易于超大规模电路 (VLSI) 实现；(4)既具有局域稳定性，又具有全局稳定性；(5)输出信号函数是分段线性的，而且具有双值输出。

CNN 的实现可采用软件和硬件两种方法。软件方法具有方便、灵活、可构成多种模型、实现不同应用等优点。但软件不能充分体现神经网络快速并行的优点，因此，用硬件直接实现 CNN 是发展的必然趋势。一个强大的信号处理器需要一个庞大的神经网络，因此，鉴于神经系统芯片的功耗和尺寸大小，仅用 CMOS 工艺很难设

计出有效的神经网络。但是为了设计一种简洁紧凑型的神经元器件，可以利用超低功耗的 SET 器件和 CMOS 工艺相结合来实现。

1. CNN细胞单元硬件结构的模块分析及其实现

CNN 网络的基本单元是人工细胞单元，每个细胞单元与周围邻近的细胞相连^[20]，对于 M 行 N 列的网络， $C(i,j)$ 表示第 i 行第 j 列的神经单元， $C(i,j)$ 接受自己的和邻近细胞的反馈信号及控制信号，反馈量与控制量由 A 、 B 模板决定，每个细胞满足下列非线性微分方程。

状态方程：

$$C \frac{dv_{xij}(t)}{dt} = -\frac{1}{R_x} v_{xij}(t) + \sum_{C(k,l) \in N_r(i,j)} A(i,j;k,l) v_{ykl}(t) + \sum_{C(k,l) \in N_r(i,j)} B(i,j;k,l) v_{ukl} + I, \quad 1 \leq i \leq M; 1 \leq j \leq N; C > 0; R_x > 0 \quad (6.18)$$

输出方程：

$$v_{yij}(t) = 0.5 \left(|v_{xij}(t) + 1| - |v_{xij}(t) - 1| \right), \quad 1 \leq i \leq M; 1 \leq j \leq N \quad (6.19)$$

输入方程：

$$v_{uij} = E_{ij}, \quad 1 \leq i \leq M; 1 \leq j \leq N \quad (6.20)$$

约束条件：

$$|v_{xij}(0)| \leq 1, \quad 1 \leq i \leq M; 1 \leq j \leq N \quad (6.21)$$

参数假设：

$$A(i,j;k,l) = A(k,l;i,j), \quad 1 \leq i,k \leq M; 1 \leq j,l \leq N; C > 0, R_x > 0 \quad (6.22)$$

式(6.18)和式(6.19)中， $A(i,j;k,l)$ 表示 $C(k,l)$ 的输出与 $C(i,j)$ 之间的连接权，由 $A(i,j;k,l)$ 组成 A 矩阵，又称反馈模板。 $B(i,j;k,l)$ 表示 $C(k,l)$ 的输入与 $C(i,j)$ 之间的连接权，由 $B(i,j;k,l)$ 组成 B 矩阵，又称控制模板。 v_{xij} 、 v_{yij} 、 v_{uij} 、 I 分别表示神经元 $C(i,j)$ 的状态变量、输出变量、输入变量和恒定偏置。将式(6.19)代入式(6.18)化简得^[21]：

$$C \frac{dv_{xij}(t)}{dt} = -f(v_{xij}(t)) + g(t) \quad (6.23)$$

其中 $f(v_{xij}(t)) = -0.5A(i,j;i,j) \left(|v_{xij}(t) + 1| - |v_{xij}(t) - 1| \right) + (1/R_x)v_{xij}(t) - I$ ，第一项和第二项合成具有 N 形的分段线性的形式，它对于 CNN 中的每一个细胞都相同，所以将它划分为一个电路模块，称其为细胞体模块；而式(6.23)中的 $g(t) =$

$$\sum_{\substack{C(k,l) \in N_r(i,j) \\ C(k,l) \neq C(i,j)}} A(i,j;k,l) v_{ykl} + \sum_{C(k,l) \in N_r(i,j)} B(i,j;k,l) v_{ukl}, \quad \text{第一项和第二项分别为分段线性和}$$

线性压控电流源，将两项分别用 A 模板电路和 B 模板电路来实现。

由上述分析可得到 CNN 各细胞间的连接关系，如图 6.15 所示^[22]。

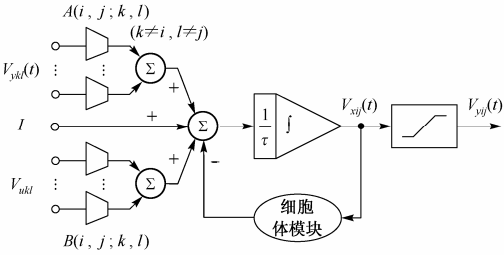


图 6.15 CNN 各细胞间的等效连接框图

(1) 细胞体电路模块的实现^[21]

结合以上分析，利用 SETMOS 结构的 NDR 特性，可构造出细胞体电路的结构，如图 6.16 所示。其中，图 6.16(a) M_1 、 M_3 的栅极与源极相连构成恒流源， V_{DD} 为 M_1 提供偏置电压，电压源 V_1 和 V_2 为调解电压源， V_1 用来调解传输特性曲线的横坐标位移， V_2 用来为 M_3 的源极提供偏压。其直流传输 V_{in} - I_d 特性的 SPICE 仿真结果如图 6.16(b) 所示。在细胞体电路的仿真模拟中，各器件的参数设置如下：SET 采用 MIB 模型，栅极电容 $C_G = 2 \text{ aF}$ ，源极电容 $C_S = 0.6 \text{ aF}$ ，漏极电容 $C_D = 0.6 \text{ aF}$ ，隧穿电阻 $R_D = 3 \text{ M}\Omega$ ， $R_S = 3 \text{ M}\Omega$ ，工作温度 $T = 300 \text{ K}$ ； M_1 提供 20 nA 的偏置电流， M_2 的阈值电压 $V_{TH} = -0.3 \text{ V}$ ，沟道宽 $W = 100 \text{ nm}$ ，沟道长 $L = 65 \text{ nm}$ ； M_3 的阈值电压 $V_{TH} = -0.6 \text{ V}$ ，沟道宽 $W = 8.66 \text{ }\mu\text{m}$ ，沟道长 $L = 100 \text{ nm}$ ，为 SETMOS 结构提供 $77.94 \text{ }\mu\text{A}$ 的补偿电流；调解电压源 V_1 值为 1.253 V ，调解电压源 V_2 值为 3 V 。传输曲线具有 N 形非线性电阻特性，与理论分析结果相符合，可以满足式 (6.23) 中的 $f(v_{xij}(t))$ 对细胞体电路的要求。

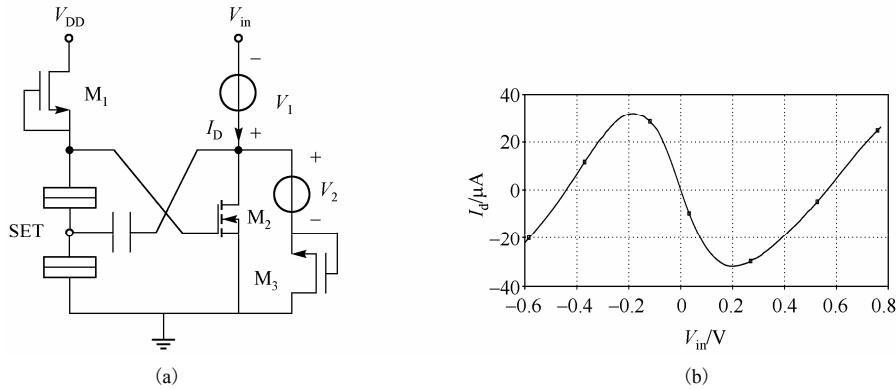


图 6.16 细胞体电路及传输特性。(a) 细胞体电路；(b) 传输特性仿真结果

(2) 混合 SETMOS 神经元分段线性输出模块的实现^[23]

神经网络的硬件实现电路中，最重要的部分内容是神经元分段线性输出模块，

它可以实现输入信号和输出信号的非线性转变，它的实现方式多种多样，但是随着电路的集成度不断提高的趋势，利用尽可能少的器件实现具有神经元分段线性输出函数功能的电路模块就成为需要考虑的重要因素。混合 SETMOS 作为一种新的单电子器件所具有的新功能为用较少的器件实现神经元分段线性输出模块提供了可能。

以下介绍用 SETMOS 硬件混合电路结构来实现神经元的分段线性输出模块。

一个典型的神经细胞必不可少的一部分电路是受自身细胞状态电压控制的分段线性压控电流源。此受控电流源可由 $I = G * f(V)$ 数学模型表示，其中， I 为受控电流源， G 为转移电导， $f(V)$ 为归一化的分段线性压控电压源，即 $f(V) = 0.5(|V+1| - |V-1|)$ 。将归一化的 $f(V)$ 表达式可变为一般表达式：

$$f(V) = \begin{cases} +V_L, & +V_L < KV - V_L \\ KV - V_L, & -V_L \leq KV - V_L \leq +V_L \\ -V_L, & KV - V_L \leq -V_L \end{cases} \quad (6.24)$$

其中， K 为线性部分斜率， V_L 为输出电压的有限值。

基于混合 SETMOS 电路，由恒流源偏置下的双栅极 SET 输出电压随输入电压周期振荡特性，有两种方法可实现此分段线性压控电压源。一种方法是利用输入端和输出端的调节电压源对 Goossens 提出的电流镜像偏置下电路的神经元分段线性输出函数的基本实现结构^[24,25]进行改进，使得输入输出电压值关于原点对称。改进型的混合 SETMOS 神经元分段线性输出模块电路实现方式如图 6.17 所示。

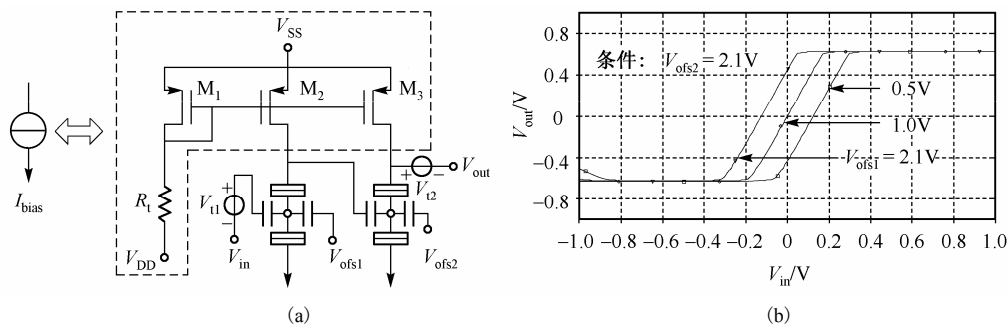


图 6.17 改进型神经元分段线性输出模块电路的实现。(a) 电路结构；(b) 仿真特性

图 6.17(a) 中 M_1 、 M_2 、 M_3 为耗尽型 PMOS 构成的镜像电流源，偏置恒流源的值为 50 nA，所用 SET 的参数选取值为： $C_{G1} = 0.04$ aF， $C_{G2} = 0.01$ aF， $C_S = 0.02$ aF， $C_D = 0.02$ aF， $R_D = 1$ M Ω ， $R_S = 1$ M Ω ， $T = 300$ K。图 6.17(b) 为其相应的输入输出传输特性仿真图，可以看出，调节背栅 V_{ofs1} 可以调节曲线沿横轴的左右移动。电路的输入端与输出端的调节电压分别为 $V_{t1} = 1.267$ V、 $V_{t2} = 0.869$ V，它们是用来调节曲线在纵轴方向的移动。同时，调节电阻 R_t 可调节镜像偏置电流的大小，电路的输出电压范围由镜像电流源

的偏置电流值大小所决定，此图中输出电压范围为 $-0.63\text{V} \leq V_{\text{out}} \leq 0.63\text{V}$ 。另外，调节 V_{ofs2} 可改变分段线性输出函数线性区的斜率。

上述Goossens提出的实现分段线性压控电压源的方式在仿真时，参数不易调节而且收敛比较困难，因此，可利用另一种结构更简单易行的实现方式，即单个MOS管偏置下的电路实现结构，如图6.18所示。图6.18(a)中两个SET的漏极利用单个NMOS构成偏置恒流源，提供50 nA的偏置电流。偏置电压 V_{DD} 为0.7 V， V_{SS} 为-0.7 V；SET的仿真参数为： $C_{\text{G1}}=0.04\text{ aF}$ ， $C_{\text{G2}}=0.04\text{ aF}$ ， $C_{\text{S}}=0.02\text{ aF}$ ， $C_{\text{D}}=0.02\text{ aF}$ ， $R_{\text{D}}=1\text{ M}\Omega$ ， $R_{\text{S}}=1\text{ M}\Omega$ ， $T=300\text{ K}$ 。同理：图6.18(b)中 V_{ofs1} 可调节仿真曲线的横坐标位移， V_{ofs2} 可调节纵坐标的位移，一般情况下当偏置电压 V_{DD} 和 V_{SS} 选取合适后， V_{ofs2} 的值就基本固定，但是 V_{ofs1} 和 V_{ofs2} 的调解电压较前一方法的调解电压值的变化范围大，且参数选取较容易，调节较方便，收敛性好。此外，栅极电压虽大，但无功耗，并且输出电压范围为 $-0.57\text{V} \leq V_{\text{out}} \leq 0.57\text{V}$ ，静态功耗较前一方法更小。

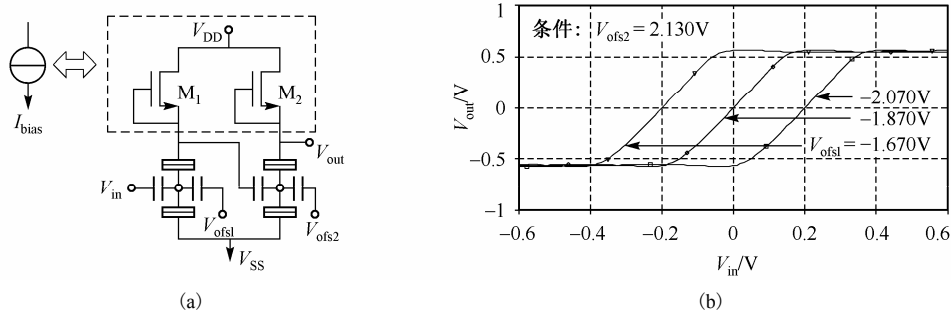


图 6.18 简化型神经元分段线性输出模块结构及其仿真特性。(a)电路结构；(b)仿真特性

从以上神经元分段线性输出模块两种实现方法上，第一种方法虽输出电压的分段线性度较好，参数可调性较高，但结构较复杂，且输出电压范围较大；而第二种方法虽分段线性度稍差，但不至于影响电路的实际应用功能，而且使用器件少，结构较为简单，输出电压范围减小了，电路的功耗降低了，因此，这样更易于大规模集成电路的实现及应用。另外，两种混合 SETMOS 结构均在常温下工作，在工艺上为实际器件的制作提供了可能；静态功耗均在 200 nW 以内，输出电压均为几百毫伏，较易驱动负载工作；实现具体电路的器件数量大为减少，较用纯 CMOS 工艺实现集成度更高，整体上体现了单电子器件比传统 CMOS 器件的优势作用。

该模块实现后可与 A 模板一起构成分段线性压控电流源 $A(i,j;k,l)v_{ykl}$ ，进而实现反馈控制。

(3) A、B 模板电路模块的 MOS 实现^[21]

①A 模板电路模块的 MOS 实现。为实现细胞单元的 A 模板，文中利用纳米级的

MOS 管构造了结构简单的电路,如图 6.19 所示。它主要由纳米级的 PMOS 镜像电流源和 NMOS 镜像电流源、输入极 PMOS 和 NMOS 以及调解电阻 R_{S1} 和 R_{S2} 构成。图 6.19(a)中, M_1 、 M_2 构成左支路的电流镜,由 V_{SS1} 为其提供偏置电压, M_3 、 M_4 构成右支路的电流镜,由 V_{SS2} 为其提供偏置电压,其中 M_2 和 M_3 的漏极构成输出电流; M_5 和 M_6 的栅极为电压信号的输入端,调解电阻 R_{S1} 和 R_{S2} 在偏置电压 V_{NS} 和 V_{PS} 下用于调节 A 模板线性区的线性度,而线性区的斜率可由 M_5 和 M_6 的沟道宽长比 W/L 来确定。图 6.19(b)的结构与图 6.19(a)类似,区别在于对应的 MOS 管由增强型改变为耗尽型,耗尽型改为增强型,同时各管的参数也发生了变化,具体可参见表 6.1 与表 6.2。图 6.20 为 A 模板相应的传输特性仿真曲线图。

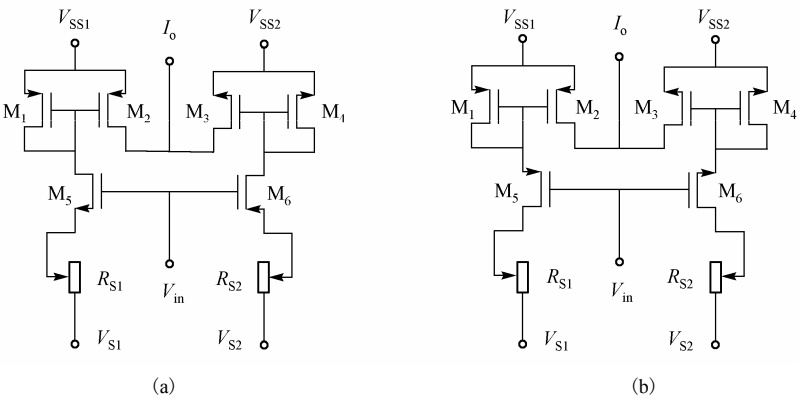


图 6.19 A 模板电路。(a)正反馈模板；(b)负反馈模板

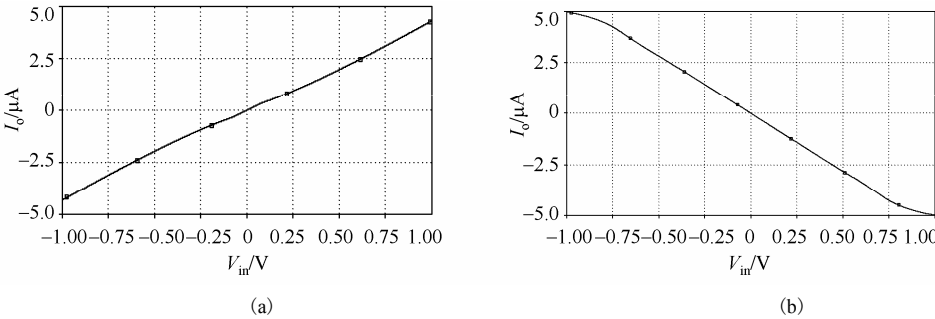


图 6.20 A 模板的传输特性仿真图。(a)正反馈 V_{in} - I_o 特性图；(b)负反馈 V_{in} - I_o 特性图

表 6.1 正反馈模板的各 MOSFET 几何尺寸

MOSFET	阈值电压 V_{TH}/V	沟道宽 W/nm	沟道长 L/nm
M_1	-0.1	100	65
M_2	-0.1	100	65
M_3	0.1	100	65

M ₄	0.1	100	5
M ₅	-0.1	100	65
M ₆	0.1	100	65

表 6.2 负反馈模板的各 MOSFET 几何尺寸

MOSFET	阈值电压 V_{TH}/V	沟道宽 W/nm	沟道长 L/nm
M ₁	0.1	70	100
M ₂	0.1	70	100
M ₃	-0.1	70	100
M ₄	-0.1	70	100
M ₅	-0.5	70	100
M ₆	0.5	70	100

②B 模板电路模块的 MOS 实现。B 模板实现的是线性电压控制电流源 $B(i,j;k,l)v_{ukl}$ ，它具有跨导量纲，实现电路图与 A 模板电路实现结构相同，所不同的是 B 模板参数选取与 A 模板不同，改变输入极 MOS 管的宽长比 W/L 可改变 B 模板线性区的斜率，即改变 B 模板的跨导值，故在此不在赘述 B 模板的结构。此外，B 模板的输入是本细胞和邻近细胞的输入变量信号 v_{ukl} ，而 A 模板的输入是本细胞和邻近细胞的输出变量信号 v_{ykl} 。

(4)细胞单元的实现^[22]

由以上实现的各 CNN 模块，对照图 6.15 中 CNN 各细胞间的等效连接框图可构造出细胞单元的 SETMOS 实现结构，如图 6.21 所示。

$I = 0$, 为了方便且不失一般性, 假设 $R_x = 1, C = 1$, 则可得横向连通单元检测的动态方程为:

$$\begin{aligned}\frac{dv_{xij}(t)}{dt} &= -v_{xij}(t) + v_{yi(j-1)}(t) + 2v_{yij}(t) - v_{yi(j+1)}(t) \\ &= -f(v_{xij}(t)) + v_{yi(j-1)}(t) - v_{yi(j+1)}(t)\end{aligned}$$

(6.25)

若令 $g(t) = v_{yi(j-1)}(t) - v_{yi(j+1)}(t)$, 则图 6.22 为相应的动态路径曲线。

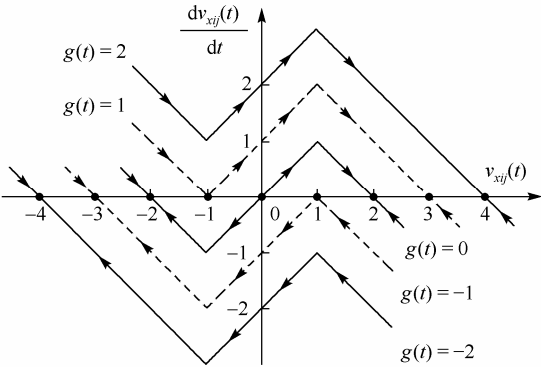


图 6.22 $g(t)$ 取不同值时横向 CCD 的动态路径和平衡点

表 6.3 $g(t)$ 取不同值时对应的邻近细胞的输出状态

	$g(t) = -2$	$g(t) = -1$	$g(t) = 0$	$g(t) = 1$	$g(t) = 2$
$V_{yi(j-1)}$	-1	-1 0	-1 1	1 0	1
$V_{yi(j+1)}$	1	0 1	-1 1	0 -1	-1

以四个 CCD 细胞为例有 16 种输入状态, 16 种输出状态, 这里只给出了其中两种情况。利用 6.3.2 节设计的 SETMOS 各模块构成 CNN 电路结构, 适当选定各参数对该两种情况仿真, 得到如图 6.23 所示的仿真特性图。细胞体模板参数选取为: 栅极电容 $C_G = 0.15 \text{ aF}$, 漏极电容 $C_D = 0.06 \text{ aF}$, 源极电容 $C_S = 0.06 \text{ aF}$, 隧穿电阻 $R_S = 3 \text{ M}\Omega$, $R_D = 3 \text{ M}\Omega$, 工作温度 $T = 300 \text{ K}$; M_1 提供 20 nA 的偏置电流, M_2 的阈值电压 $V_{TH} = 0.02 \text{ V}$, 沟道宽 $W = 100 \text{ nm}$, 沟道长 $L = 65 \text{ nm}$; M_3 的阈值电压 $V_{TH} = -0.3 \text{ V}$, 沟道宽 $W = 1.69 \text{ }\mu\text{m}$, 沟道长 $L = 100 \text{ nm}$, 为 SETMOS 结构提供 $3 \text{ }\mu\text{A}$ 的补偿电流; 调解电压源 V_1 值为 0.48 V , 调解电压源 V_2 值为 2 V 。分段线性输出模块、反馈模板与控制模板参数同图 6.18 与图 6.19。图中深灰色方块代表高电平像素(细胞), 白色方块代表低电平像素, 细胞自身的参数 C 取值为 0.05 nF 。

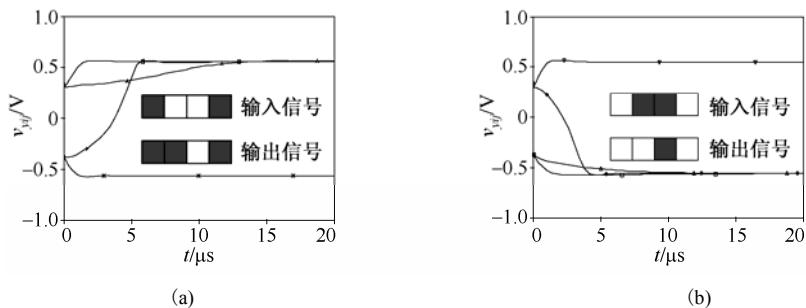


图 6.23 四细胞 SETMOS-CCD 的输出电压瞬态仿真

由图 6.23 可见,即使每个像素的初始态和最终态都是离散值(± 1),但因为动态变化过程式(6.25),各像素的瞬态值也都是连续的。输出信号从初始态随时间的变化非常明显,约经 $12\mu\text{s}$ 后, CNN 达到稳定状态,输出态的高电平接近 0.55V ,低电平接近 -0.55V ,较好地体现了两极态性。

(2) 阴影检测^[28]

CDD CNN 需要邻近细胞的负反馈信号,与之不同的是,阴影检测(Shadow Detector, SD)CNN 只要邻近细胞的正反馈与控制信号,该功能可用于手写体字的识别。它的模板可表示为: $A = \begin{bmatrix} 0 & 2 & 2 \end{bmatrix}$, $B = 2$, $I = 0$, 对于一个给定的二维图像,假设各像素的初始态满足: $V_{xij}(0) = +1$, $1 \leq i \leq M$, $1 \leq j \leq N$, 那么所有在阴影区的像素的稳态 $V_{xij}(\infty)$ 将会是高电平^[30]。同样,为了方便且不失一般性,假设 $R_x = 1$, $C = 1$, 则可得 SD CNN 的动态方程为

$$\begin{aligned} \frac{dv_{xij}(t)}{dt} &= -v_{xij}(t) + 2v_{yij}(t) + 2v_{yi(j+1)}(t) + 2v_{ui(j+1)}(t) \\ &= -f(v_{xij}(t)) + 2v_{yij}(t) + 2v_{ui(j+1)}(t) \end{aligned} \quad (6.26)$$

以一个 4×4 的二维图像为例,利用所构造的 SETMOS CNN 进行了处理,各图像像素的输入状态、处理过程及仿真结果如图 6.24 所示。电路参数选取同图 6.23,各细胞的自身电容 $C = 0.05\text{ nF}$ 。

在图 6.24 所示的两种二维图像中,像素的深灰色状态代表高电平,白色状态代表低电平。由图 6.24 可看出,二维图像经 SETMOS CNN 处理后,各像素经过大约 $15\mu\text{s}$ 后趋于稳定状态,图像的高电平像素左侧变成阴影区,就像是一束水平光线从物体的右侧向左侧照射后得出的阴影。同时,非常值得注意的是,尽管每个像素只接受到局部最邻近像素的信息,但在同一横排,整个阵列的动态过程在本质上却是全局。换句话说,每个像素只考虑邻近像素的输入值不能确定它的输出是 $+1$ 还是 -1 。因此,阴影是一个全局特性。

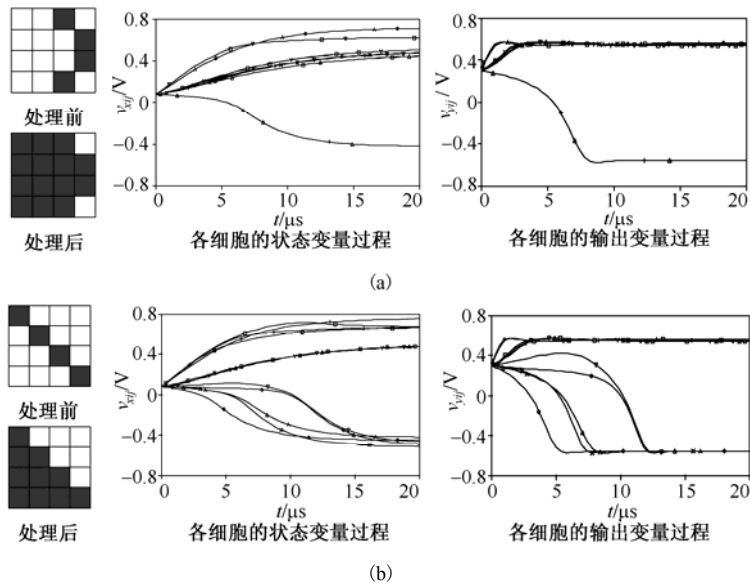


图 6.24 两种输入图像的处理过程及仿真结果

(3) 空洞填充^[21]

已知空洞填充 (Hole Filler) 模板^[31]:

$$A = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 2 & 1 \\ 0 & 1 & 0 \end{bmatrix}, B = 4, I = -1 \tag{6.27}$$

假设一个两极态 (± 1) 二维图像的输入电压如图 6.25 (a) 所示, 细胞的 “■” 状态代表高电平, 输入电压为 0.5 V; “□” 状态代表低电平, 输入电压为 -0.5 V, 所有细胞的初始状态值 $v_{xij}(0) = +1, 1 \leq i \leq M, 1 \leq j \leq N$, 如图 6.25 (b) 所示, 那么细胞的最终状态值 $v_{xij}(\infty)$ 是两极态的, 二维图像的任何空洞将被填充, 如图 6.25 (c) 所示。

图 6.26 (a) 是 CNN 各个细胞的暂态计算机仿真曲线; 由图 6.26 (b) 可以看出, 输出信号从初始态随时间变化非常明显, 输出态的高电平接近 0.560 V, 低电平接近 -0.570 V。由仿真曲线得出, 约经 2.5 μs 后, CNN 达到稳定状态。由此可见, 所设计的混合 SETMOS CNN 有较好的图像处理功能, 与传统图像处理方法相比, 用 CNN 硬件网络处理图像的机制是并行的, 其处理速度是传统方法不能比拟的。

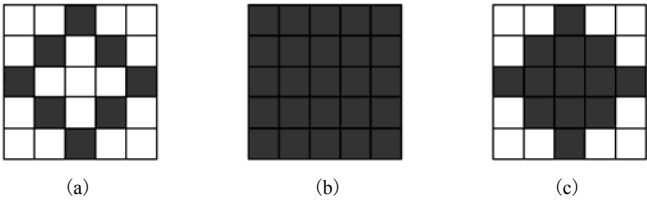


图 6.25 空洞填充(a)待处理图像。(b)CNN 的初始值；(c)输出图像

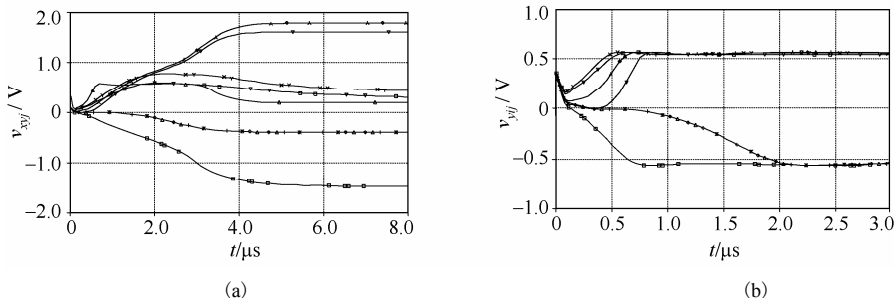


图 6.26 CNN 状态及输出仿真曲线。(a) 各细胞状态变化仿真曲线；(b) 各细胞输出仿真曲线

6.4 SETMOS混合器件数字电路应用

SETMOS 作为一种纳米混合新器件，它可构成一些数字电路，如多值逻辑电路、基本的逻辑门电路、多值静态随机存储器等。

6.4.1 多值逻辑

随着纳米技术的发展，集成电路已进入到纳米级领域，高密度、高速度、低功耗是集成电路技术追求的几个主要指标，存储器件的发展面临着器件进一步减小带来的困难。以动态存储器(DRAM)的发展为例，存储单元中的电容不能太小，如果这个电容小到不能提供足够多的电子给放大器，那么整个存储器将被噪声所淹没，将不能保证信息存储的可靠性；同时，每个存储单元的电子数目随着存储器件集成度的进一步提高变得越来越小时，存储器中的MOS 场效应晶体管将会逐渐变得不稳定，所以在一个存储单元中存入多个比特的多值存储技术将显得越来越重要。单电子晶体管可以解决这一困难。利用单电子晶体管制备的存储器利用很少的电子就可实现器件的存储功能，这使得高密度的存储成为可能。

下面将阐述多值逻辑的两种基本元器件：通用字符门(Universal Literal Gate, ULG)和量化器(Quantizer)。

1. SETMOS通用字符门

字符门代表的是如图6.27(a)所示的字符函数^[3,32]，即仅当输入取某一特定区域内的值时，输出为高电平；否则输出为低电平。详细地讲，当 $x < b$ ，输出为高电平， $x \geq b$ ，输出为低电平时，称为上升字符；当 $x < a$ ，输出为低电平， $x \geq a$ ，输出为高电平时，称为下降字符。这里 a, b 为阈值， x 为变量。

$$\text{输出} = \begin{cases} \text{“高电平”}, & a \leq x \leq b \\ \text{“低电平”}, & \text{其他} \end{cases} \quad (6.28)$$

通用字符门是用几个字符函数组成的，它的函数表示为式 (6.29)，特性如图 6.27 (b) 所示。

$$X^{(a)} = \begin{cases} \text{“高电平”}, & X \subset a \\ \text{“低电平”}, & \text{其他} \end{cases} \quad (6.29)$$

在数字 VLSI 的基本电路模块，如加法器、可变成逻辑阵列和解码器，利用这些电路作为核心部件可降低电路的复杂度，同时可提高电路的性能。

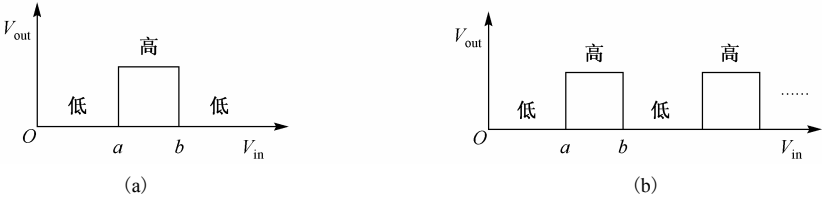


图 6.27 (a) 字符门的传输特性；(b) 通用字符门的传输特性

通用字符门是多值逻辑的基本元件。SET 具有周期 I_D - V_{GS} 特性，可利用它将多值输入转化成周期的二进制输出。但是，SET 作为一个电路元器件又有它的缺点：(1) 由于漏电流非常依赖漏电压，致使它的输出阻抗很小；(2) 由 SET 构成一个简单的反相器的最大电压增益为 C_G/C_S ，其值非常小，通常小于 1 或略大于 1，这里 C_G 为栅极电容， C_S 为漏极电容；(3) 可利用的漏电压也仅限于一个很小的值，即 e/C_S ，其中， e 为基本电荷， C_S 为与库仑岛相连的总电容。为了克服这些不利条件，以获得实际的多值逻辑，可构造出通用字符门的两种 SETMOS 混合电路结构，如图 6.28 和图 6.29 所示。

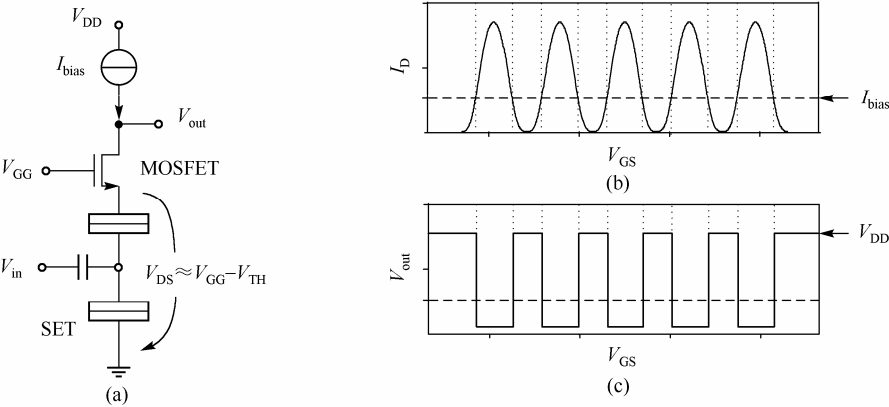


图 6.28 SETMOS 通用字符门结构 1。(a) 结构示意图；(b)、(c) 传输特性图

图 6.28 (a) 中 MOSFET 的固定偏置栅压 V_{GG} 用于保持 SET 的漏极电压几乎保持在恒定值 $V_{GG}-V_{TH}$ ，其中， V_{TH} 为 MOSFET 的阈值电压。此处 $V_{GG}-V_{TH}$ 要足够低——确保库仑阻塞条件。由图 6.28 (b) 可见，没有接入偏置恒流源 I_{bias} 时，通过电路的电流作为输入电压的函数周期性地增大和减小，漏电流只受到输入电压的决定而不受

输出电压的影响,这是由于 SET 的漏极电压由 $V_{GG}-V_{TH}$ 基本保持恒定;当接入偏置恒流源 I_{bias} 后,增加的漏电流通过负载线 I_{bias} 时,输出电压迅速由高电平转换到低电平,然后,在第二个交点,输出电压又迅速由低电平转换到高电平,如此循环下去就得到一个大电压振幅类似方波的电压输入输出特性,如图 6.28 (c) 所示。这里恒流源负载可由耗尽型 MOSFET 栅极与源极短接实现。

图 6.29 (a) 的通用字符门结构主要由一个 SET 和 CMOS 构成,该结构可将模拟信号转化为数字信号输出。由图 6.29 (b) 可见, SET 的漏极电压随栅极输入电压周期变化,而后再经反相器 CMOS 也得到一个类似方波的输出函数。

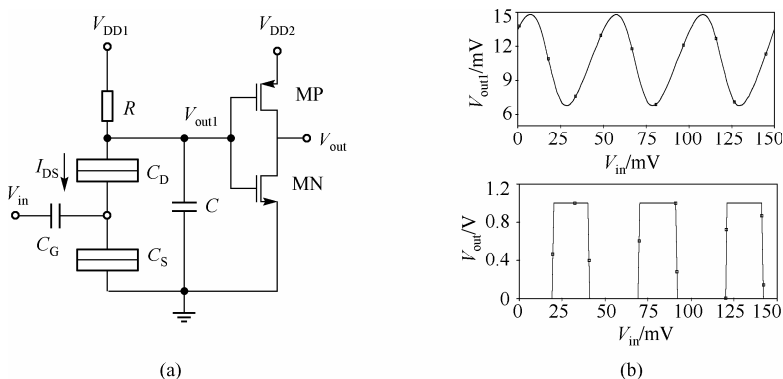


图 6.29 通用字符门结构 2。(a) 结构示意图; (b) 传输特性图

2. 量化器

多值逻辑的另一个重要的基本元器件是量化器^[3,6],它的结构及特性分析如图 6.30 所示。

利用图解法对此电路进行分析,如图 6.30 (b) 所示,在 $I-V$ 坐标中, SETMOS 负微分电阻器件的特性曲线和其负载曲线恒流源 $I = I_{bias}$ 相交于 10 点,即正电阻区的 $P_1 \sim P_5$ (图上以实心圆点为标志) 和负电阻区的 $Q_1 \sim Q_5$ (图上以空心圆点为标志),下面分析这两类点的情况。

以 P_3 点为例,其中, $V = V_3$, $I = I_{bias}$, 对于所有的 V , 如果有 $V_3 < V < V_c$, 从图 6.30 (b) 可以看出, SETMOS 负微分电阻器件的总体放电电流 I 要大于电流源的充电电流 I_{bias} , 因此存储结点的电荷会被释放, 电压 V 会减小, 直到 $I = I_{bias}$ 才能达到平衡, 此时 $V = V_3$, 即系统状态又返回到 P_3 点; 同样, 对于 $V_b < V < V_3$ 的情况, SETMOS 负微分电阻器件的总体放电电流 I 要小于电流源的充电电流 I_{bias} , 因此存储结点被电流源充电, 电压 V 会增大, 直到 $I = I_{bias}$ 才能达到平衡, 此时 $V = V_3$, 即系统状态同样又返回到 P_3 点。而对于 Q_3 点 ($V = V_c$, $I = I_{bias}$), 任何极微小的电压波动, 都会使系统偏离 Q_3 点, 即正向的极小电压波动, 会使系统到达 P_4 点, 而负向的极小的

电压波动，则将会使系统到达 P_3 点。根据以上分析，可以知道，位于正电阻区域的 P_1, P_2, P_3, P_4, P_5 5 个点是稳定的，而位于负微分电阻区域的 Q_1, Q_2, Q_3, Q_4, Q_5 则是不稳定的。从 P_3 稳定态跳到 P_4 ，最少需要增加电荷 $C_N(V_c - V_3)$ ；而从 P_4 稳定态回到 P_3 ，至少需要释积电荷 $C_N(V_c - V_3)$ ，这里 C_N 是 SETMOS 的存储结点的寄生电容。

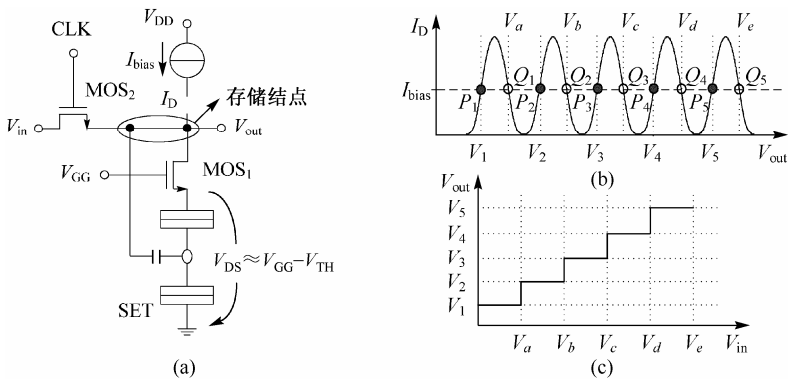


图 6.30 量化器结构及其特性分析。(a) 电路结构；(b) 存储单元稳态点的图解分析；(c) 存储单元的 V_{out} - V_{in} 关系图

图 6.30(a) 中增加了一个场效应晶体管 MOS_2 来实现多值存取功能。其栅极连接读写允许线 w/r ，当 w/r 为正电位时，该场效应晶体管导通，才能进行读写操作。为了分析简单，不考虑该场效应晶体管导通时源漏两端的压降。图 6.28(c) 给出在 w/r 施加一个脉冲信号时，SETMOS 负微分器件的存储结点电压 V 随写入电压 V_{in} 的变化（脉冲将 w/r 开关关断后）情况，可见随 V_{in} 的连续增大， V 出现了 5 个递增的台阶，分别对应上述 5 个稳定态 P_1, P_2, P_3, P_4 和 P_5 ，而且通过控制 w/r 的值就能将这 5 个稳定态保存在存储结点或者从存储结点读出。由此可见，量化器可用于多值存储器。

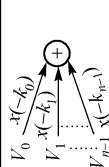
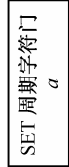
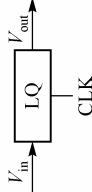
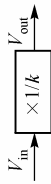
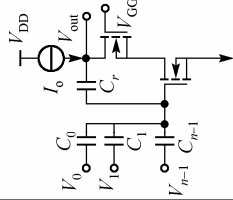
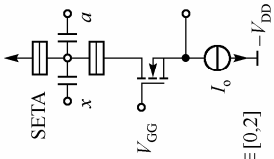
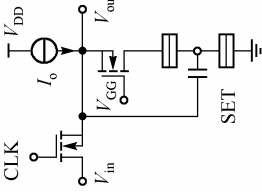
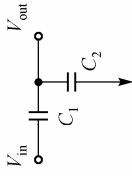
6.4.2 逻辑门电路

在数字电路中，基本的逻辑门是构成电路的必要条件。利用 SETMOS 的混合结构，可设计出用于实现二进制逻辑、多值逻辑和混合模式逻辑电路的基本逻辑门^[33]，如图 6.31 所示。对于一个二进制周期波形，可以用 SET 的周期字符特性来区分多值信号（包括二进制信号这一特例）。其中，图 6.31(a) 中的 SET 周期字符门与 SET 双输入栅均有两种实现结构，即恒流负载型与互补型，并且 SET 双输入栅可构成并联门、串联门和求和门三种基本结构；图 6.31(b) 给出了一些由 SETMOS 构成的用于设计电路的附加元件。

名称	SET 周期字符门		并联门		串联门		SET 双输入栅	
	符号	恒流负载型	互补型	恒流负载型	互补型	SET 串联门 (a,b)	求和门	
符号								
结构示意图								
函数								

(a)

图 6.31 SETMOSR 的逻辑门。(a)SETMOS 的周期符号与 SET 的双输入栅结构

名称	倒相加法器	SET 周期字符门 (负值输出)	锁存量化器	分压器
符号				
结构示意图				
函数	$V_{out} = -(k_0 V_0 + k_1 V_1 + \dots + k_{n-1} V_{n-1})$ $k_l = C_l / C_f$	$a = 0 \text{ 或 } 1$ $y = \begin{cases} 0 & \text{if } a = 0 \\ 1 & \text{if } a = 1 \end{cases}$	$V_{out}(t) = \begin{cases} V_{in}(t) & \text{if } CLK = H \\ V_{in}(t-1) & \text{if } CLK = L \end{cases}$ $V_{in} \text{ 被量化锁存}$	$V_{out} = k V_{in}$ $k = C_1 / (C_1 + C_2)$

(b)
图 6.31 SETMOSR 的逻辑门。(b) 附加元件(续)

此外,利用以上 SETMOS 的逻辑门族可以完全实现任意的二进制函数,如图 6.32 所示。

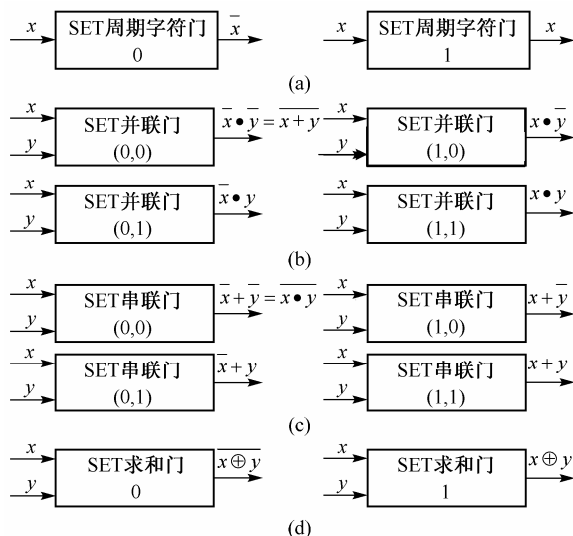


图 6.32 由 SETMOS 逻辑门构成的等效的二进制逻辑函数

6.4.3 SETMOS混合器件的数字电路应用

SETMOS混合器件在数字方面的应用非常广泛,它可构成多值逻辑电路、基本的逻辑门电路、组合逻辑门电路、多值静态随机存储器、锁相环频率合成器等,本节主要介绍 SETMOS 构成反相器(Inverter)、数模/模数转换器(ADC/DAC)、加法器(Adder)和多值静态随机存储器(Multi-Valued Static Random Access Memory, MV SRAM)等。

1. 反相器

利用 SET 和 PMOS 上拉晶体管的混合电路可以实现如图 6.33 所示的反相器结构及传输特性^[34]。

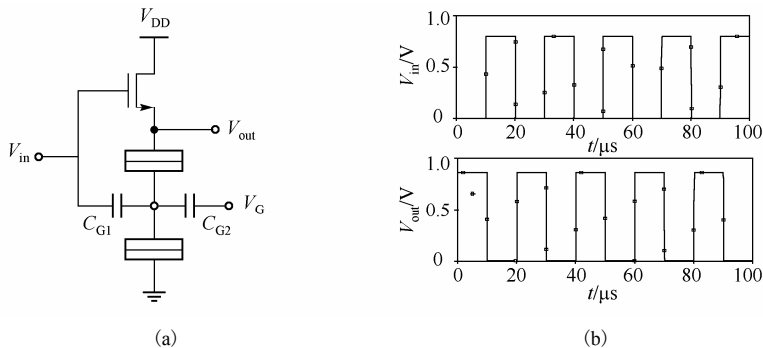


图 6.33 SETMOS 反相器。(a) 电路结构; (b) 传输特性

由图 6.33 (b) 可看出, 当 V_G 取 0 V, 输入电压信号 V_{in} 为高电平 0.8 V 时, 输出电压信号 V_{out} 为低电平信号 2.5 mV; V_{in} 为低电平 0 V 时, V_{out} 为 0.86 V, 满足逻辑关系“非”, SETMOS 反相器较好地实现了反相作用。

2. 数模/模数转换器

以三位 ADC 为例说明 SETMOS 的构造过程^[3], 如图 6.34 所示。

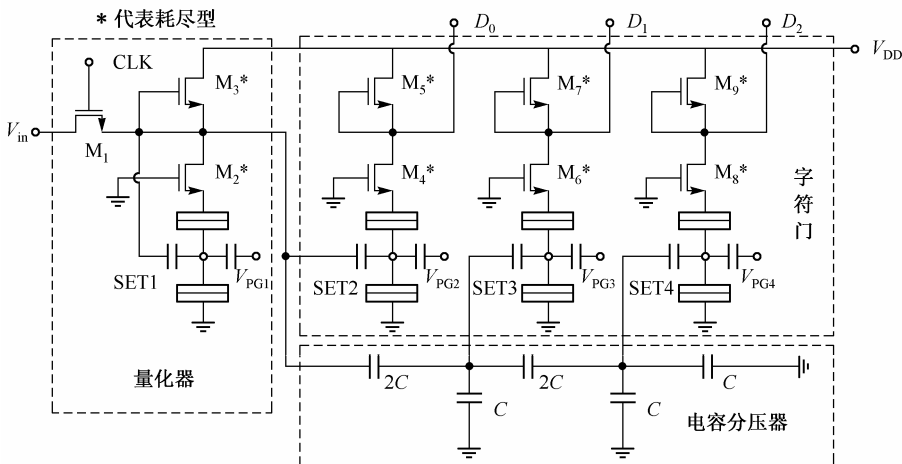


图 6.34 由 SETMOS 构成的三位 ADC 电路结构图

图中输入信号被量化器量化后经电容分压器形成字符门信号, 对应于图中的数字输出信号 D_0 、 D_1 、 D_2 。其中 M_1 作用相当于开关, M_2 、 M_3 与 SET1 构成具有存储结点的存储器; 耗尽型 MOSFET M_2 、 M_4 、 M_6 和 M_8 使得 SET 的漏极电压几乎保持在绝对阈值电压状态, 其他耗尽型 MOSFET M_3 、 M_5 、 M_7 和 M_9 工作在饱和区充当偏置恒流源负载 I_0 , 用以消除 M_2 、 M_4 、 M_6 和 M_8 的栅极偏置电压; SET 的各控制栅电压 V_{PG} 有两大重要作用: (1) 调节各个 ADC 字符门输出信号的相位使得 ADC 电路能正确工作; (2) 如果存在背景电荷, 可通过调节偏置电压 V_{PG} 以抵消 ADC 特性的背景电荷的影响。这里绝对阈值电压 V_{TH} 必须足够低以获得库仑阻塞条件。由以上结构可知获得构造 n 位 ADC 的方法, 即按照三位 ADC 的结构在电容分压器末端串并联相应的电容和字符门。为清晰地表现图 6.34, 可将其表示为如图 6.35 所示的方框图。

与传统的 ADC 相比较, 混合 SETMOS 构成的 ADC 有以下几个特点: (1) 结构简单。这种特殊的 ADC 前端是量化器, 并且每个 SETMOS 字符门不需要比较器、锁存器和斜坡发生器, 这是因为量化器有锁存功能, 字符门的类似方波的转移特性具有饱和和高电平; (2) 传统的 n 位快速 ADC 需要 n^2-1 个元件, 如比较器, 而由 SETMOS 构成的 ADC 则只需要 n 个元件; (3) 混合 SETMOS 具有较大振幅的输入输出信号和

较强的负载能力；(4)不需要格雷码，因为量化器会控制输入电压的立刻输入；(5)在室温下工作。

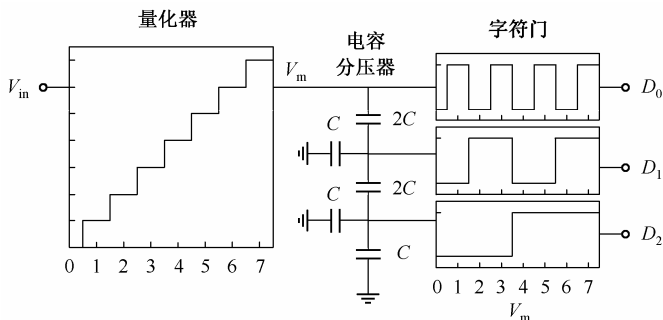


图 6.35 三位由 SETMOS 构成的快速 ADC 方框图

同样地，可利用 SETMOS 构成 n 位 DAC^[35]，构造过程如图 6.36(a)所示。

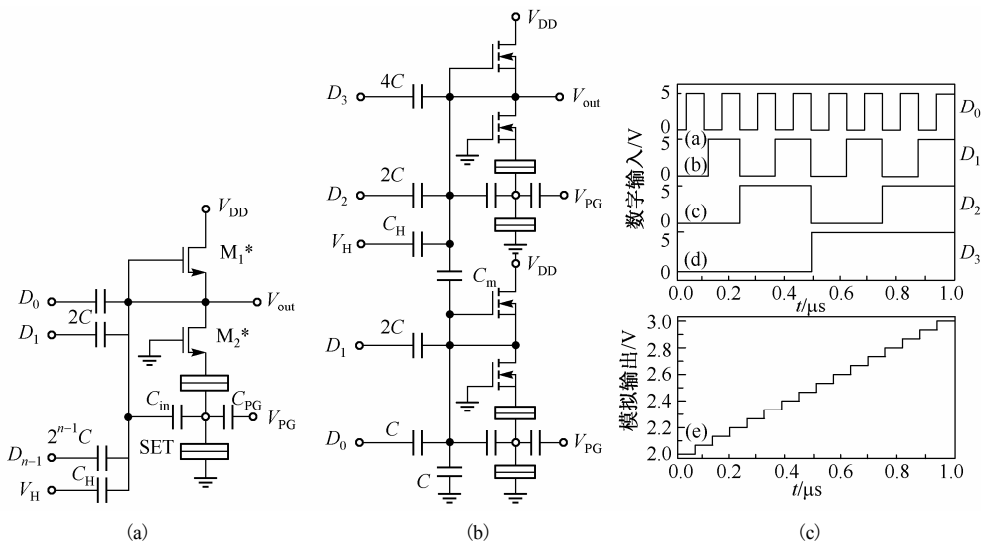


图 6.36 由 SETMOS 构成的 DAC。(a)由 SETMOS 构造的 n 位 DAC；
(b)四位级联权值电容法 DAC 电路；(c)输入输出特性

由图 6.36(a)可以看出，它由一个输入电容阵列和一个输出电路构成。输入电容阵列的电容值分别为 2^0C , 2^1C , 2^2C , 2^3C , ..., $2^{n-2}C$, $2^{n-1}C$ 。 n 位数字信号 D_0 , D_1 , D_2 , ..., D_{n-2} , D_{n-1} 可直接作用于输入电容。电容阵列可以对输入信号做乘法和加法操作，而后电容阵列的输出作用于输出电路的输入端。输出电路的结构与 ADC 的字符门电路相同，如图 6.34 所示，但是 SET 的输入栅极要与 MOSFET 的漏极相连。如果偏置恒流源的电流值在 SET 周期振荡电流 I_{DS} 的最大值与最小值之间确定，那么

当 n 位数字输入信号从 $000\cdots 00$ 变化到 $111\cdots 11$ 时, 就可以获得 DAC 输出电路的稳定输出模拟电压信号 V_{out} 。SET 电流的振荡周期与 DAC 混合电路的分辨率 n 有关, 即 $e/C_{in}=\Delta V_{DAC}/2^n$, 其中, e 为基本电荷, C_{in} 为 SET 的输入栅极电容, ΔV_{DAC} 为 DAC 模拟输出电压的振幅。控制电容 C_H 和控制电压 V_H 用于控制输出电压的直流偏移量。例如, 可将输出电压的范围限制在 $(V_{DD}/2)-0.5\sim (V_{DD}/2)+0.5$ 之间。

混合 SETMOS 构成的 DAC 同样具有结构简单、较大振幅的输入输出信号、较强的负载能力和可在室温下工作等特点。如果降低 DAC 的工作温度, 那么就可以通过增加输入栅电容的值而增加 DAC 的最高分辨率。为了获得室温下 DAC 更高的分辨率, 可以采用级联权重电容法增加分辨率, 如图 6.36 (b) 所示, 采用级联权重电容法构造的四位 DAC 电路, 其中, $T=300\text{ K}$, $C_H=32\text{ C}$, $V_H=2.5\text{ V}$, $C_m=4\text{ C}$ 。图 6.36 (c) 为其仿真结果, 仿真结果表明, 四位 DAC 工作性能良好, 模拟输出电压范围为 $2\sim 3\text{ V}$ 。

3. 全加器

全加器是数字系统中非常重要的一个基本功能电路, 是构成运算电路的核心单元, 也是乘法器的必要组成部分。基于以上由 SETMOS 构成的 ADC, 可构成用正余数 (Redundant Positive-digit Number) 表示法 PD2-3 表示的全加器^[3], 如图 6.37 所示。这种全加器主要组成部分是由三位 ADC 和线性求和器构成。这个数字系统是四值的, 每个数字可取 0, 1, 2, 或 3。如十进制 19 可表示为 $(3, 2, 3)_{PD2-3}$, 18 可表示为 $(3, 2, 2)_{PD2-3}$, 由此电路计算出这些数字之和为 $(1, 2, 1, 0, 1)_{PD2-3}$, 相应于十进制数 37。以 $S=X+Y$ 表示公式为:

$$\begin{aligned} X &= 3 \cdot 2^2 + 2 \cdot 2 + 3 = 19 \\ Y &= 3 \cdot 2^2 + 2 \cdot 2 + 2 = 18 \\ S &= 1 \cdot 2^4 + 2 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2 + 1 = 37 \end{aligned} \tag{6.30}$$

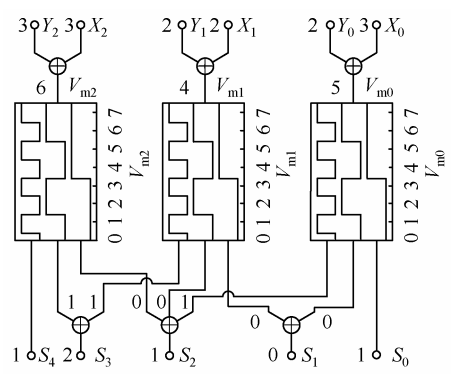
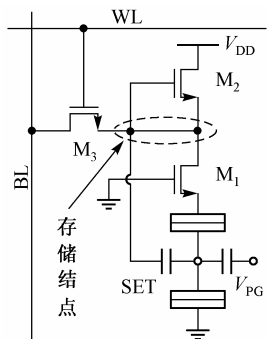


图 6.37 基于由 SETMOS 构成的 ADC 而形成的全加器方框图

由结果可以看出,与传统的 ADC 相比,基于这种三位 ADC,利用 SETMOS 混合设计方式可使全加器的元件数缩减一半,而且这种全加器是多值算法,没有进位操作,因此运算速度非常快。



4. 多值静态随机存储器电路单元

图 6.38 给出了由一个 SET 与三个 MOSFET 构成的大规模 SRAM 的存储单元^[1,3]。其中, WL 为字线,控制 M₃ 的导通与截止状态, BL 为位线,控制存储电压的读写状态,耗尽型栅极接地 M₁ 用于保持 SET 的漏极电压, M₂ 的栅源极短接充当恒流源的作用,传输晶体管 M₃ 控制该存储单元的数据存取。写操作时,加于位线 BL 上的电压通过 M₃ 被转移,并且在 M₃ 不工作时被量化为稳定信号存储到存储结点。读操作时,该存储电压又通过 M₃

图 6.38 SETMOS 混合结构的
MV SRAM 存储单元

被传输到位线 BL 上,接着被外围电路所接受。该混合 SETMOS 构成的 SRAM 存储单元不仅具有多值能力,而且要比由 CMOS 构成的 SRAM 存储单元尺寸要小得多,工作速度也快得多。

5. 一位数值比较器^[36]

在计算机和数字系统中,特别是在计算机中都具有运算功能,一种简单而又常用的运算是比较两个数 X 和 Y 的大小,因此,在多情况下都用到数字比较器,需要判断出 $X > Y$, $X < Y$, $X = Y$ 三种情况,其中应用最广泛的是反馈量和给定量之间的比较。一位数字比较器的逻辑表达式为:

$$(X > Y) = X\bar{Y} \quad (6.31)$$

利用 $a=1, b=0$ 时的 SET 并联门电路实现:

$$(X < Y) = \bar{X}Y \quad (6.32)$$

利用 $a=0, b=1$ 时的 SET 并联门电路实现:

$$(X = Y) = \bar{X}\bar{Y} + XY \quad (6.33)$$

利用 $a=1$ 时的 SET 求和门电路实现。

利用由 SETMOS 构成的基本逻辑门电路可设计出一位比较器的电路,如图 6.39 所示。

由图 6.39 可以看出,一位比较器由五个双栅 SET,三个耗尽 N 型 MOSFET,三个恒流源构成。结构简单,实现容易,更重要的是它的管子数大大减少,有利于进一步提高集成度,较好地适应了集成电路的发展要求,同时 MOSFET 晶体管的高速、高驱动性为下一级电路的提供了可靠的工作环境。

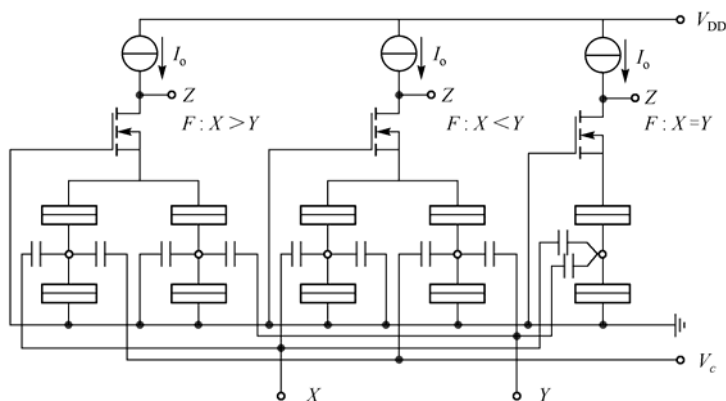


图 6.39 一位比较器电路图

参 考 文 献

- [1] Mahapatra S and Ionescu A M. Realization of Multiple Valued Logic and Memory by Hybrid SETMOS Architecture. IEEE Transactions on Nanotechnology. 2005, 4 (6):705-714.
- [2] Ionescu A M et al. Few electron devices: Toward hybrid CMOS-SET integrated circuits. in Proc. DAC. 2002: 323-326.
- [3] Inokawa H, Fujiwara A and Takahashi Y. A Multiple-Valued Logic and Memory With Combined Single-Electron and Metal-Oxide-Semiconductor Transistors. IEEE Transactions on Electron Devices. 2003, 50(2):462-470.
- [4] Takahashi Y, Fujiwara A, Ono Y, et al. Silicon Single-Electron Devices and Their Applications. in Proc. IEEE Int. Symp. Multiple-Valued Logic, 2000: 411-420.
- [5] Nishiguchi K, Inokawa H, Ono Y, Fujiwara A, and Takahashi Y. Automatic Control of Oscillation Phase of a Single-Electron Transistor. IEEE Electron Device Letters. 2004, 25(1):31-33.
- [6] 张志勇、王太宏. 单电子晶体管-金属氧化物半导体场效应晶体管多峰值负微分电阻器件. 物理学报, 2003, 52(7): 1765-1770.
- [7] Ionescu A M, Mahapatra S, Pott V. Hybrid SETMOS architecture with Coulomb blockade oscillations and high current drive. IEEE Electron Device Lett., 2004; 25 (6): 411-413.
- [8] Klunder R.H. and Hoekstra J., An Analytical Description for The Single Electron Current Regime of The Metal Single Electron Tunnel Transistor, SAFE/IEEE Workshop, 2001: 86-91.
- [9] 陈学军. 基于单电子晶体管的模拟滤波器设计及仿真实现. 西安: 空军工程大学, 2004.
- [10] Mahapatra S, Vaish V, Wasshuber C, Banerjee K, and Ionescu A M. Analytical Modeling of Single Electron Transistor for Hybrid CMOS-SET Analog IC Design. IEEE Transactions on Electron Devices. 2004, 51 (11): 1772-1782.

- [11] Mahapatra S, Ionescu A M, Banerjee K. A Quasi-Analytical SET Model for Few Electron Circuit Simulation. *IEEE Electron Device Lett.*, 2002, 23 (6): 366-368.
- [12] 史党院, 蔡理. 一种 SET/CMOS 混合器件模型的建立及特性分析. *微计算机信息* 2007. 23 (29): 283-284, 106.
- [13] Roermund A, Hoekstra J. Design Philosophy for Nano-electronic Systems from SETs to Neural Nets. *International Journal of Circuit Theory and Applications*. 2000, 28:563-584.
- [14] 高燕梅, 房蔓楠. Spice/Pspice 编程技术. 北京: 电子工业出版社, 2002. 150-155.
- [15] 贾新章, 郝跃. OrCAD/Pspice 实用教程. 西安: 西安电子科技大学出版社, 1999.
- [16] Yu Y.S. Hwang S.W. and Ahn D. Transient modeling of single-electron transistors for efficient circuit simulation by SPICE. *IEE. Proc-Circuit Devices Syst.* 2005, 152 (6): 691-696.
- [17] 邱关源. 现代电路理论. 北京: 高等教育出版社, 2001. 15-89.
- [18] 史党院. 基于 SET/CMOS 混合器件的模拟滤波器设计与仿真研究. 西安: 空军工程大学, 2007, 3.
- [19] Aizenberg N N, Aizenberg I N. CNN-like Networks Based on Multi-Valued and Universal Binary Neurons: Learning and Application to Image Processing. *Third IEEE International Workshop on Cellular Neural Networks and their Applications CNNA-94, Rome, Italy, 1994*, 153-158
- [20] Chua L O, Yang L. Cellular neural networks: Theory. *IEEE Transactions on Circuits and Systems* 1988, 35(10): 1257-1272.
- [21] 冯朝文, 蔡理, 李芹. 基于单电子器件的细胞神经网络实现及应用研究. *物理学报*, 2008, 57 (4): 2462-2467.
- [22] 冯朝文. 基于 SETMOS 混合器件电路及神经网络实现与应用研究. 西安: 空军工程大学, 2008, 3.
- [23] 冯朝文, 蔡理, 吴刚. 混合 SETMOS 神经元分段线性输出函数的实现. *微纳电子技术*. 2008, 45 (5): 255-259.
- [24] Goossens M. Analog neural networks in single-electron tunneling technology. *Delft University Press, Netherlands*.
- [25] Mahapatra S, Banerjee K, Ionescu A M. A CAD Framework for Co-Design and Analysis of CMOS-SET Hybrid Integrated Circuits. in *Proc. ICCAD, 2003*: 497-502.
- [26] Venetianer P L, Werblin F, Roska T. Analogic CNN algorithms for some image compression and restoration tasks. *IEEE Transactions on Circuit and System-I: Fundamental Theory and Applications*, 1995, 42 (5): 278-284.
- [27] Julián P, Dogaru R, Chua L O. A Piecewise-Linear Simplicial Coupling Cell for CNN Gray-Level Image Processing. *IEEE Transactions on Circuits and Systems—I: Fundamental Theory and Applications*, July 2002, 49(7): 904-913.

- [28] 冯朝文, 蔡理, 康强. 基于 SETMOS 细胞神经网络的图像处理研究. IEEE WCICA'08. Chongqing, China. June, 2008. pp 9214-9219.
- [29] Matsumoto T., Chua L. O. and Suzuki H. CNN Cloning Template: Connected Component Detector. IEEE Trans. Circuits Syst., 1990, 37(5): 633-635.
- [30] Matsumoto T., Chua L. O. and Suzuki H. CNN Cloning Template: Shadow Detector. IEEE Trans. Circuits Syst., 1990, 37(8): 1070-1073.
- [31] Matsumoto T, Chua L O , Furukawa R. CNN Cloning Template: Hole-Filler. IEEE Transactions on Circuits and Systems, 1990, 37(5): 635.
- [32] Chun M J, Jeong Y H, SET/CMOS Universal Literal Gate-based Analog-to-Digital Converter. Proc. of the IEEE, 2003, 745-748.
- [33] Degawa K., Aoki T., Higuchi T., Inokawa H. and Takahashi Y. A Single-Electron-Transistor Logic Gate Family and Its Application — Part I: Basic Components for Binary, Multiple-Valued and Mixed-Mode Logic. Proc. 34th IEEE Int. Symp. on Multiple-Valued Logic, 2004: 262-268.
- [34] Venkataratnam A., Goel A. K. Design and Simulation of Logic Circuits with Hybrid Architectures of Single Electron Transistors and Conventional Devices. Proc. of the IEEE, 2006.
- [35] Ou X B, Wu N J, Analog-Digital and Digital-Analog Converters Using Single-Electron and MOS Transistors. IEEE Transactions on Nanotechnology. 2005, 4 (6): 722-729.
- [36] 冯朝文, 蔡理. 基于混合 SET/MOSFET 的比较器. 微计算机信息, 2008, 24 (20): 290-292.
- [37] Abidi. A. A. High-Frequency Noise Measurements on FETs with Small Dimension. IEEE Tran. Electron Device, 1986, 33: 1801-1805.
- [38] Tsividis. Y. Operation and Modeling of the MOS Transistor. Second Ed., Boston: McGraw-Hill, 1999.
- [39] Zhang K. Challenges and Opportunities in Nano-Scale VLSI Design. IEEE 2005: 6-7.

第7章 碳纳米管器件

碳纳米管(Carbon Nanotube, CNT)由日本 NEC 公司 S. Iijima 博士于 1991 年首次发现。他在用高分辨率透射电子显微镜观察一类炭黑时,发现直径为 4~30 nm、长约 1 μm 的多个同心管组成的针状物,实际上这就是多壁碳纳米管。该结果首先在 1991 年的一次会议上报道,随即发表在 *Nature* 杂志上^[1]。1993 年 NEC 的 S. Iijima^[2] 和 IBM 的 D. Bethune^[3]各自用 Fe 和 Co 混在石墨电极中,成功地合成了单壁碳纳米管,它是一种典型的一维材料。这一发现立即轰动了世界,从此全球的材料科学及相关领域掀起了研究碳纳米管的高潮。CNT 特别是单壁碳纳米管的发现,对推动微纳电子技术的发展有着不可估量的作用。CNT 具有一些独特的优良特性,如电流密度大、热导率高、比表面积(specific surface area)大、机械强度高、平均自由程大等,因此它被视为代替硅的理想半导体材料。

CNT 的合成方法主要有电弧放电法、催化裂解法、激光蒸发法等。

1998 年 Sander 和 Martel 分别成功合成碳纳米管场效应管(Carbon Nanotube Field Effect Transistor, CNTFET)^[15-16],使得 CNTFET 成为 21 世纪以来炙手可热的研究热点。CNTFET 在结构上和 MOSFET 相似,都通过调节栅极电压控制沟道电流大小,其 *I-V* 特性也与 MOSFET 极为相似,因此理论上用 CMOS 器件构成的电路都可以用 CNTFET 实现。而且与 CMOS 器件相比, CNTFET 有独特的优良特性,如尺寸更小,可承受大电流密度,散热性好。目前阻碍 CNTFET 构成集成电路的主要障碍为不够成熟的 CNT 生长工艺和器件布局能力。

本章将主要介绍 CNT 的结构、电特性和载流子输运特性;阐述 CNTFET 的导电特性、CNTFET 的不同结构以及对性能参数的影响、用 CNTFET 构建数字逻辑电路;介绍两种 CNTFET 建模方法:格林函数法和弹道输运假设的建模方法;最后,概述有关碳纳米管器件的一些应用。

7.1 碳纳米管的结构、电特性及制备方法

7.1.1 碳纳米管的结构

不同结构的碳纳米管(CNT)性能差别很大,特别是其电学性能,根据结构不同可表现为金属性和半导体性。因此,对 CNT 结构的研究一直是碳纳米材料领域的一个热点。

同金刚石与石墨相比, CNT 是另一种碳的同素异形体, 其中的每个碳原子与相邻的三个碳原子相连, 碳原子以 sp^2 杂化为主, 也有 sp^3 杂化的原子。CNT 可以看成是二维石墨烯片层卷积映射而成的无缝圆筒, 是有类似于石墨的六边形网格组成的管状物。在映射过程中保持石墨烯片层中的六边形不变, 因此在映射时石墨烯片中的六边形网格和管轴向之间可能出现夹角。根据六边形沿轴向的不同取向可分为锯齿形、扶手椅形和螺旋形三种, 如图7.1所示, 其中螺旋形具有手性(Chirality), 可分为左螺旋和右螺旋。锯齿形和扶手椅形其六边形网格和轴向夹角分别为 0° 和 30° , 不具有手性。

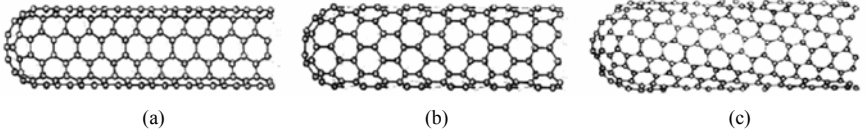


图 7.1 不同的 CNT 的结构。(a) 锯齿形; (b) 扶手椅形; (c) 螺旋形

CNT 可由单层或多层构成, 因此可按层数分为单壁碳纳米管(Single-walled Carbon Nanotube, SWNT)和多壁碳纳米管(Multi-walled Carbon Nanotube, MWNT)两种。下面以SWNT为例, 描述从石墨烯片层映射到CNT的过程, 并同时给出相关结构参数。图7.2 为将CNT 沿侧壁展开所得示意图。

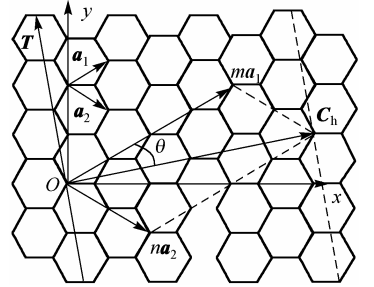


图 7.2 CNT 结构示意图

图 7.2 中, a_1 、 a_2 为基矢, T 为 CNT 的轴向矢量, C_h 所在的位置为管圆周方向, 它与 T 垂直, 形成

CNT 时, C_h 矢量的始末端重合, C_h 称为手性矢量, 表达式为:

$$C_h = ma_1 + na_2 \quad (7.1)$$

式(7.1)中, $m, n=0, 1, 2, \dots$, m, n 为 CNT 的结构指数, θ 是 C_h 与 a_1 或 a_2 中最小的角, 称为螺旋角。在图7.2中, 以(0, 0)点为原点, 以 X, Y 为坐标轴建立直角坐标系。图中 $|a_1|=|a_2|=\sqrt{3}a_{c-c}$, 其中 a_{c-c} 为碳碳键长。石墨的碳碳键长为 0.142 nm, CNT 的碳碳键长为 0.144 nm。手性矢量 C_h 的长度为:

$$|C_h| = \sqrt{3}a_{c-c} \sqrt{m^2 + mn + n^2} \quad (7.2)$$

CNT 的直径 d 与手性矢量有关, 由此可得:

$$d = \frac{|C_h|}{\pi} = \frac{\sqrt{3}}{\pi} a_{c-c} \sqrt{m^2 + mn + n^2} \quad (7.3)$$

对于 (0, 0), (m, 0), (m, n) 三个顶点构成的三角形, 由余弦定理可得:

$$(n|a_2|)^2 = (m|a_1|)^2 + |C_h|^2 - 2m|a_1||C_h|\cos\theta$$

所以

$$\begin{aligned}\cos\theta &= \frac{(m|a_1|)^2 + |C_h|^2 - (n|a_2|)^2}{2m|a_1||C_h|} \\ &= \frac{(m\sqrt{3}a_{c-c})^2 + (\sqrt{3}a_{c-c}\sqrt{m^2 + mn + n^2})^2 - (n\sqrt{3}a_{c-c})^2}{2m\sqrt{3}a_{c-c}\sqrt{3}a_{c-c}\sqrt{m^2 + mn + n^2}} \\ &= \frac{2m + n}{2\sqrt{m^2 + mn + n^2}}\end{aligned}\quad (7.4)$$

而

$$\sin\theta = \frac{\sqrt{3}n}{2\sqrt{m^2 + mn + n^2}}\quad (7.5)$$

故有

$$\theta = \arctan \frac{\sqrt{3}n}{2m + n}\quad (7.6)$$

当 $m = n$ 时, $\theta = 30^\circ$, CNT 为扶手椅形; 当 $m = 0$ 或 $n = 0$ 时, $\theta = 0^\circ$, CNT 为锯齿形; 其他情况下均为螺旋形。

CNT 属于“一维量子线”。在孤立的石墨片边缘, 存在着大量的悬挂键, 因而能量较高, 故不稳定。在形成 SWNT 后, 可以消除石墨片边缘上的悬挂键, 而且靠近顶端的碳原子也改变原来的正六边形结构, 形成了富勒烯中的五边形、六边形结构, 从而形成闭合的管状结构, 使悬挂键完全消失。悬挂键的消失使得系统的能量降低, 因此 CNT 的能量低于石墨的能量, 这也是 CNT 能够稳定存在的根本原因。但是由于改变了石墨中原来的拓扑结构, 产生了新的碳碳键势能, 而新产生的碳碳势能与管的直径有关, 所以 CNT 的直径也不能很小。有文献计算能稳定存在的 CNT 的最小直径为 0.4 nm。

7.1.2 碳纳米管的电特性

碳纳米管 (CNT) 作为一种准“一维”物质, 具有许多独特而优良的力学性能和电学性能。在力学性质方面, CNT 的强度是钢的 100 倍, 但它的密度却只有钢的 1/6, 并且具有很好的柔韧性。在电学性质方面, CNT 可承载电流密度大, 量子电导效应明显, 是真正的量子导线。本节着重介绍 SWNT 的电学性质。

首先从理论上讨论 CNT 的电学性质。早在 1992 年, Hamada^[4]、Mintmire^[5]和 Saito^[6]就根据理论模型推断出 CNT 的导电属性与其结构(主要为直径和螺旋性)密切相关, 指出不同结构的 CNT 可能是导体也可能是半导体。他们指出, 当 SWNT 的结构指数 (n, m) 满足 $2n + m = 3q$ (q 为整数) 条件时, SWNT 表现

为金属性, 否则呈半导体性。因此, 大约 1/3 的 SWNT 是金属性的, 另外的 2/3 是半导体性的。

SWNT 具有两个通道, 在输运过程中有 4 个电子起作用, 因此在无电子散射和理想接触条件下, SWNT 具有两个单位量子电导, 即每个通道产生一个量子单位电导^[7]。因此, CNT 中的电子在输运过程中存在明显的量子效应, 即其电导是量子化的, 量子化电导来自于细纳米线电子波的量子性质。基于玻尔兹曼输运方程, 可以计算金属性 SWNT 的电阻大约为 4.2 k Ω , 半导体性 SWNT 的电阻大约为 190 k Ω , 但实际测量的电阻大于这一数值, 可能是 CNT 存在各种缺陷所致^[8], 还因为测量电阻包含了 CNT 与金属线之间的接触电阻。产生量子化电导的原因是, 当导体的长度小于电子平均自由程时, 电子的输运过程是弹道式的, 弹道电子输运的特点是电子在导体中运动不经过任何散射, 因而没有能量损失, 而在传统的 CMOS 器件中, 载流子的输运方式不是弹道式的, 运动过程中会经历多次散射, 从而产生焦耳热。因此, 弹道输运从根本上消除了电子器件的散热问题。

下面介绍从实验中研究 CNT 的电特性。电子态密度是能反映 CNT 电特性的一个重要参数。由于微分电导(dI/dV)正比于所测 CNT 的电子态密度, 通过测量单根 SWNT 的伏安特性曲线, 就可得到其电子态密度。常见的测量 CNT 内部伏安特性曲线以确定其电子态结构的方法有扫描隧道显微镜/扫描隧道谱、核磁共振、电子能量损失谱等。

Collins 使用扫描隧道显微镜来探测 CNT 内部的伏安特性^[9]。他将 CNT 平放在镀金的玻璃层之上, 管子两极即显微镜探针, 探针深入 CNT 内部, 并且可沿管子轴向移动。因此在实验过程中, 可以通过步进式的移动探针来改变 CNT 的有效长度。玻璃层的另一面衬上一层感光薄膜, 以反映通过 CNT 的电流大小。

图 7.3 显示了 Collins 在某组实验中测得的 dI/dV 随 CNT 两极电压 V 变化的曲线, 由图 7.3 可以看出, dI/dV 与 V 的绝对值近似呈线性关系, 当电压为 0 时, dI/dV 也为 0。而 dI/dV 与 CNT 局部区域的电子态密度成正比, 因此, 该曲线也反映了局部电子态密度与电压 V 之间的关系。实验还发现 CNT 的 I - V 特性随管子的长度改变而改变, Collins 测得四组曲线如图 7.4 所示, 每组曲线反映了不同长度下的 I - V 特性^[11]。当管子的长度超过 1980 nm 时, 伏安特性曲线发生突变, 即负压情况下, 电流几乎为 0, 管子的 I - V 曲线体现为整流器特性。Collins 认为这一现象的出现不是 CNT 的量子电导性质发生了改变, 而是扫描隧道显微镜针

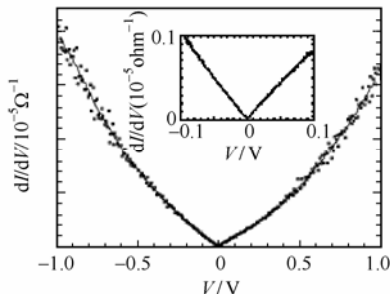


图 7.3 CNT 微分电导 dI/dV 随电压 V 变化曲线

尖与管子的局部接触引起的。

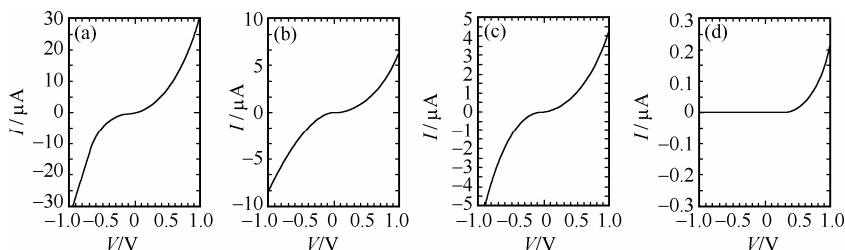


图 7.4 不同长度下 CNT 的 I - V 特性曲线 (a:1600, b:1850, c:1950, d:1980, 单位:nm)

7.1.3 碳纳米管的制备

碳纳米管的合成方法主要有电弧放电法、催化裂解法、激光蒸发法。以上三种方法研究较为广泛深入,可获得较大量的碳纳米管。

1. 电弧放电法。1991 年日本电镜专家 Iijima 就是利用电弧放电法制备电极样品时发现了碳纳米管的^[1]。电弧实质上是一种气体放电现象,在一定条件下两电极间的气体导电,电能转化为热能和光能的过程。气体通常为惰性气体如氦气、氩气等。由于电弧法装置简单,易于组建,许多学者采用电弧法制备碳纳米管。1993 年, Iijima 在碳弧室里合成单壁碳纳米管的实验条件为:两个垂直的电极位于反应室中央,阳极在上阴极在下,阳极是一根直径为 10 nm 的石墨碳棒,阴极则是一根带有浅槽的石墨碳棒,用于装少量的铁。蒸发室里填充的是 13.33 kPa 甲烷和 53.32 kPa 氩气的混合气体,通过在两电极间加 200 A、20 V 的直流电,使碳棒电弧放电,此时浅槽中的铁溶解形成小液滴并继而蒸发,最后在阴极上冷却、凝聚成铁碳化合物。在电镜下观察阴极产物,发现由若干根直径为 0.7~1.6 nm 的单层管组成^[2]。

2. 催化裂解法。催化裂解法是以 Fe、Co、Ni 等金属为催化剂,从碳氢化合物裂解产生自由碳原子而生成碳纳米管的方法。催化裂解法因制备的碳纳米管纯度高、尺寸分布均匀且有望实现规模生产而为人们广泛研究,并取得了很大进展。其机理为:高温下碳氢化合物在催化剂微粒表面热分解出碳原子,碳原子在金属微粒中扩散,最终在催化剂微粒另一面释放出,形成碳纳米管^[10]。利用催化裂解法可制备大面积定向碳管阵列,在平板显示和场发射阴极方面具有极好的应用价值。Yacamán 等最早采用 2.5 wt% 铁/石墨颗粒为催化剂,常压下 700℃ 裂解乙炔/氩气获得了长达 50 μm 的碳纳米管^[11]。

3. 激光蒸发法。将一根金属催化剂和石墨混合的石墨靶放置于一长形石英管中间,该管则置于一加热炉内。当炉温升到 1473 K 时,将惰性气体充入管内,并将一

束激光聚焦于石墨靶上。石墨靶在激光照射下将生成气态碳，这些气态碳和催化剂粒子被气流从高温区带向低温区，在催化剂的作用下生长成为单壁碳纳米管。

7.2 碳纳米管场效应管

碳纳米管场效应管(CNTFET)是目前研究最热门、成果最多的碳纳米管晶体管。它和 MOSFET 相似，都有漏极、源极和栅极，都可以通过改变栅极电压来控制漏源极之间的电导大小。

7.2.1 CNTFET的 I - V 特性曲线

Tans 构建的 CNTFET 的剖面示意图如图 7.5 所示。以 Si 作为衬底，中间隔着一层约 300 nm 厚的 SiO_2 绝缘层，将半导体性的 SWNT 平放在绝缘层之上，两端以金属 Pt 为电极相连接。Si 衬底为栅极，金属电极为漏、源极，大量实验证明在一定的偏置(漏源)电压 V_{DS} 下，可以通过改变栅极电压 V_{G} 控制漏源电流的大小，使晶体管处于导通或截止状态^[15]。

Tans 实验测量它所构建的 CNTFET 的 I - V_{DS} 特性曲线如图 7.6 所示。从图 7.6 中可以看出， $V_{\text{G}}=0$ 时， I - V_{DS} 曲线呈现轻微的非线性，增大 V_{G} 的值至 6 V，发现曲线的非线性加强，基本上呈现为指数特性，即 $I=k \cdot V_{\text{DS}}^{\alpha}$ ， α 的取值介于 1~12 之间。

减小 V_{G} 的值至 -6 V， I - V_{DS} 曲线趋于线性，且 V_{DS} 的值越小，曲线的斜率越大，当 $V_{\text{G}}=-6$ V 时，CNTFET 的电导趋于饱和，此时接触电阻占总电阻的主要部分(大约为 1 M Ω)，CNT 管的电阻可忽略不计。

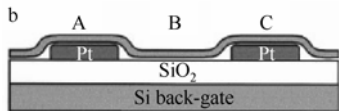


图 7.5 Tans 构建的 CNTFET 剖面示意图

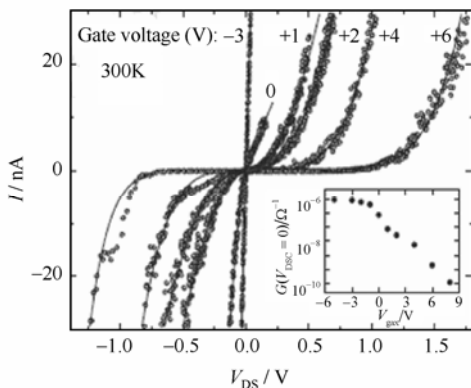


图 7.6 Tans 构建的 CNTFET 的 I - V_{DS} 曲线

在一定的漏源偏置电压下，可以通过改变 V_{G} 的值使 CNTFET 在金属和绝缘体之间转换，且在不同的栅极电压下，CNTFET 的电导涨落可覆盖 6 个数量级。可以用能带弯曲理论解释这种现象。CNTFET 的能级曲线如图 7.7 所示，A 和 C 为金属电极，

B 为 CNT 中部。当 V_G 为零时，由于金属的逸出功函数和 CNT 不同，会使得 A、C 两处的能级略高于 B 处的能级，此时，能级曲线稍微向下弯曲，如图 7.7(a) 中实线所示。当 V_G 不为零时，能级曲线会发生改变。由于金属电极的作用，改变 V_G 并不能改变 A、C 两处的能级，但能改变 CNT 中部的能级。因此，不同的 V_G 将会导致弯曲程度不同的能级曲线。当 V_G 为负值时，会使 CNT 的中部集聚更多的空穴，促使能级提高，因而减小了载流子输运障碍，增加了 CNTFET 的电导；相反，正的 V_G 会抑制 CNT 中部的空穴，使能级向下弯曲得更厉害，因而减小了 CNTFET 的电导。

图 7.7(b) 所示为 V_{DS} 不为零时 CNT 的能带图。由图 7.7(b) 可以看出，增大 V_{DS} 会减低能带沟道的高度，这是因为正偏压电极会抬高 CNT 中部的费米能级，减低了能带障碍高度，因而减小了载流子输运障碍，增加了 CNTFET 的导通电流。

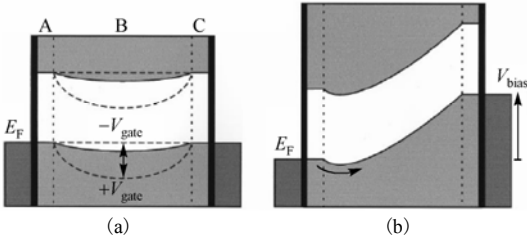


图 7.7 CNTFET 能带图。(a) V_{DS} 为零；(b) V_{DS} 不为零

Martel 构造的单壁 CNTFET 与 Tans 构造的晶体管相似^[16]，仅仅将 Pt 电极换成了 Au 电极。并对所构造的 CNTFET 的电气特性进行了实验测量，得出的输出特性 I - V_{DS} 曲线和转移特性 I - V_G 曲线如图 7.8 所示。由图可以看出 Martel 的实验曲线和 Tans 的结果基本一致。

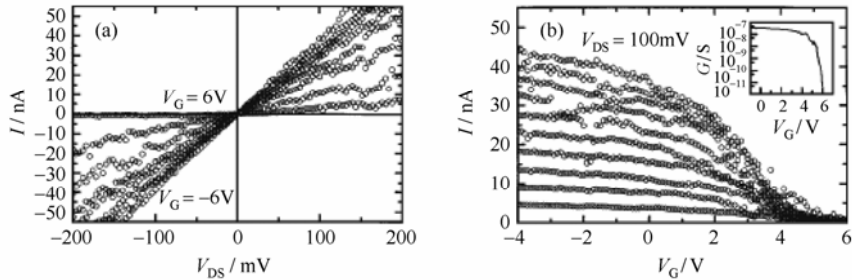


图 7.8 CNTFET 的输出特性曲线 I - V_{DS} 和转移特性曲线 I - V_G

载流子是如何产生的也是一个值得探讨的问题。一个可能性是自由载流子是 CNT 本身所具有的；另一可能性是多数载流子是由金属电极注入的，由于 Pt 和 Au 具有很高的逸出功函数，因此吸引了 CNT 中的电子，导致 CNT 中产生大量的空穴。

7.2.2 P型和N型CNTFET

和 MOSFET 一样,根据导电载流子的类型,CNTFET 也分为 P 型和 N 型。正常情况下,即使不对 CNT 进行任何掺杂,CNTFET 也呈 P 型性质,这是由多方面因素造成的^[17]。第一,金属电极附近的费米能级向价带偏移,导致 CNT 中的空穴比电子更容易产生转移;第二,碳原子氧化使得 CNT 内部产生多余的空穴;第三,CNT 合成过程中不可避免地带入杂质和产生结构瑕疵,也会使得管子呈 P 型。此时,CNTFET 中的多数载流子是空穴,所以呈 P 型。

要想获得互补型集成器件,不仅需要 P 型 CNTFET,还需要 N 型 CNTFET。有两种方法可以将 P 型 CNTFET 转换成 N 型:退火和掺杂^[18]。退火法即在氮气环境下将 CNT 加热到 450℃左右,并保持几秒。此过程能将氧气从管子排出,导致费米能级向导带偏移。于是阻止 CNT 中的电子转移的禁带宽度变窄,电子成为承载电流的多数载流子,所以此时 CNTFET 呈 N 型。掺杂法即在 CNT 内部掺入少量的电子施主杂质,如金属钾,只要掺入的杂质含量足够,多余的电子肯定会成为多数载流子。因此掺杂也能使 CNTFET 转化为 N 型。

N 型 CNTFET 有着和 P 型 CNTFET 对称相似的伏安特性。图 7.9 显示了 P 型和 N 型 CNTFET 的 I_D - V_G 转移特性^[19],从图中可以看出 N 型 CNTFET 有着和 P 型相反的导电特性。

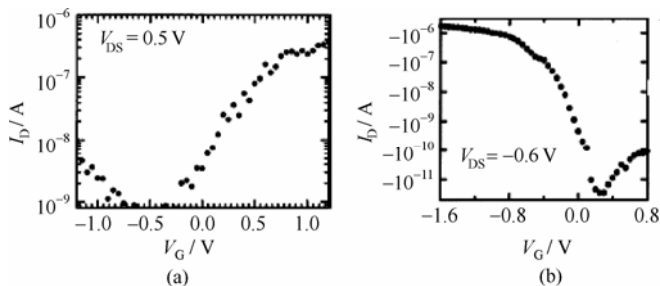


图 7.9 P 型和 N 型 CNTFET 的转移特性曲线。(a)N 型; (b)P 型

图 7.10 显示了改变电极功函数和掺杂对改变 CNTFET 的电导在本质上是截然不同的^[30]。电极功函数的变化不会改变电导曲线底部的位置,当栅极电压为 0 V 附近时,电导始终为 0。但它会改变对载流子的导电能力,一般来说,对不同载流子的导电能力是相互抑制的,即对空穴的导电能力愈强,则对电子的导电能力愈弱。而掺杂相当于对把电导曲线在水平方向上平移,N 型掺杂使得电导曲线左移,P 型掺杂使得曲线右移。

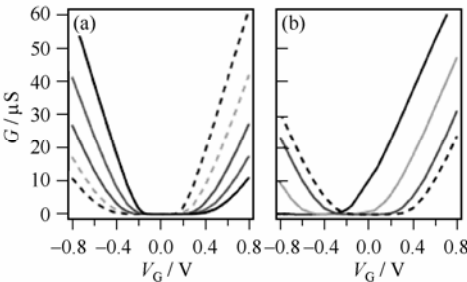


图 7.10 不同功函数和掺杂改变 CNTFET 的导电特性

7.2.3 接触势垒

传统 MOSFET 通过调节栅极电压来控制沟道电阻的大小，从而调节沟道电流的大小和通断。金属与沟道之间的接触为欧姆接触，漏、源极之间的电阻仅由沟道电阻组成。CNTFET 的工作原理不同于传统 MOSFET，不仅存在沟道电阻，金属电极与 CNT 之间还存在接触电阻，原因是由于金属与 CNT 接触处存在肖特基势垒(也称接触势垒)，势垒的高度是由金属材料的功函数决定的。由于接触势垒的存在，载流子输运不仅要克服沟道中的散射与碰撞，还要克服肖特基势垒障碍。

图 7.11 (a) 显示了不同肖特基势垒的 CNTFET 的转移特性曲线，可以看出当势垒的高度小于 0.2 eV 时，CNTFET 表现出单极特性，对空穴载流子的传输能力强，对电子载流子的传输能力弱。当势垒的高度等于 0.3 eV 时，CNTFET 表现出对称的导电特性，此时它具有双极导电能力。

接触电阻的大小是由肖特基势垒的高度，栅极电场与金属电极的外形共同决定。栅极电场并不能影响势垒的高度，但它能改变载流子通过势垒的隧穿概率，而不同的外形又会影响电场在接触处的分布，所以电极外形也会影响到接触电阻的大小。

要想从根本上提高器件的性能，可以从减小栅极氧化层的厚度和电极外形入手。图 7.11 (b) 显示了不同形状的 CNTFET 对应的电导-栅压曲线。右下方四条曲线分别表示接触电极厚度为 50 nm，氧化层分别为 60 nm，80 nm，100 nm，120 nm 的转移特性曲线。可以看出，氧化层越薄，器件的转移特性越好，这是因为氧化层越薄，栅极电容越大，栅极电压对接触处电场调节能力更强，所以电导曲线上升斜率越大，转移特性越好。图中虚线表示接触电极厚度为 5 nm，氧化层厚度为 60 nm 时的电导-栅压曲线，可以发现减小接触电极厚度也能增强器件的转移特性。这是因为薄电极可以使得电极处形成更强的电场，因而提高了载流子发生势垒隧穿的概率，即增加了器件的电导，使得电导曲线斜率提高。

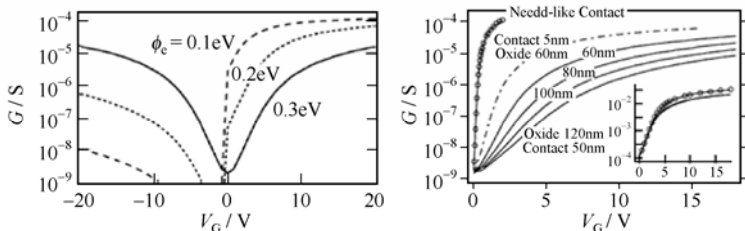


图 7.11 不同肖特基势垒和形状 CNTFET 的转移特性曲线

7.2.4 局部栅CNTFET

Tans 和 Martel 构造的 CNTFET 都采用衬底作为栅极(背栅),这种结构不利于将多个晶体管集成到一个硅衬底。因为如果要基于 CNTFET 实现集成电路,不得不为每个晶体管设计一层相当厚度的硅衬底和 SiO_2 绝缘层,这将不利于控制芯片的面积。2001 年, Bachtold 构造了具有局部栅极的 CNTFET^[22],其结构剖面图如图 7.12 所示。栅极由铝线和 Al_2O_3 绝缘层构成,位于 SiO_2 层和纳米管之间。这种布局有两个优点:(1)给每个晶体管配置一个独立的铝栅极,可称为局部栅(local-gate),给在一个硅衬底上集成多个器件提供了可能;(2)采用衬底作为栅极,栅极电容由一层很厚的 SiO_2 层构成,而采用局部栅, Al_2O_3 绝缘层要薄得多,于是提高栅极和纳米管之间的电容耦合能力,因此局部栅结构用较低的栅电压就可以控制晶体管的通断。

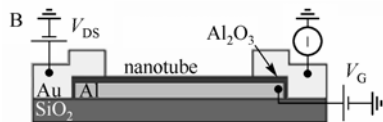


图 7.12 局部栅 CNTFET 结构图

图 7.13 显示了 Bachtold 的局部栅 CNTFET 的转移特性曲线和输出特性曲线。从图中可以看出其与 Tans 构造的背栅 CNTFET 转移特性的相异之处。Bachtold 的 CNTFET 在绝对值较大的负栅压和正栅压下都能导通,但在 0 V 区域附近截止。这是因为负栅压情况下,晶体管表现为 P 型,正栅压下表现为 N 型,而刚好在 0 V 附近空穴和电子都被耗尽,既不是 N 型也不是 P 型,所以具有很大的电阻。

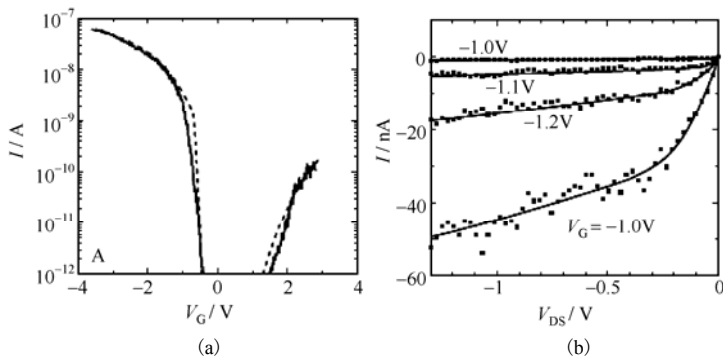


图 7.13 局部栅 CNTFET 伏安特性曲线。(a)转移特性;(b)输出特性

Bachtold 构建的 CNTFET 也具有它的缺陷，一是纳米管暴露在空气中，容易受到氧气的影响，如退火法制造的 N 型 CNTFET 在空气中会逐渐退化为 P 型；二是具有低介电常数的空气会使栅极电容变小。2002 年 Wind 构建了另外一种局部栅 CNTFET^[20]，结构剖面图如图 7.14(a) 所示。栅极由金属 Al 或 Ti 组成，位于 CNT 之上，所以可称为顶栅(top-gate)CNTFET，中间用一层氧化物绝缘层隔离，这样就将 CNT 与空气隔离开来。

图 7.14(b) 显示了背栅和顶栅 CNTFET 的输出特性曲线。从图中可以看出-15.5 V 栅压条件下的背栅器件和-0.5 V 栅压下的顶栅器件有着几乎完全重合的输出特性，-3.5 V 下的背栅器件输出特性对应-0.1 V 下的顶栅器件的输出特性，可以估算顶栅 CNTFET 的跨导约为背栅的 30 倍。

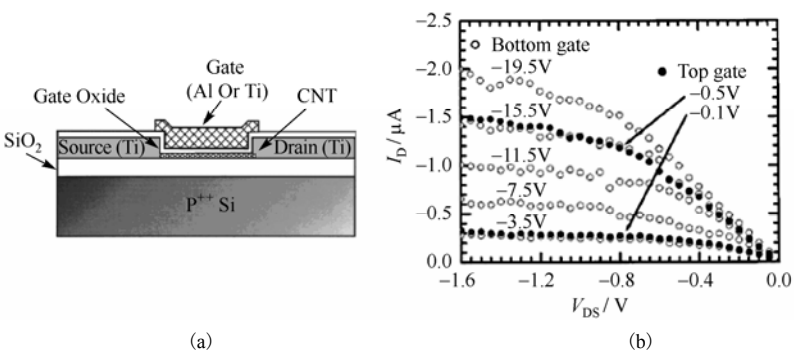


图 7.14 Wind 构造的顶栅 CNTFET 及其输出特性。(a) 结构图；(b) 输出特性

7.2.5 双极型CNTFET

前面所讲述的晶体管大多属于单极型 CNTFET(Bachtold 构造的晶体管属于双极性 CNTFET)，即沟道中只有一种载流子参与导电。本节介绍一种双极型晶体管，即两种载流子都能参与导电。

不同功函数的金属与 CNT 接触形成的势垒高度不同。Pd 的功函数较高，为 5.12 eV，实验发现 Pd-CNT 接触对空穴载流子的阻碍较小，对电子载流子的阻碍作用较大^[26]，Tans 和 Martel 构建的 CNTFET 都采用高功函数的金属作为电极，如 Pt，Au 等，因而属于 P 型。Al 的功函数较小，约为 3.9~4.2 eV，对电子载流子的阻碍较小，对空穴载流子的阻碍较大，因而一般用做 N 型 CNTFET 的接触电极^[26]。

要构造一种能同时导通两种载流子的CNTFET，应选用一种功函数处于 Pd 和 Al 之间的金属或金属化合物作为电极。参考文献[26]采用金属 Ti 作为电极构造了一种 CNTFET 在正栅压和负栅压下都表现出很小的导通电阻，而当栅压为 0 V 左右时，晶体管几乎没有导通电流^[26]。Martel 采用一种金属碳化物 TiC 作为接触电极构造了一

种双极型 CNTFET^[27]。

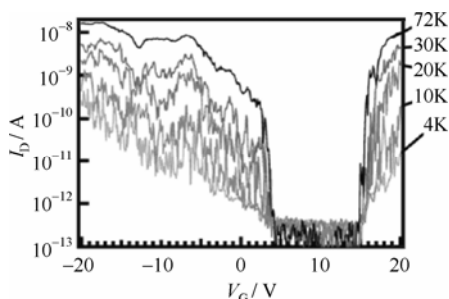


图 7.15 双极型 CNTFET 的转移特性

图7.15显示了 Martel 构造的双极型晶体管的转移特性图,当栅极电压小于 5 V 时,P 型载流子参与导电;栅极电压大于 15 V 时,N 型载流子参与导电;当栅极电压处于 5~15 V 中间段时,接触表面对于 N 型和 P 型载流子都表现出很高的势垒,沟道几乎没有电流通过,此时管子处于断开状态。

这种双极型 CNTFET 与传统的 BJT 也有所不同,在 BJT 中,两种载流子同时参与导电。

而在 CNTFET 中,负栅压下空穴载流子参与导电,正栅压下电子载流子参与导电。BJT 属于电流控制型器件,双极型 CNTFET 属于电压控制型器件。

7.3 碳纳米管场效应管建模方法

虽然有大量的 CNTFET 实验研究,然而其导电机理和器件物理仍没有被完全理解,导致目前仍没有一个公认权威的 CNTFET 解析模型,这跟金属电极与 CNT 接触处的肖特基势垒对载流子传输影响的复杂性有关。国际上有许多学者致力于 CNTFET 建模和仿真研究,有些研究结果同实验曲线非常逼近。针对 CNTFET 建模主要有两种方法,一是格林函数法^[34],二是基于弹道输运假设的建模方法^[30-32]。格林函数建模法需要进行密集の数値计算,虽然模式空间从某种程度上减小了运算量,仍然不能满足 SPICE 仿真的要求。这里介绍两种基于弹道输运假设的建模方法,一种从沟道载流子出发,另一种从肖特基势垒为出发点。

7.3.1 基于弹道输运的建模方法

当 CNT 的长度小于 10 nm 时,载流子在沟道传输过程中不产生声子和光子散射,这时可认为是弹道输运的,因此可以基于弹道输运理论对电荷总数和电流密度进行建模。参考文献[30~32]等都是基于弹道输运假设对 CNTFET 建模,这里介绍参考文献[30]的模型和仿真结果。

弹道输运假设前提下,载流子传输的主要阻碍来自接触势垒,沟道内部可认为是自由传输的。从沟道电荷总数出发,对沟道电流密度进行建模。认为从源极注入的载流子填满了 $+k$ 态,从漏极注入的载流子填满了 $-k$ 态,源极和漏极的费米能级分别为 μ_s 和 μ_D 。

栅极电压 V_G 使得势垒的高度降低了 ψ_s , 同时在沟道内积聚电荷总数为 n_{CNT} , 沟道电荷

又使得 CNT 表面势下降为 $V_G - \psi_s$ ，因此 ψ_s 可以用自洽的方式计算出来。

首先，给出 ψ_s 的表达式：

$$\psi_s = \begin{cases} V_G, V_G < \Delta_1 \\ V_G - \alpha(V_G - \Delta_1), V_G \geq \Delta_1 \end{cases} \quad (7.7)$$

Δ_1 为第一个导带底部能势。 α 为与 V_{DS} 有关的变量。

设在栅极电势的作用下，第 p 个子带的导带底的能势为 E_{Cp} ，则

$$E_{Cp} = \Delta_p - \psi_s \quad (7.8)$$

Δ_p 和 Δ_1 之间的关系为

$$\Delta_p = \Delta_1 \frac{6p-3-(-1)^p}{4} \quad (7.9)$$

载流子总数 n_{CNT} 可以用下述公式表示

$$n_{CNT} = \sum_i n_i, \quad i = S, D \quad (7.10)$$

$$\text{其中} \quad n_i = \int_{E_{Cp}}^{\infty} \frac{D_p(E)}{2} [f(E - \mu_s) + f(E - \mu_D)] dE \quad (7.11)$$

其中 $D_p(E)$ 为第 p 个子带的态密度函数， $f(E)$ 为费米-狄拉克分布函数，其大小为

$$D_p(E) = D_0 \frac{E}{\sqrt{E^2 - \Delta p^2}} \quad (7.12)$$

$$f(E - \mu_i) = \frac{1}{1 + e^{\frac{E - \mu_i}{k_B T}}} \quad (7.13)$$

将上述式 (7.12) 和式 (7.13) 代入到式 (7.11) 中，可得

$$n_{ip} = \int_0^{\infty} \frac{N_0}{1 + \exp\left(\frac{\sqrt{z^2 + \Delta p^2} - \Delta p}{k_B T} - \xi_i\right)} dz \quad (7.14)$$

其中 z 为中间变量

$$z = \sqrt{(E + \Delta p)^2 - \Delta p^2} \quad (7.15)$$

$$N_0 = \frac{4k_B T}{3\pi V_{II} b} \quad (7.16)$$

其中 V_{Π} 为 C-C 键的结合能 (约为 3 eV), b 为 C-C 键长 (约为 0.142 nm)

$$\xi_i = \frac{\psi_S - \Delta p - \mu_i}{k_B T}, \quad i=S,D \quad (7.17)$$

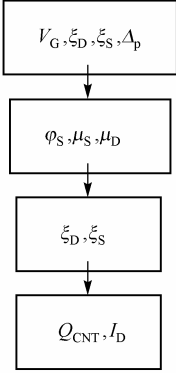


图 7.16 基于弹道运输的建模步骤

以源极电压为参考电势, 则有 $\mu_S = 0$, $\mu_D = V_{DS}$ 。沟道电流可以用下列公式表示^[31]

$$I_D = \frac{4ek_B T}{h} \sum_p \ln \left[\left(1 + \exp(-\xi_S) \right) - \left(1 + \exp(-\xi_D) \right) \right] \quad (7.18)$$

上述建模的整个过程可以用图 7.16 表示。

7.3.2 肖特基势垒建模方法

Natori 基于弹道输运假设对 CNTFET 做了一些建模工作, 但他没考虑到 CNTFET 中的一些非理想特性, 如肖特基势垒隧穿等。本节介绍 Hazeghi 的建模方法^[33], 它认为势垒的作用是改变了接触两侧的载流子分布函数。

Q_{CNT} 为 CNT 单位长度中的载流子个数, 则载流子密度可以用下述公式表示:

$$Q_{CNT} = \sum_{k_l} \sum_{k_t} e \cdot \left[f_S \left[E(k_l) \right] + f_D \left[E(k_l) \right] \right] \quad (7.19)$$

k_l 和 k_t 分别是平行和垂直于管轴方向的波矢量, $f_D(E)$ 和 $f_S(E)$ 分别是漏极和源极的费米-狄拉克分布函数。对于足够长的 CNT 管, 公式可写成

$$Q_{CNT} = e \cdot \sum_{k_i} \int_{E_{i,\min}}^{E_{i,\max}} \frac{1}{2} g_{i,l}(E) \left[f_S(E, u) + f_D(E, u) \right] dE \quad (7.20)$$

其中 $g_{i,l}(E)$ 为第 i 个子带的状态密度函数, u 为表面势, $E_{i,\min}$ 和 $E_{i,\max}$ 分别是第 i 个子带的最小能量和最大能量。

下面给出 Landauer 提出的适用于弹道输运模型的电流公式:

$$I_D = \frac{2e}{h} \sum_{k_i} \int_{E_{\min}}^{E_{\max}} \left[f_S(E, u) - f_D(E, u) \right] dE \quad (7.21)$$

$2e/h$ 即为 CNTFET 的最小量子电导, f_S 和 f_D 表示漏、源极的费米-狄拉克函数, 其公式为:

$$\begin{cases} f_s(E, u) = \frac{1}{1 + e^{\frac{E-u}{k_B T}}} \\ f_D(E, u) = \frac{1}{1 + e^{\frac{E-u+v_{ds}}{k_B T}}} \end{cases} \quad (7.22)$$

弹道模型可以解释 CNTFET 中的许多现象，如量子电容。但用上述模型所计算的电流往往比实验数据要大，这是因为它忽略了金属与CNT之间的接触势垒的作用。载流子通过接触面是一个隧穿概率过程，在接触面之间才是弹道输运模式。因此还需对肖特基势垒进行建模，势垒的高度与金属的功函数、电极表面处理和退火等因素有关，Hazeghi基于介观载流子散射来对肖特基势垒建模。载流子在源电极处于热平衡态，经过散射进入沟道后，打破了原来的热平衡态，沟道中的载流子密度分布函数可以写成：

$$f^+ = \frac{\Gamma_s f_s + \Gamma_D f_D - \Gamma_s \Gamma_D f_D}{1 - (\Gamma_s - 1)(\Gamma_D - 1)} \quad (7.23)$$

$$f^- = \frac{\Gamma_D f_D + \Gamma_s f_s - \Gamma_D \Gamma_s f_s}{1 - (\Gamma_s - 1)(\Gamma_D - 1)} \quad (7.24)$$

用 f^+ 和 f^- 代替式(7.19)和式(7.21)中的 f_s 和 f_D ，便可得到考虑到肖特基势垒后的载流子密度和沟道电流。式中 Γ_s 和 Γ_D 分别是源极和漏极处载流子从金属向沟道发生隧穿的概率，当然它也是与能态 E 有关的。通常隧穿概率由 WKB (Wentzel-Kramers-Brillouin) 近似法求得。于是得到如下公式：

$$I_D = \frac{2e}{h} \sum_{k_i} \int_{E_{\min}}^{E_{\max}} [f^+(E, u) - f^-(E, u)] dE \quad (7.25)$$

图7.17为按照本节基于弹道输运假设对 N 型 CNTFET 建模得到的转移特性图和输出特性图。理论曲线与实验所得曲线的结果比较相符。图 7.17(a) 不同漏源电压下的曲线产生分岔是因为随着栅极电压的增大，有更低能态的载流子参与导电，因而大漏源电压情形下的电流要比小漏源电压情形下的电流大。图 7.17(b) 说明了随着漏源电压的增大，电流逐渐趋于饱和，栅极电压越大，饱和电流越大。

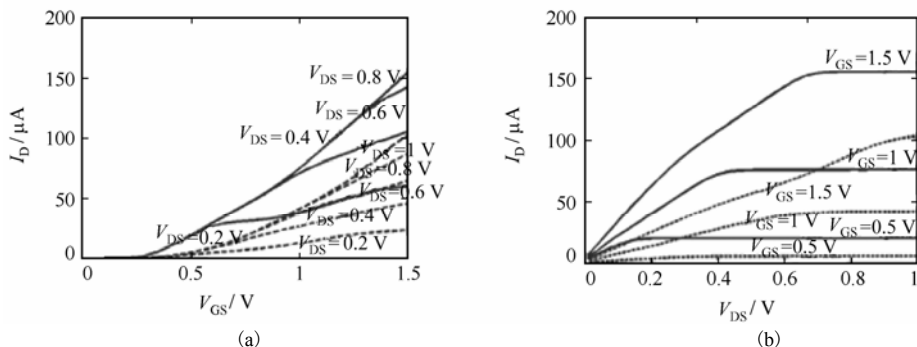


图 7.17 模型仿真曲线。(a) 转移特性；(b) 输出特性

7.4 碳纳米管器件的应用

7.4.1 基于CNTFET的二极管

上节所讲述的 CNTFET 都是采用同种金属构造接触电极，金属电极与 CNT 之间形成肖特基势垒，通过控制栅极电场来改变势垒，从而控制 CNT 沟道电导的大小与沟道电流的通断。由于漏、源电极是由同一种金属构造而成的，两极的肖特基势垒也是相等的，在不同极性的漏源电压偏置下，电流既能从漏极流向源极，也能从源极流向漏极，称这种器件是方向无关 (Directionally Independent) 的。

参考文献[26]一改传统的做法，用不同的金属构造接触电极，一极采用具有高功函数的金属，另一极采用具有低功函数的金属，构建了一种方向有关 (Directionally Dependent) 的半导体器件。这种器件，电流只能从一极流向另一极，因而具有二极管的整流特性。

Yang 在文献中报道，CNTFET 导电沟道中的载流子极性与金属电极的功函数有关^[26]。Pd、Ti 和 Al 的功函数分别为 5.12 eV、4.33 eV 和 3.9~4.2 eV，由这三种金属作为电极的 CNTFET 的载流子极性分别为 P 型、双极型 (P 型和 N 型并存) 和 N 型。

由 Pd 和 Al 分别作为两极的 CNTFET 具有类似于肖特基二极管的电气特性，因此可以把它当做整流二极管使用。M. H. Yang 所构造的器件示意图如图 7.18(a) 所示，图 7.18(b) 为不同栅极电压下测得的输出特性曲线。从曲线可以看出，在正向电压下，二极管始终导通，栅极电压对沟道电流没什么影响。但反向电压下，正的栅极电压比负的栅极电压有更强的电流抑制能力。导致了正的栅极电压条件下，正向导通电流和反向截止电流之比高达 10^3 ，而负的栅极电压条件下，这个比值只有 3。

对这种现象可以解释如下。器件的导电载流子为 P 型，正向电压下，因为 Pd 电极势垒对 P 型载流子的阻碍作用很小，而 Al 电极势垒也不会阻止载流子从 CNT 沟

道流向 Al，因而不管栅极电压是多少，沟道中始终有电流流过。反向电压下，Al 电极势垒较大，阻碍了 P 型载流子流向 CNT，二极管工作在截止状态。这个势垒可以由栅极电压调节，正的栅极电压增大势垒的高度，更加抑制了反向截止电流，因而正向导通电流与反向截止电流之比高达 10^3 。而负的栅极电压减小势垒的高度，减弱了 Al 电极势垒的反向抑制作用，所以这个比值减少为 3。

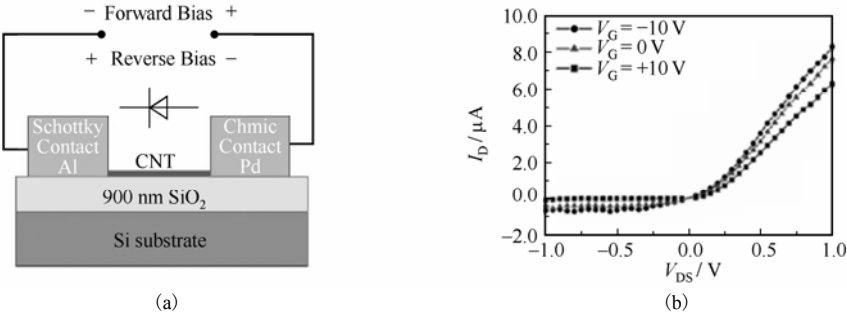


图 7.18 用不同金属电极构造的肖特基势垒二极管及其输出 I - V 特性。(a) 结构图；(b) 输出特性

参考文献[27]采用分裂栅的方法构造了另一种单向导通的晶体管——分裂栅二极管。不同于前文所述的肖特基二极管，这种方法制成的二极管内部产生一个 PN 结。分裂栅二极管的剖面如图 7.19(a) 所示。将嵌入在 SiO_2 绝缘层中栅极从中部截断成两部分，由一对栅极电压(分别为 V_{G1} 和 V_{G2})控制。当 V_{G1} 和 V_{G2} 相等时，它相当于一个普通的 CNTFET，然而当它们的极性相反时，表现出单向导通的特性，这是由于在 CNT 内部形成了与栅极电场有关的 PN 结。要形成 PN 结，CNT 沟道必须具有双极导电能力。对两栅极加上相反极性的电压，对于栅压为负的一端，由于负栅压能降低肖特基势垒对 P 型载流子的阻碍，于是在负栅压一端，将产生 P 沟道。同理，另一侧产生 N 沟道，P 沟道与 N 沟道的接触处便形成 PN 结。

图 7.19(b) 显示了不同栅压条件下二极管的输出特性。当 $V_{G1} = V_{G2} = 10V$ 时，二极管表现为一个 P 型 CNTFET，当 $V_{G1} = 10V$ ， $V_{G2} = -10V$ 时，则表现出了正向导通，反向截止，当 $V_{G1} = -10V$ ， $V_{G2} = 10V$ 时，则表现出了反向导通，正向截止。

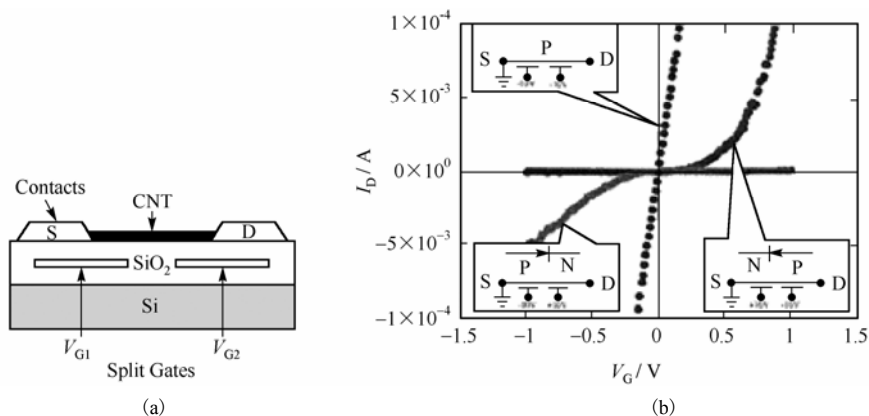


图 7.19 分裂栅二极管。(a) 结构图；(b) 转移特性

7.4.2 基于CNTFET的逻辑电路

7.2节介绍了多种方法可以构造 CNTFET，本节讲述怎样基于 CNTFET 构建逻辑电路。理论上利用 CNTFET 的 I - V 特性可以很轻松地构建反相器等逻辑门电路，参考文献[22~24]都有相关报道，本书以 Bachtold 的文献为主，介绍如何基于 CNTFET 构建逻辑门电路。

图 7.20(a) 为基于 P 沟道 CNTFET 组成的反相器电路，Bachtold 在实验中采用的器件在局部栅 CNTFET 一节(参见 7.2.4 节)中已有详细讲述，其伏安特性如图 7.20(b) 所示。当栅极电压为 -1.5 V 时，CNTFET 导通，栅极电压为 0 V 时，CNTFET 截止。因此，以 0 V 为逻辑“0”， -1.5 V 为逻辑“1”，即负逻辑。该电路可以作为反相器使用，栅极为输入端，与电阻相连的漏极(或源极)为输出端。

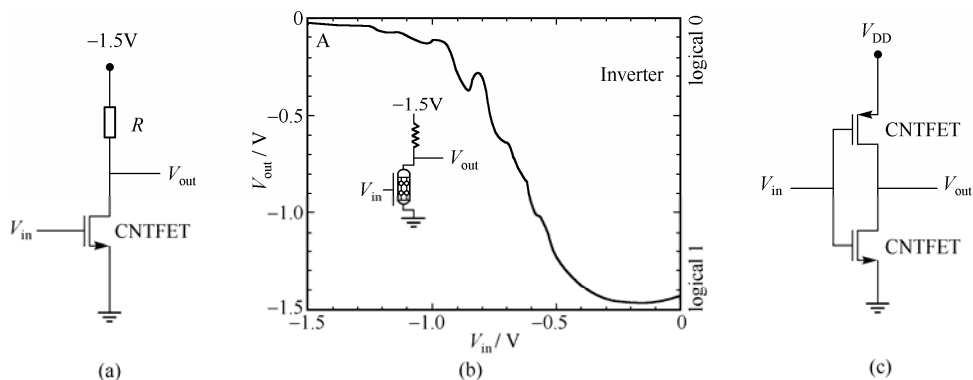


图 7.20 反相器电路及其输入输出关系。(a) 反相器；(b) 输入输出关系；(c) 互补反相器

Xiaolei Liu 仿照 CMOS 电路结构的做法，将一个 P 型 CNTFET 和一个 N 型 CNTFET 串联，形成互补型 CNTFET 反相器，消除了静态电流，电路如图 7.20(c) 所示^[23]。

图 7.21 (a) 为两个并联的 CNTFET 组成的二输入或非门电路，二输入端中只要有一个为逻辑 “1”，电路导通，由于 CNT 电阻与 R 相比很小，因此输出逻辑 “0”。图 7.21 (b) 为两并联的 CNTFET 组成的具有保持功能的存储器 SRAM 电路。开关闭合时，写入输入信号，开关断开时，由于两个 CNTFET 形成稳定的反馈环，保持原来的数值^[24]。

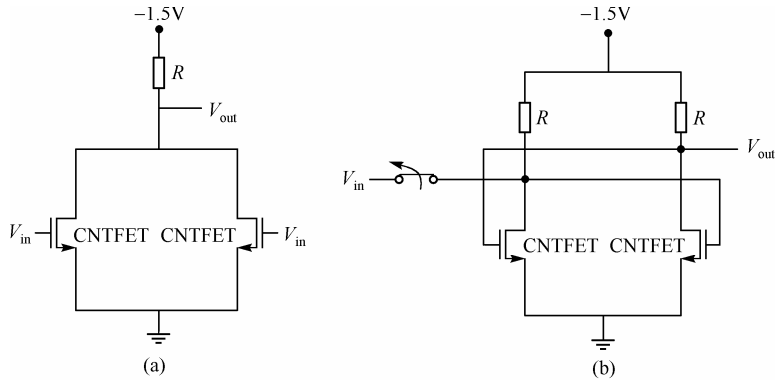


图 7.21 (a)或非门；(b)SRAM 存储器

Sordan 利用单个双极型 CNTFET 构造了异或门，电路图如图 7.22 所示^[25]。其工作原理为，当栅极电压为低电平(V_{low})和高电平(V_{high})时，CNTFET 都能导通，低电平情况下 P 型载流子参与导电，高电平情况下 N 型载流子参与导电。而当栅极电压为 $(V_{high} + V_{low})/2$ 时，CNTFET 截止。所以当输入电压同为高电平或同为低电平时，管子导通，输出低电平；输入电压一个为高电平另一个为低电平时，管子截止，输出高电平，因此一个器件就实现了异或门的功能，而传统的 CMOS 技术至少用 4 个晶体管才能实现一个异或门。

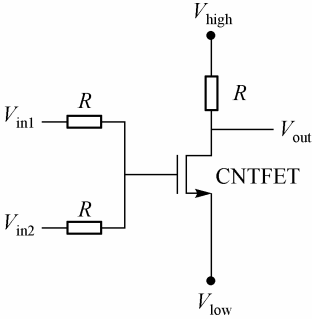


图 7.22 利用单根双极型 CNTFET 构

7.4.3 基于CNTFET的振荡器

Bachtold 用三个 CNTFET 器件构造了一个三级环形振荡器^[22]，电路如图 7.23 所示。它产生一定频率的交流振荡电压信号(5 Hz 左右)，振荡频率由反相器的电阻和输出端的电容决定。可以设想将该振荡器电路集成到芯片中去，电阻和电容数值都可以大幅度降低，因而输出频率可以进一步提高的空间很大。

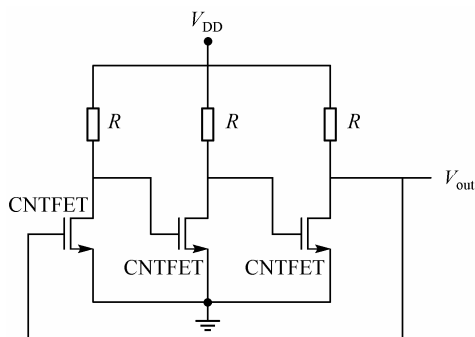


图 7.23 三级环形振荡器

13 MHz, 电压提高到 0.92 V 时, 频率为 52 MHz。虽然振荡频率还远不及现有 CMOS 硅器件, 其原因是布局没经过优化, 引入了许多分布参数, 因而增加了器件的延迟时间, 降低了电路的振荡频率。

参考文献[35]用单根 CNT 构造了一个五级环形振荡器, 将一根长度为 18 μm 的 CNT 平放在多个金属电极上, 使得不同区间的 CNT 沟道互不影响。使用了互补 CNTFET, 即每级反相器由一个 P 型和 N 型 CNTFET 构成。采用不同的接触电极实现不同极性的器件, P 型 CNTFET 采用 Pd 电极, N 型 CNTFET 采用 Al 电极实现。电路如图 7.24 所示。供电电压为 0.5 V 时, 振荡频率为

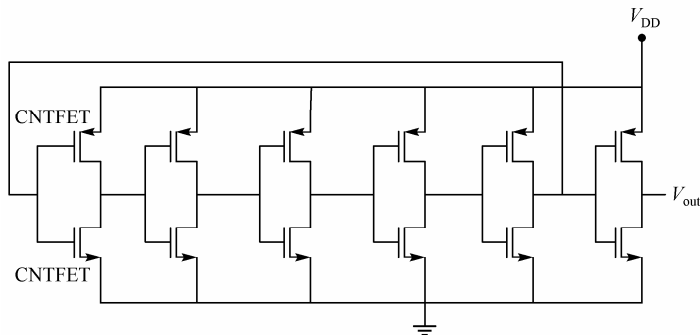


图 7.24 五级环形振荡器

7.4.4 基于双栅极CNTFET的可重配置逻辑电路

参考文献[36]基于双极型双栅极 CNTFET 构建了一种电路模块, 双极型双栅极 CNTFET 的特点是, 不同的背栅(其中的一个栅极)电压可以使器件在 P 型和 N 型之间转换。电路模块如图 7.25 所示, 在不同的背栅电压(V_{BGA} , V_{BGB} , V_{BGC})组合偏置下, 可以实现 8 个不同的逻辑函数, 如表 7.1 所示。

该模块由 7 个 CNTFET 器件组成, 左边 4 个晶体管组成前级, 实现两输入逻辑运算功能, 右边 3 个晶体管组成后级, 实现跟随器或者反相器功能。A 和 B 为模块的逻辑输入, 其变化范围为 0~1 V, V_{BGA} 、 V_{BGB} 和 V_{BGC} 为模块的控制电压, 其

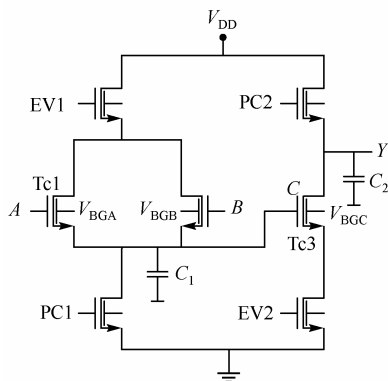


图 7.25 可重配置电路模块

变化范围为-1~1 V。PC1 和 PC2 为预充电时钟信号，EV1 和 EV2 为求值时钟信号，这 4 个信号都是互不重叠的。模块的输出为 Y 。

表 7.1 配置背栅电压以实现不同逻辑功能

V_{BGA}	V_{BGB}	V_{BGC}	Y
+1 V	+1 V	+1 V	$\overline{A+B}$
+1 V	+1 V	-1 V	$A+B$
-1 V	-1 V	+1 V	$A \cdot B$
-1 V	-1 V	-1 V	$\overline{A \cdot B}$
+1 V	-1 V	+1 V	\overline{AB}
+1 V	-1 V	-1 V	$A+\overline{B}$
-1 V	+1 V	+1 V	$A\overline{B}$
-1 V	+1 V	-1 V	$\overline{A+B}$

下面讲述该电路模块的工作原理。假设 $V_{BGA} = V_{BGB} = V_{BGC} = +1\text{ V}$ ，由表 7.1 知，该电路的逻辑功能为或非门。第一步，时钟 PC1 有效，这时 PC1 所控制的器件导通，电容 C_1 充电，一段时间后 C 端的值为“0”。第二步，时钟 EV1 有效，因为 $V_{BGA} = V_{BGB} = +1\text{ V}$ 时，其所控制的器件都属于 N 型，因此只要 A 和 B 有一个为“1”，即只要有一个器件导通， C 就为“1”，即 $C = A + B$ 。第三步，时钟 PC2 有效，电容 C_2 充电，一段时间后 Y 值为 1。第四步，时钟 EV2 有效，其所控制的器件也属于 N 型，因此当 C 为“1”时，器件导通，输出 Y 为“0”，当 C 为“0”时，器件不导通，输出保持原值“1”，因此 $Y = \overline{C} = \overline{A+B}$ 。所以电路相当于一个或非门。

7.4.5 基于CNTFET的多值逻辑电路

对于不含有肖特基势垒的 CNTFET，金属电极与沟道之间为欧姆接触。载流子导电需要克服的势垒由导电沟道的带隙宽度决定。带隙宽度 E_g 与 CNT 直径 d 的关系为

$$E_g = \frac{0.84}{d(\text{nm})} \text{ eV} \tag{7.26}$$

源极的费米能级刚好处于导带底部，沟道的费米能级处于带隙的中间位置，所以势垒的高度为

$$\frac{E_g}{2} = \frac{0.42}{d(\text{nm})} \text{ eV} \tag{7.27}$$

阈值电压 V_{TH} 与势垒的高度成正比，它的大小为

$$V_{TH} = \frac{0.42}{d(\text{nm})} \text{ V} \tag{7.28}$$

阈值电压与 CNT 的直径有关，参考文献[37]用不同直径的CNTFET具有不同的开启电压的特性实现了一类三值逻辑电路，证实了CNTFET在多值逻辑方面隐含着巨

大的潜力。电路的基本结构如图 7.26 所示, 其中 CNTFET1 的直径为 1.4 nm, 阈值电压为 0.3 V, CNTFET2 的直径为 0.5 nm, 阈值电压为 0.84 V, V_{DD} 为 1.5 V。当输入为 0 V(逻辑 0)时, 两个 CNTFET 都不导通, 因而输出 1.5 V(逻辑 2); 当输入大于 0.3 V 小于 0.84 V(逻辑 1)时, CNTFET1 导通, 输出 0.75 V(逻辑 1); 当输入大于 0.84 V(逻辑 2)时, 两个 CNTFET 都导通, 因而输出 0 V(逻辑 0)。该模块单元就是三值逻辑中的反相器。

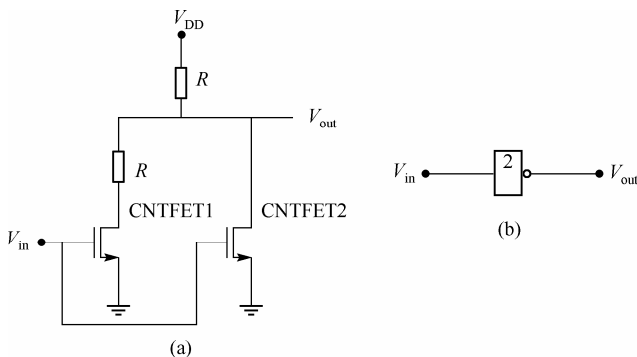


图 7.26 三值逻辑的基本单元。(a) 电路图; (b) 逻辑符号

将上述单元做适当扩充修改, 可构成封顶求和单元 (truncated sum, tsum), 最小值单元, 等等^[37]。图 7.27 为二输入三值逻辑 tsum 电路。tsum 运算的含义为

$$\text{tsum}(a_1, a_2, \dots, a_n) = \min(a_1 + a_2 + \dots + a_n, r - 1) \quad (7.29)$$

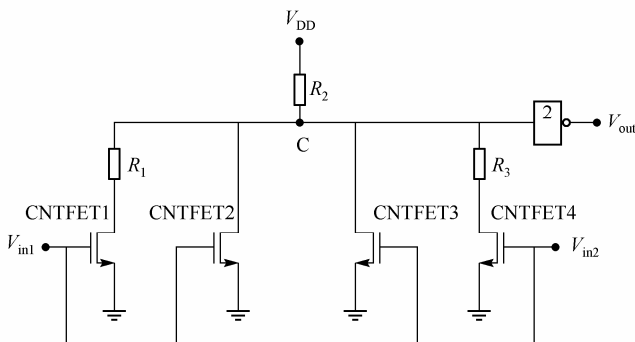


图 7.27 二输入 tsum (封顶求和) 电路

r 为多值逻辑的位数, n 为输入变量个数。该电路工作状态可分为三种: (1) 至少一个输入为逻辑 “0”, 现假设为 V_{in1} , 则 CNTFET1 和 CNTFET2 总处于断开状态, CNTFET3、CNTFET4、 R_2 与 R_3 构成一个反相器, 该反相器与后级的反相器级联形成跟随器; (2) 至少有一个输入为逻辑 “2”, 假设为 V_{in1} , 则 CNTFET1 和 CNTFET2

都导通, C 点电位为逻辑“0”, 经一级反相器后 V_{out} 输出逻辑“2”; (3) 两输入都为逻辑“1”, 则 CNTFET1 和 CNTFET4 导通, CNTFET2 和 CNTFET3 断开, C 点的电位由 R_1 , R_2 和 R_3 决定, 合理选择这三个电阻的取值, 可使 C 电位为逻辑“0”, 经一级反相器, 输出端 V_{out} 的电位为逻辑“2”。综上所述, 该电路实现了三值逻辑封顶求和的功能。

参 考 文 献

- [1] Iijima S. Helical microtubules of graphitic carbon. *Nature*. 1991, 345(6348) pp: 56-59.
- [2] Iijima S, Ichihashi T. *Nature*. 1993, 363: 603.
- [3] Bethune D S, Kiang CH, Devries MS. *Nature*. 1993, 363: 605.
- [4] Hamada N, Sawada SI, Oshiyama A. *Phy. Rev. Let.* 1992, 68: 1579.
- [5] Mintmire J W, Dunlap B I, White C T. *Phy. Rev. Let.* 1992, 68: 631.
- [6] Saito R, Fujita M, Dresselhaus MS. *App. Phy. Let.* 1992, 60: 2204.
- [7] Chico L, Benedict L X, Louie S G. *Phy. Rev. B*, 1996, 54: 2600.
- [8] Zhang Z H, Peng J C, Zhang H. *App. Phy. Let.* 2001, 79: 3515.
- [9] Collins P G, Zettl A, Bando H. et al. Nanotube Nanodevice. *Science*, 1997, pp: 100-103.
- [10] Amelingx S, Zhang X B, Bernaerts D A. formation mechanism for catalytically grown helix-shaped praphite nanotubes. *Science*, 1994, 265: 635.
- [11] Jose Yacamn M, Miki Yoshida M, Rendon L. Catalytic growth of carbon microtubules with fullerence structure. *App Phy Let*, 1993, 62 (2): 201.
- [12] Yamada T. et al. Modeling of electronic transport in scanning tunneling microscope tip-carbon nanotube system. *App. Phy. Let.* 2001. pp: 1739-1741.
- [13] Postma W C. Tijs Teepen. et al. Carbon nanotube single-electron transistors at room temperature. *Science*, 2001, pp: 76-79.
- [14] Tezaswi R, Vishwani D A, Michael L B. A tutorial on the emerging nanotechnology devices. *Proc. Inter. Conf. VLSI Design. IEEE*, 2004. pp: 1063-9667/04.
- [15] Tans S J, Alwin R M, Verschuereen, Cees Dekker. Room temperature transistor based on a single carbon nanotube. *Nature*, 1998, 393. pp:49-52.
- [16] Martel R, Schmidt T, Shea H R. et al. Single- and multi-wall carbon nanotube FET. *App. Phy. Let*, 1998. 73 (17): 2447-2449.
- [17] Rosenblatt S. pushing the limits of carbon nanotube transistors. *PH.D*, 2006. pp: 108-146.
- [18] Alain Rochefort. et al. Switching behavior of semiconductor carbon nanotube under an external electric field. *App. Phy. Let*, 2001. pp: 2521-2523.

- [19] Deryckle V, Martel R. Controlling doping and carrier injection in carbon nanotube transistors. *App. Phy. Let*, 2002. pp: 2773-2775.
- [20] Wind S J, Appenzeller J, Martel R. Vertical scaling of carbon nanotube FET using top-gate electrodes. *App. Phy. Let*, 2002. pp: 3817-3819.
- [21] Biercuk, M. J. et al. Local gate control in carbon nanotube quantum devices. *PH.D*, 2005. pp: 78-85.
- [22] Bachtold A. et al. Logic circuit with carbon nanotube transistors. *Science*, 2001. pp: 1317-1320.
- [23] Liu Xiaolei. et al. Carbon nanotube field-effect inverters. *App. Phy. Let*, 2001. pp: 3329-3331.
- [24] Ali Javey. Electrical characterization and device application of individual single-wall carbon nanotube. *PH.D*, 2005. pp: 32-38.
- [25] Sordan R. et al. Exclusive-OR gate with a single carbon nanotube. *App. Phy. Let*, 2006. pp: 053119-1-053119-3.
- [26] Yang M H. et al. Carbon nanotube schottky diode and directionally dependent FET using asymmetrical contacts. *App. Phy. Let*, 2005. pp: 253116-1-253116-3.
- [27] Martel R, Derycke V, Lavoie C. et al. Ambipolar electrical transport in semiconducting single-wall carbon nanotubes. *Phy. Rev. Let*, 2001. pp: 256805-1-256805-4.
- [28] Ravi Patel. Nanotube and their applications in nanoelectronic device. *MS.D*, 2004. pp: 54-58.
- [29] Heinze S. et al. Carbon nanotubes as Schottky barrier transistors. *Phy. Let. Rev*. 2002. pp: 106801/1-4.
- [30] Arijit Raychowdhury, et al. A Circuit-compatible Model of Ballistic Carbon Nanotube Field-Effect Transistors. *IEEE Trans on CAD of IC and System*. 2004,12. pp: 1411-1420.
- [31] Guo J, Lundstrom M, Datta S. Performance projections for ballistic carbon nanotube FET. *App. Phy. Let*, 2002. pp: 3192-3194.
- [32] Fabien Pregaldiny. et al. Compact Modeling and Applications of CNTFETs for Analog and Digital Circuit Design. *IEEE* 2006. pp: 1030-1033.
- [33] Arush Hazeghi. et al. Schottky-Barrier CNFET Modeling. *IEEE Trans on Electron Devices*. 2007, 3. pp: 439-445.
- [34] Guo J A. et al. Numerical Study of Scaling Issues for Schottky-Barrier Carbon Nanotube Transistors. *IEEE Trans on Electron Devices*. 2004, 2. pp: 172-177.
- [35] Chen Zhihong. et al. An integrated logic circuit assembled on a single carbon nanotube. *Science*, 2006. pp: 1735-1735.
- [36] Jin L, Connor I O, Navarro D. et al. Design of a Novel CNTFET-based reconfigurable logic gate. *IEEE Computer Society Annual Symposium on VLSI*. 2007.
- [37] Raychowdhury A, Roy K. carbon-nanotube-based voltage-mode multiple-valued logic design. *IEEE Tran on Nanotech*, 2005. pp: 168-179.

第 8 章 纳电子器件应用中的问题

纳电子器件是微电子器件的下一代新器件，是电子器件发展的重大变革，它在未来的应用将是不争的事实。然而，纳电子器件的运行机理、材料和加工技术，以及在集成电路与系统中的应用都将不同于微电子器件。纳电子器件在应用中存在一些非理想因素，比如，在单电子晶体管(SET)的应用中遇到的突出问题是其低增益、高输出阻抗和随机背景电荷^[1]，前两者在实际应用中可以通过与CMOS器件适当结合得以解决(参见第 6 章中的SETMOS混合器件)，而随机背景电荷对SET的性能有着显著的影响，它使得库仑岛上的电子数目发生改变，而库仑岛上一个电子的增减就可使SET的导通或库仑阻塞状态发生改变；另外，量子细胞神经网络(QCNN)中的QCA元胞排列位置偏差和丢失，都将会导致QCNN系统产生错误。鉴于这些考虑，本章将对一些纳电子器件在应用中存在的问题进行探讨，以求对未来纳电子器件在集成电路与系统中的应用提供参考。

8.1 单电子晶体管随机背景电荷影响

噪声对于纳米尺度的量子器件的影响远比对传统的器件大得多。因为纳米器件不再像传统器件那样以大量载流子统计平均结果作为工作基础，而纳米器件仅需要少量的电子运动。所以微弱的噪声，甚至一个到几个电子电量的起伏都会引起某个特征尺寸以下的器件性能明显恶化，从而破坏器件的稳定性。随机背景电荷是影响单电子晶体管(SET)工作的主要原因，特别是对SET的性能影响尤为显著，它可以改变库仑岛上的电子数目，从而影响到SET的导通以及库仑阻塞状态的变化。因此，实际应用中欲使SET能够可靠工作，必须采取相应的措施来解决背景电荷问题。

8.1.1 单电子晶体管随机背景电荷的产生

单电子学最严重的缺陷就是所谓的随机背景电荷问题。库仑岛极易受到邻近电荷的影响。而这些背景电荷主要由四个方面的因素引起^[1]：①材料中杂质引起的电荷；②表面缺陷和边界微粒引起的电荷；③相邻导体电荷；④电离辐射。虽然产生背景电荷的四个因素不同，但所产生的背景电荷对SET伏安特性的影响却是一致的。这些背景电荷均随着时间而发生改变，且具有很强的破坏力，以至于它们可以完全抑制库仑阻塞的发生，也即破坏了器件的行为。

8.1.2 背景电荷对单电子晶体管的影响

图 8.1 (a)给出了对称偏置情况下的 SET 在三种不同背景电荷下的伏安特性，当背景电荷 $q_0 = 0$ 时获得最大的库仑阻塞区；随着背景电荷的增加，库仑阻塞区逐渐减少，当 $q_0 = e/2$ 时，库仑阻塞区完全消失；图8.1 (b)给出的是栅极接地时的对称和非对称偏置 SET 的不同的库仑阻塞现象。随着背景电荷的增加，对称偏置SET 的库仑阻塞区减少，而非对称偏置 SET 的库仑阻塞区先向右移动后随之减少。

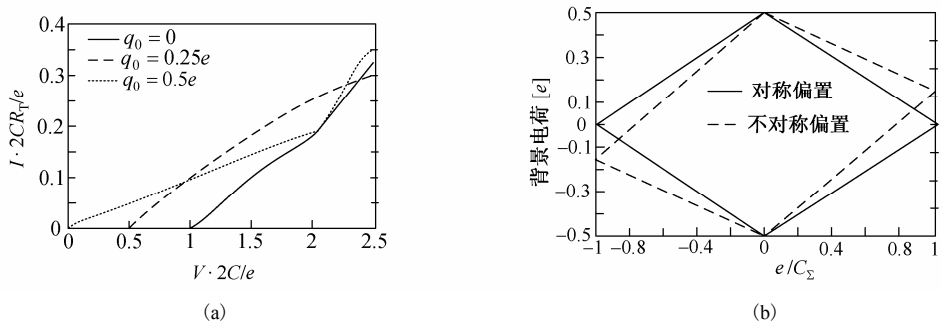


图 8.1 (a)三种不同背景电荷下的对称偏置 SET 的伏安特性；(b)栅极接地的对称和非对称偏置 SET 的不同的库仑阻塞现象

尽管在单电子器件中需要出现库仑阻塞，但随机背景电荷的出现却是一个很大的问题。换句话说，如果背景电荷在不恰当的位置出现，将会导致单电子电路不能正常工作。当然也有几种方法来解决背景电荷问题。虽然并不是所有的方法都经过验证和发展，其中有一些还仅仅是假设或不是十分实用的建议，但是它们可以反映出解决实际问题的方法^[1]。

8.1.3 单电子晶体管背景电荷的解决方法

欲使 SET 可靠地用于数字电路和模拟电路，可以从以下两个方面来采取措施解决背景电荷对 SET 性能的影响^[2]。

1. 制作工艺方面

(1)采用高纯净材料。目的是最大限度地克服SET制备过程材料中，带电杂质和导体界面的不平整所引起的背景电荷。采用这种方法制作的SET难度大,成本也极高。因此，短时间内，广泛采用该方法来抑制背景电荷并不现实。

(2)采用多库仑岛制作 SET 器件。其目的是通过增加电子的隧穿路径来减少电路处

于库仑阻塞的几率,从而达到降低背景电荷对 SET 影响的目的。该方法已用于具体的实验当中,其问题是多岛器件的输出电流与单岛器件的电流可比时,该方法才适宜。

(3)采用附加栅极。即将库仑岛通过电容连接到一个电压源上,使得一旦岛上出现由背景电荷引起的多余电子,可以被电压源直接吸走。该方法适合于小规模电路。

2. 电路设计方面

(1)采用 R-SET 电路。由于 R-SET 电路基本不受背景电荷的影响,因此该方法是一种最简洁、有效的方法。但由于在很多电路的设计与应用中, R-SET 受到限制,而且 R-SET 只能工作于低温状态下,因此该方法具有很大的局限性。

(2)采用循环刷新补偿技术。其基本方法是首先通过设置一个超出预期库仑阻塞的扫描偏置电压来检测背景电荷引起的误差,然后利用一个附加栅极电容和电荷储存结点来满足背景电荷极化所引起的补偿电荷。刷新的周期取决于背景电荷移动的时间常数。该方法仅适合于 SET 逻辑电路,而且随机背景电荷的移动时间常数也不易确定。

(3)采用神经网络技术。其原理是通过储存分布式信息并输出一个由多个外界输入所形成的平均值,即使一个外界输入有误,其平均输出的结果误差也很小。通过网络的反复学习,可以克服随机背景电荷的与时相关性。

综上所述,目前对于背景电荷问题的解决方法很多还处于探索和实验阶段,具体电路中采用何种方法来抑制背景电荷,往往需要综合成本、技术复杂程度和抑制背景电荷的效果等几个方面的因素。

3. 附加栅极抑制背景电荷法在 SET 积分器中的应用^[2]

附加栅极的 SET 实际上是一个多栅极 SET。图 8.2 给出这种附加栅极的 SET 结构示意图。在图 8.3 的 SET 积分器电路中,实际上是两个栅极并接后连接一个电压源 V_S ,此处 V_S 既充当偏置电压源的,又起着抑制随机背景电荷的作用。

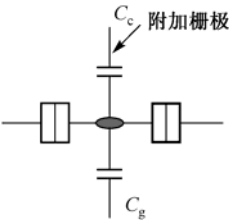


图 8.2 带有附加栅极的 SET

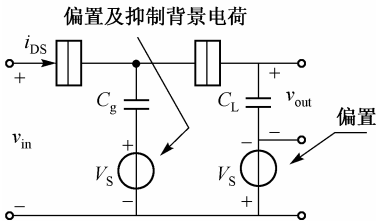


图 8.3 SET 电压积分器中 V_S 的作用

图 8.4 是在不同背景电荷及栅极偏置电压下的幅频特性曲线。从中可见,当 $Q_0 = 0.5e$, $V_{GS} = 0$ 时,即不采用通过附加栅极连接电压源的方法时,该电路已经失去了积分器性能。

而当 $V_{GS}=20\text{ mV}$ 时,即采取抑制背景电荷的措施时,不论 $Q_0=0$ 还是 $Q_0=0.5e$,积分器的总体性能并不改变,仅仅是幅值的改变。仿真结果清晰地表明了这一点。

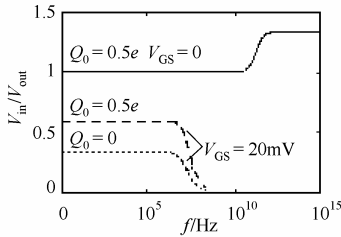


图 8.4 背景电荷对 SET 积分器的影响

附加栅极是通过SET结构的改进,达到抑制背景电荷的目的。从工艺实现上来看并不困难,而且抑制背景电荷的效果较理想,通过控制电路的规模来满足该方法的适用性,可以取得预期的效果。本章所论述的其他抑制背景电荷方法有望将来在电路设计中得到广泛应用。

8.2 影响SETMOS混合器件工作

的因素

除了SET的本身的缺点对SETMOS的工作产生影响外,在模拟电路设计中经常要考虑噪声的问题,因为噪声与功耗、速度和线性度之间相互制约,限制了一个电路能够正确处理的最小信号电平,因而也是影响SETMOS器件的电路设计和工作的重要因素。

本节主要从噪声、偏置电流和泄漏能耗等几个角度分析了对SETMOS混合器件的影响。

8.2.1 CMOS器件噪声分析与抑制

噪声是一个随机过程,在介观系统输运过程中涉及三种主要的噪声^[3]:

- (1)电阻的平衡噪声或者热噪声。
- (2)闪烁噪声或者低频噪声。
- (3)围绕稳态电流流动的多种非平衡噪声或者散粒噪声。

同样在纳米MOS器件中也存在这三种噪声。

1. MOS热噪声及其抑制^[4]

MOS晶体管也有热噪声,最大的噪声源是在沟道中产生的,属于白噪声。主要存在于长沟道MOS器件中,对于工作在饱和区的长沟道MOS器件的沟道热噪声可以用一个连接在漏源两端的电流源来模拟,其功率谱密度为

$$I_n^2 = 4kT\gamma G_m \tag{8.1}$$

(实际上该公式应该是 $\overline{I_n^2} = 4kT\gamma G_{DS}$, 其中 G_{DS} 是 $V_{DS}=0$ 时的漏源电导,也就是,

其值等于 R_{on}^{-1} 。对于长沟道器件, $V_{\text{DS}}=0$ 时的 G_{DS} 等于饱和 G_{m})。其中的系数 γ , 对于长沟道 MOS 晶体管可以由推导得到, 等于 $2/3$; 对于亚微米 MOS 晶体管, γ 可能需要一个更大的值来代替。在某种程度上 γ 也还随漏源电压而改变, 理论上如何确定 γ 还在积极的研究中。

另外 MOS 晶体管的线性区也同样存在热噪声, 由于栅、源和漏极材料都有一定的电阻, 因而产生噪声。但是由于其影响较小, 再加上采用适当的工艺技术可以有效地抑制 MOS 器件的欧姆区导致的热噪声。

热噪声的抑制方法大致就是通过降低工作温度和降低 MOS 晶体管的跨导值来实现的。

2. MOS 闪烁噪声^[4]

对于 MOS 晶体管而言, 在 MOS 晶体管的栅氧化层和硅衬底的界面存在硅单晶的边界, 因而出现许多“悬挂”键, 从而产生额外的能态。当电荷载流子运动到这个界面时, 有一些被随机地俘获, 随后又被这些能态释放, 结果, 在漏电流中产生“闪烁”噪声。除了俘获, 一些其他机制也被认为能产生闪烁噪声。

与热噪声不同, 闪烁噪声的平均功率不容易预测。根据氧化物-硅界面的“清洁度”, 闪烁噪声取值可以显著不同, 并且随 CMOS 工艺的不同而改变。闪烁噪声可以更容易地用一个与栅极串联的电压源来模拟, 近似地由 (8.2) 式给出:

$$\overline{V_n^2} = \frac{K}{C_{\text{ox}}WL} \frac{1}{f} \quad (8.2)$$

式中 K 是一个与工艺有关的常量, 数量级为 $10^{-25} \text{V}^2\text{F}$ 。噪声谱密度与频率成反比。例如, 与悬挂键相关的俘获-释放现象在低频下更常发生, 正因为如此闪烁噪声也称 $1/f$ 噪声。

闪烁噪声在低频范围内是比较严重的, 所以设计高频电路可以有效地抑制闪烁噪声的影响。另外, 也可以通过工艺手段来增大器件的宽长乘积, 即器件面积。

3. 散粒噪声及其抑制^[3]

除了热噪声和闪烁噪声以外, 由于载流子电荷的离散性引起的散粒噪声在大部分电子器件中普遍存在, 但并不是所有的导体都有散粒噪声。散粒噪声也属于白噪声, 其特点是功率谱在很宽的频率范围都不依赖于频率。像隧道结、Schottky 势垒二极管、PN 结和热电子真空二极管这样的器件, 电子随机地且互相发射。在这些器件

中电子的传输可以用 Poisson 统计来描述，Poisson 过程常用于描述时间上不相干的事件。对于 Poisson 过程，这种器件散粒噪声具有最大值

$$P = 2eI \equiv P_{\text{Poisson}} \tag{8.3}$$

即功率谱与电流的时间平均值成比例。对于较高的频率，散粒噪声为零。电子之间的相关性能够抑制低频散粒噪声，使之低于 P_{Poisson} 。Pauli 不相容原理使得即使非相互作用电子也存在着相关性，因为该原理禁止多于一个电子占据同一个单粒子态。一个典型的例子是金属中弹道点接触，在这种结构中 $P=0$ ，不存在杂质散射的情况下，Pauli 不相容原理使电子的流动是完全相关的。在宏观的金属导体中，由于非弹性电子-声子散射平均掉了电流涨落，所以具有零散射噪声。

8.2.2 SETMOS混合电路设计中偏置电流源的影响

在 SETMOS 混合电路设计中，SET 的漏极有时会被恒流源偏置。图 8.5 表明了偏置电流与恒流源偏置下 SET 的输出电压(V_{DS})之间的关系^[5]。随着偏置电流的增长，(1) $V_{\text{DS,MAX}}$ 增加；(2) V_{DS} 变化的动态范围减小；(3) 温度对输出电压的影响减小。因此，对于 SET 或 SETMOS 模拟集成电路的设计，为了使得 $V_{\text{DS,MAX}}$ 与 V_{DS} 的动态变化范围之间的权衡达到最优化，偏置电流必须小于 $0.5I_{\text{bias}}/[e/(4C_{\Sigma}R_{\text{T}})]$ ，其中， $R_{\text{T}}=R_{\text{D}}=R_{\text{S}}$ ， $p = (e^2/C_{\Sigma})/(k_{\text{B}}T)$ 。图中，空心符号线表示 MC 模拟结果，实心符号线代表 MIB 模型仿真结果。

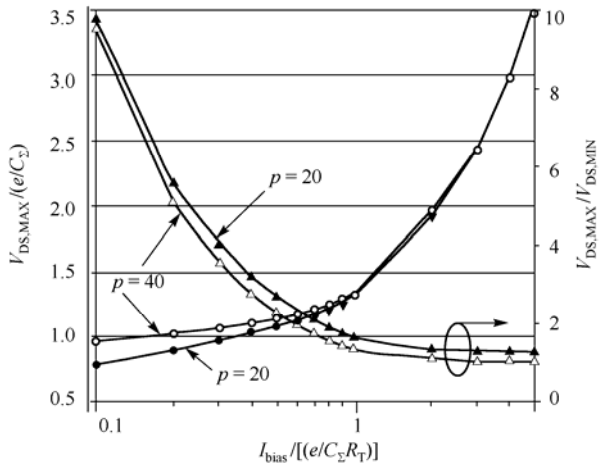


图 8.5 偏置电流对恒流偏置下 SET 模拟结构的影响

8.2.3 泄漏能耗的影响与控制

随着晶体管几何尺寸的日益减小，能耗泄漏成分，包括亚阈值引起的泄漏和栅

极泄漏,已变成越来越重要的问题^[6],它直接影响着器件本身的性能发挥。就SET漏极恒流源偏置下的SETMOS构成的NDR结构而言,如图6.4所示,由于器件尺寸的减小,MOS的栅极泄漏电流增加了SET的有效偏置电流大小,从而导致NDR特性的周期性遭到破坏。同时在总体的芯片能耗中,泄漏能耗潜在地占了相当大的一部分。减小晶体管能耗的一种最有效的技术就是在电路块和电源轨 V_{CC} 和(或) V_{SS} 之间引入一个休眠晶体管。该休眠晶体管在空闲态时或者电路块未接通时完全断开。当休眠晶体管断开时,连接功能块的电源 V_{CC} 和(或) V_{SS} 将会降低。因此,接通晶体管栅极以及源极和漏极的电压差值就会减小,从而极大地降低了泄漏能耗。

8.3 量子细胞神经网络的非理想因素

由QCA元胞耦合构成的量子细胞神经网络(QCNN)可能会出现的一些非理想因素,如常见的两种QCA元胞排列位置偏差和元胞丢失,这里着重对这两种非理想因素进行分析和研究。我们先提出将元胞按其排列位置分成三种类型:拐角元胞、边缘元胞和中心元胞。然后针对各种类型元胞所可能出现的非理想因素对QCNN系统产生的影响进行了探讨。通过仿真研究发现,当元胞丢失时,一定会导致QCNN系统产生错误;当元胞发生偏移时,能否导致QCNN系统产生错误,取决于两个因素:需处理的原始图像和元胞发生偏移的幅度。

8.3.1 QCNN中的非理想因素的类型

在QCNN中,元胞通过场相互作用和其邻近元胞相连接,这使得每一元胞的状态以及排列位置都会对QCNN系统产生影响。由于工艺的问题,在制造QCNN时,可能会导致元胞丢失或拥有额外的量子点或电子,元胞排列位置发生偏差以及元胞丢失等现象。然而,由于无机分子净化技术的成熟使得元胞丢失或拥有额外的量子点或电子的概率相对于元胞排列位置发生偏差等要小得多^[7]。因此在下面的研究中假设QCA元胞都能正常工作,仅研究元胞的另外两种非理想因素:

- (1)元胞的排列位置发生偏差;
- (2)某一元胞丢失。

二维QCNN是三维QCNN的基础,其工作机理与三维QCNN中的神经元层大致相同。因此只研究二维QCNN在上述两种非理想因素影响下的情况。

图 8.6 给出了一个二维 4×4 单邻域 QCNN 的结构示意图。图中, 方块表示 QCA 元胞, 分别以 $C(i, j), i, j = 1, 2, 3, 4$ 表示。此时, 可将元胞按其排列位置分成三种情况:

(1) 拐角元胞, 如 $C(1,1), C(1,4), C(4,1), C(4,4)$;

(2) 边缘元胞, 如 $C(1,2), C(3,1), C(2,4), C(4,3)$ 等;

(3) 中心元胞, 如 $C(2,2), C(2,3), C(3,2), C(3,3)$ 。

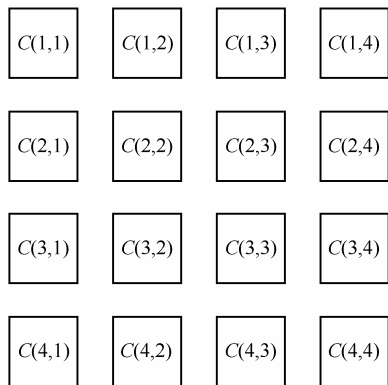


图 8.6 二维 4×4 单邻域 QCNN 结构示意图

对于同一种元胞如拐角元胞中的 $C(1,1)$ 和 $C(1,4)$, 由于结构上的对称性, 当它们受相同的非理想因素影响时, 对 QCNN 系统产生的影响是相同的, 因此只需分析非理想因素对每一种元胞中的一个元胞产生作用的情况。

8.3.2 非理想因素对 QCNN 的影响

为分析问题的方便, 现在将第 5 章中的式 (5.4) 所描述的二维 QCNN 中第 k 个元胞的状态方程重新列出如下

$$\begin{aligned} \frac{dP_{i,j}}{dt} &= -2a\sqrt{1-P_{i,j}^2} \sin \varphi_{i,j} \\ \frac{dP_{i,j}}{dt} &= - \sum_{C(k,l) \in N_r(i,j)} W(i,j;k,l) P_{k,l} + 2a \frac{P_{i,j}}{\sqrt{1-P_{i,j}^2}} \cos \varphi_{i,j} \end{aligned} \quad (8.4)$$

由于非理想因素的影响导致元胞位置偏离或丢失, 此时, 其权值 $W(i,j;k,l)$ 与元胞所在的位置密切相关, 因此不能简单地用 A 模板来表示元胞的权值, 而只能用 $W(i,j;k,l)$ 来表示其权值。

在前面第 5 章中, 我们对 QCNN 的图像处理应用进行了研究 (参见 5.4.4 节), 这里就以此为例来探讨非理想因素对 QCNN 的影响。由 5.4.4 节中的研究可知, 当参数选择为:

$$\begin{aligned}
W(i, j; i-1, j-1) &= W(i, j; i-1, j+1) = W(i, j; i+1, j-1) = W(i, j; i+1, j+1) = -3 \\
W(i, j; i-1, j) &= W(i, j; i+1, j) = W(i, j; i, j-1) = W(i, j; i, j+1) = 15 \\
W(i, j; i, j) &= 30
\end{aligned} \tag{8.5}$$

而其他参数不变时，可以实现图像去噪功能。

1. 拐角元胞

在图 8.6 中，以拐角元胞 $C(1,1)$ 为例进行分析，对于拐角元胞 $C(1,1)$ ，向上偏移与向左偏移是等价的。因为向上、向左偏移同样都导致元胞 $C(1,1)$ 与元胞 $C(1,2)$ 、 $C(2,1)$ 和 $C(2,2)$ 的间距变大，从而使得权值 $W(1,1;1,2)$ 、 $W(1,1;2,1)$ 和 $W(1,1;2,2)$ 变小。同样地，向下偏移会导致权值 $W(1,1;1,2)$ 变小， $W(1,1;2,1)$ 和 $W(1,1;2,2)$ 变大，而向右偏移会使权值 $W(1,1;2,1)$ 变小， $W(1,1;1,2)$ 和 $W(1,1;2,2)$ 变大，由于结构的对称性，它们是等价的。因此向上、向下偏移和元胞丢失这三种情况代表了拐角元胞可能出现的所有非理想情况。

(1) 拐角元胞向上偏移

图 8.7(a) 显示了一个 4×4 规模的图像，以此图像作为原始图像对它进行去噪操作，当参数选择如式 (8.5) 所示时，可实现图像去噪，仿真结果如图 8.7(b) 所示。当拐角元胞 $C(1,1)$ 向上偏移时，导致权值 $W(1,1;1,2)$ 、 $W(1,1;2,1)$ 和 $W(1,1;2,2)$ 变小，同样地，权值 $W(1,2;1,1)$ 、 $W(2,1;1,1)$ 和 $W(2,2;1,1)$ 也变小。当选择权值 $W(1,1;1,2) = W(1,2;1,1) = 10$ ， $W(1,1;2,1) = W(2,1;1,1) = 5$ ， $W(1,1;2,2) = W(2,2;1,1) = -1$ ，而其他权值选择不变，如式 (8.5) 所示时，仿真结果如图 8.7(c) 所示。对比图 8.7(b) 和图 8.7(c) 可看出，当拐角元胞 $C(1,1)$ 向上偏移时可能会导致 QCNN 系统不能正确地实现图像去噪功能。

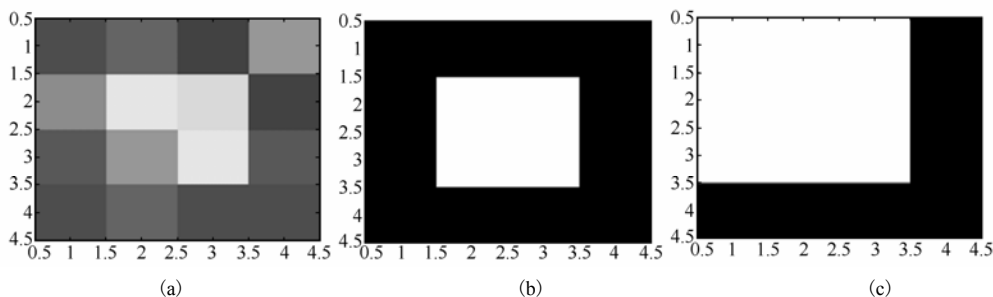


图 8.7 图像去噪仿真结果。(a)原始图像；(b)理想情况下的输出图像；(c) $C(1,1)$ 向上偏移时的输出图像

(2) 拐角元胞向下偏移

当拐角元胞 $C(1,1)$ 向下偏移时，仍然以图 8.7(a) 为原始图像，进行图像去噪。

由于元胞 $C(1,1)$ 向下偏移, 使得权值 $W(1,1;1,2)$ 变小, $W(1,1;2,1)$ 和 $W(1,1;2,2)$ 变大, 当选择权值 $W(1,1;1,2) = W(1,2;1,1) = 13$, $W(1,1;2,1) = W(2,1;1,1) = 20$, $W(1,1;2,2) = W(2,2;1,1) = -4$, 而其他权值选择不变时, 仿真结果仍然如图 8.7 (b) 所示, 此时能实现图像去噪功能。当加大偏移量使得权值选择为 $W(1,1;1,2) = W(1,2;1,1) = 10$, $W(1,1;2,1) = W(2,1;1,1) = 25$, $W(1,1;2,2) = W(2,2;1,1) = -5$, 而其他权值选择不变时, 仿真结果如图 8.8 所示, 此时 QCNN 系统不能正确地实现图像去噪功能。

(3) 拐角元胞丢失

当拐角元胞 $C(1,1)$ 丢失时, 以图 8.7 (a) 为原始图像, 进行图像去噪操作。由于元胞 $C(1,1)$ 丢失, 使得 $W(1,1;k,l) = 0$, $W(1,2;1,1) = W(2,1;1,1) = W(2,2;1,1) = 0$, 仿真结果如图 8.9 所示。可见, 由于 $C(1,1)$ 的缺失, 使得 $C(1,1)$ 对 $C(1,2)$ 、 $C(2,1)$ 和 $C(2,2)$ 不再产生影响, 导致 QCNN 系统不能正确地实现图像去噪功能。

2. 边缘元胞

以边缘元胞 $C(1,1)$ 为例进行分析, 图 8.10 显示了边缘元胞可能出现的四种非理想情况。

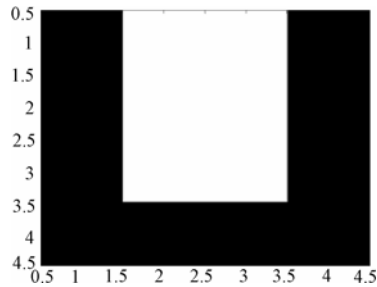


图 8.8 元胞 $C(1,1)$ 向下偏移量较大时的输出图像

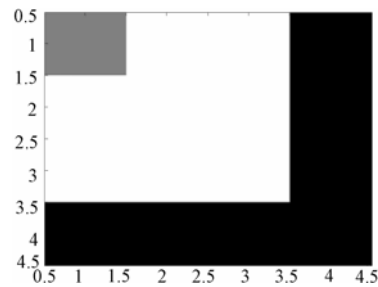


图 8.9 元胞 $C(1,1)$ 丢失时的输出图像



图 8.10 边缘元胞的非理想情况。(a) 元胞 $C(1,3)$ 向上偏移；(b) 元胞 $C(1,3)$ 向下偏移；(c) 元胞 $C(1,3)$ 向左偏移；(d) 元胞 $C(1,3)$ 丢失

对于边缘元胞 $C(1,3)$ ，向左偏移与向右偏移是等价的。因为向左、向右偏移都使得元胞 $C(1,3)$ 与 $C(2,3)$ 的间距变大，从而使得权值 $W(1,3;2,3)$ 变小。另外，向左偏移使得元胞 $C(1,3)$ 与元胞 $C(1,4)$ 和 $C(2,4)$ 间距变大，与元胞 $C(1,2)$ 和 $C(2,2)$ 的间距变小，从而使得权值 $W(1,3;1,4)$ 和 $W(1,3;2,4)$ 变小而 $W(1,3;1,2)$ 和 $W(1,3;2,2)$ 变大。向右偏移则相反，使得权值 $W(1,3;1,4)$ 和 $W(1,3;2,4)$ 变大而 $W(1,3;1,2)$ 和 $W(1,3;2,2)$ 变小。由于结构的对称性，它们是等价的。因此图 8.5 所示的四种情况代表了边缘元胞可能出现的所有非理想情况。

(1) 边缘元胞向上偏移

当边缘元胞 $C(1,3)$ 向上偏移时，使得元胞 $C(1,3)$ 与元胞 $C(1,2)$ 、 $C(1,4)$ 、 $C(2,2)$ 、 $C(2,3)$ 和 $C(2,4)$ 的间距变大，导致权值 $W(1,3;1,2)$ 、 $W(1,3;1,4)$ 、 $W(1,3;2,2)$ 、 $W(1,3;2,3)$ 和 $W(1,3;2,4)$ 变小。以图 8.7(a) 为原始图像，进行图像去噪操作。选取多组可能的权值进行仿真发现其仿真结果都为图 8.7(b) 所示，可见此时无论元胞 $C(1,3)$ 向上偏移多

少，都可正确地实现图像去噪功能。

图 8.11 是另一幅图像在边缘元胞 $C(1,3)$ 向上偏移时的仿真结果。图 8.11 (a) 是原始图像，图 8.11 (b) 是参数选择为式 (8.4) 所示时的仿真结果，图 8.11 (c) 是权值 $W(1,3;2,2) = W(2,2;1,3) = W(1,3;2,4) = W(2,4;1,3) = -1$ ， $W(1,3;2,3) = W(2,3;1,3) = 3$ ， $W(1,3;1,2) = W(1,2;1,3) = W(1,3;1,4) = W(1,4;1,3) = 5$ ，而其他权值选择不变时的仿真结果。由图 8.11 可看出，此时 QCNN 系统不能正确地实现图像去噪功能。

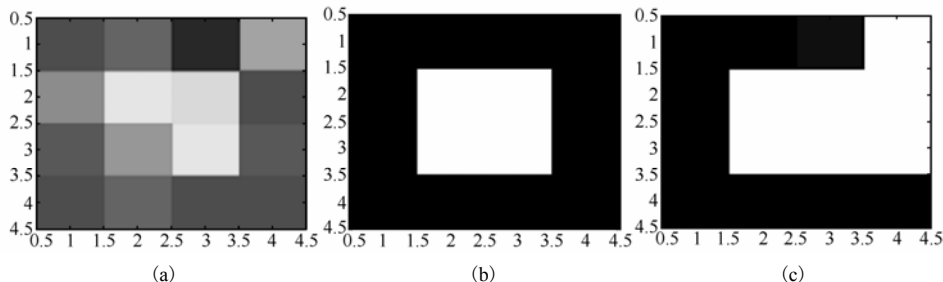


图 8.11 图像去噪仿真结果。(a)原始图像；(b)理想情况下的输出图像；(c) $C(1,3)$ 向上偏移时的输出图像

(2) 边缘元胞向下偏移

当边缘元胞 $C(1,3)$ 向下偏移时，以图 8.11 (a) 为原始图像，进行图像去噪。由于元胞 $C(1,3)$ 向下偏移，使得权值 $W(1,3;1,2)$ 和 $W(1,3;1,4)$ 变小， $W(1,3;2,2)$ 、 $W(1,3;2,3)$ 和 $W(1,3;2,4)$ 变大，当选择权值 $W(1,3;2,2) = W(2,2;1,3) = W(1,3;2,4) = W(2,4;1,3) = -5$ ， $W(1,3;2,3) = W(2,3;1,3) = 30$ ， $W(1,3;1,2) = W(1,2;1,3) = W(1,3;1,4) = W(1,4;1,3) = 5$ ，而其他权值选择不变时，仿真结果如图 8.12 所示，此时 QCNN 系统不能正确地实现图像去噪功能。

(3) 边缘元胞向左偏移

当边缘元胞 $C(1,3)$ 向左偏移时，使得权值 $W(1,3;2,3)$ 、 $W(1,3;1,4)$ 和 $W(1,3;2,4)$ 变小，权值 $W(1,3;1,2)$ 和 $W(1,3;2,2)$ 变大。当选择权值 $W(1,3;2,3) = W(2,3;1,3) = 10$ ， $W(1,3;1,4) = W(1,4;1,3) = 5$ ， $W(1,3;2,4) = W(2,4;1,3) = -2$ ， $W(1,3;1,2) = W(1,3;2,2) = 25$ ， $W(2,2;1,3) = -4$ ，而其他权值选择不变时，以图 8.11 (a) 为原始图像，进行图像去噪操作，仿真结果如图 8.13 所示，此时 QCNN 系统不能正确地实现图像去噪功能。

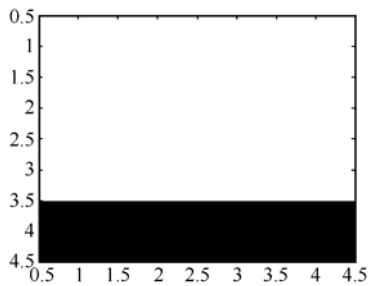


图 8.12 元胞 $C(1,3)$ 向下偏移时的输出图像

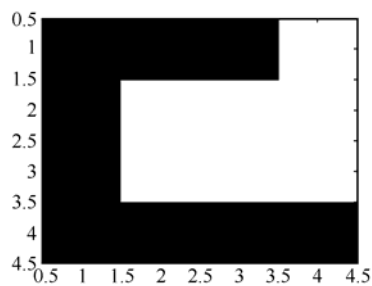


图 8.13 元胞 $C(1,3)$ 向左偏移时的输出图像

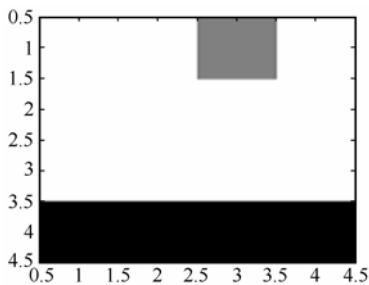


图 8.14 元胞 $C(1,3)$ 丢失时的输出图像

(4) 边缘元胞丢失

当边缘元胞 $C(1,3)$ 丢失时，使得权值 $W(1,3;k,l)=0$, $W(1,2;1,3)=W(1,4;1,3)=W(2,2;1,3)=W(2,3;1,3)=W(2,4;1,3)=0$ ，其他权值选择不变。以图 8.11 (a) 为原始图像，进行图像去噪操作，仿真结果如图 8.14 所示。可见，由于 $C(1,3)$ 的缺失，使得 $C(1,3)$ 对 $C(1,2)$ 、 $C(2,2)$ 、 $C(1,4)$ 、 $C(2,3)$ 和 $C(2,4)$ 不再产生影响，导致 QCNN 系统不能正确地实现垂直线检测功能。

3. 中心元胞

以中心元胞 $C(2,2)$ 为例进行分析，图 8.15 显示了中心元胞可能出现的两种非理想情况。

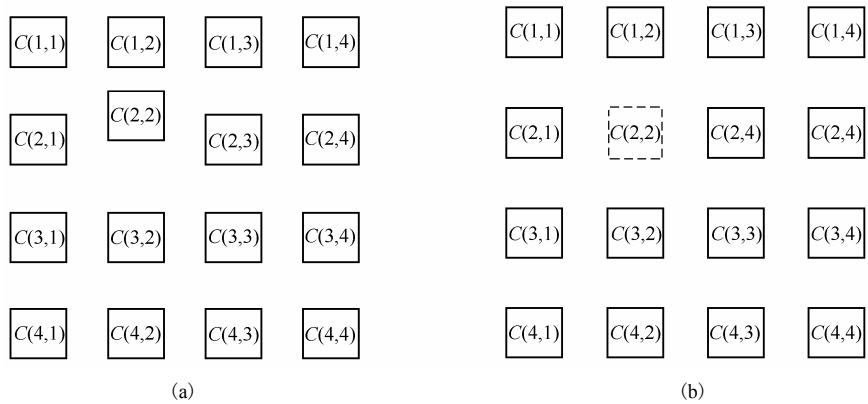


图 8.15 中心元胞的非理想情况。(a) 元胞 $C(2,2)$ 向上偏移；(b) 元胞 $C(2,2)$ 丢失

对于中心元胞 $C(2,2)$ ，向上偏移与向下、向左、向右偏移都是等价的。因为向上偏移使得元胞 $C(2,2)$ 与上方的 3 个元胞间距变小，另外的 5 个元胞间距变大。同样地，向下、向左和向右偏移分别使得元胞 $C(2,2)$ 与下方、左方和右方的 3 个元胞间距变大，

而另外的 5 个元胞间距变小。由于结构的对称性，它们是等价的。因此图 8.15 所示的两种情况代表了中心元胞可能出现的所有非理想情况。

(1) 中心元胞向上偏移

当中心元胞 $C(2,2)$ 向上偏移时，使得权值 $W(2,2;1,1)$ 、 $W(2,2;1,2)$ 和 $W(2,2;1,3)$ 变大，而权值 $W(2,2;2,1)$ 、 $W(2,2;2,3)$ 、 $W(2,2;3,1)$ 、 $W(2,2;3,2)$ 和 $W(2,2;3,3)$ 变小。当选择权值 $W(2,2;1,1) = W(1,1;2,2) = W(2,2;1,3) = W(1,3;2,2) = -5$ ， $W(2,2;1,2) = W(1,2;2,2) = 25$ ， $W(2,2;2,1) = W(2,1;2,2) = W(2,2;2,3) = W(2,3;2,2) = 10$ ， $W(2,2;3,1) = W(3,1;2,2) = W(2,2;3,3) = W(3,3;2,2) = -1$ ， $W(2,2;3,2) = W(3,2;2,2) = 5$ ，而其他权值选择不变时，以图 8.11 (a) 为原始图像，进行图像去噪操作，仿真结果如图 8.16 所示，此时 QCNN 系统不能正确地实现图像去噪功能。

(2) 中心元胞丢失

当中心元胞 $C(2,2)$ 丢失时，使得权值 $W(2,2;k,l) = 0$ ， $W(1,1;2,2) = W(1,2;2,2) = W(1,3;2,2) = W(2,1;2,2) = W(2,2;2,2) = W(2,3;2,2) = 0$ ， $W(3,1;2,2) = W(3,2;2,2) = W(3,3;2,2) = 0$ 其他权值选择不变。以图 8.11 (a) 为原始图像，进行图像去噪操作，仿真结果如图 8.17 所示。可见，由于 $C(2,2)$ 的缺失，使得 $C(2,2)$ 对周围 8 个元胞没有影响，导致 QCNN 系统不能正确地实现垂直线检测功能。

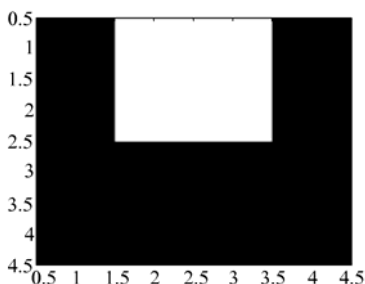


图 8.16 元胞 $C(2,2)$ 向上偏移时的输出图像

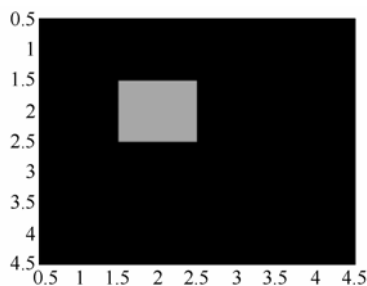


图 8.17 元胞 $C(2,2)$ 丢失时的输出图像

8.3.3 非理想因素影响的结果分析

通过上面的分析可发现，当元胞丢失时，其所在位置的像素值不能正确收敛到目标值，且其对周围元胞不再有相互作用，从而导致 QCNN 系统产生错误。而当元胞发生偏移时，它能否导致 QCNN 系统产生错误，取决于两个因素：

- (1) 需处理的原始图像；
- (2) 元胞发生偏移的幅度。

例如，以图 8.7 (a) 为原始图像，当边缘元胞 $C(1,3)$ 向上偏移时，都可实现正确的图像去噪功能。而在以图 8.11 (a) 为原始图像，当边缘元胞 $C(1,3)$ 向上偏移时，可能导致 QCNN 系统不能实现正确的图像去噪功能 (如图 8.11 所示)。这说明在元胞发生偏

移时, QCNN 系统能否正确工作与原始图像有关。

在以图8.7(a)为原始图像,进行图像去噪时,当拐角元胞 $C(1,1)$ 向下偏移的幅度较小时,此时 QCNN 系统能实现图像去噪功能。而当拐角元胞 $C(1,1)$ 向下偏移的幅度较大时, QCNN 系统不能正确地实现图像去噪功能(如图8.8所示)。这说明在元胞发生偏移时, QCNN 系统能否正确工作还与元胞产生偏移的幅度有关。

有必要指出的是,虽然上述的分析都是在 4×4 规模的QCNN上进行的,但得出的结论对于大规模 QCNN 系统依然适用。这是因为:

(1)QCNN规模的增大并不会影响元胞作用的范围,元胞仍然只与其邻域内的元胞进行相互作用;

(2)在大规模QCNN中,同样可将元胞分成拐角元胞、边缘元胞和中心元胞这三种类型,再对其进行分析。

8.4 其他器件的非理想因素影响

第3章已经对RTD的特性、模型及应用做了较为详细的介绍,下面对其特性进行简要的回顾。共振隧穿二极管(RTD)是一种基于电子共振隧穿通过双势垒结构的量子传输器件,属于纳电子范畴。作为率先实用化及当前发展最为成熟的纳电子器件,基于RTD的电路与传统电路相比最主要的优点包括:(1)RTD具有负微分电阻特性多重稳态特性,可以使电路的结构大大简化;(2)RTD具有很高的开关速度,其最高频率理论预计值为2.5 THz,实际RTD的最高频率为712 GHz,RTD的开关时间 t_f 低到1.5 ps;(3)RTD具有低功耗特性,在存储器应用方面与传统器件相比具有较明显的优势。

RTD基电路虽然具备上述的众多优点,但现在对这种器件是否会成为未来电子系统的主流器件还无法下一个明确的结论,因为RTD仍存在着一些不成熟、不完善的地方没有解决,这些待解决的问题阻碍了RTD基电路大规模批量化的生产。影响RTD大规模批量生产的主要因素是散射^[8-11]对RTD的特性影响和RTD的集成技术^[12-14]。

8.4.1 散射对RTD的影响

在量子力学中,散射现象也称为碰撞现象^[15]。研究粒子与力场(或粒子与粒子)碰撞的过程有很重要的实际意义。散射分为两种,弹性散射和非弹性散射。如果一粒子与另一粒子碰撞的过程中,只有动能的交换,粒子内部状态并无改变,则称这种散射为弹性散射;若碰撞中粒子内部状态有所改变(如原子被激发或电离),则称为非弹性碰撞。

散射对于RTD特性的影响一方面会导致较大的谷值电流。在RTD的特性分析中,我们总是希望 RTD 具有较大的峰值电流,较小的谷值电流,即较高的峰谷电流比。弹性散射和非弹性散射使得平行动量分量的守恒定律产生弛豫,这样就在非共振时增加了电流的量值。RTD 的弹性散射与异质结界面的界面粗糙度,隧穿区域的非有意的掺杂,势垒 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 材料的合金无序效应有关^[8,9]。前两点与外延生长材料的质量密切相关,这有助于解释随着时间的推移 GaAs/AlGaAs 系统中的电流峰谷比急剧改进。声子和集体激发对载流子的非弹性散射不仅破坏了横向动量守恒的假设,而且导致相位相干性的减小^[10,11]。如果这种作用很强,隧穿过程不再具有相干性,因为导致共振幅值形成的相位关系仅部分保持。另一方面,散射过程还会影响电子在量子阱中的分布,使之从完全弹道输运到在阱中的热化,至于热化程度决定于典型的散射时间与电子在阱中停留的时间之比。

8.4.2 RTD的集成技术

RTD 虽然速度和频率很高,但它属于两端器件,其伏安特性不能调控,又无增益,因此在形成电路时必须与三端器件相结合才能构成集成电路,才能充分发挥其高速、高频的特点。因此,从实用角度看,影响 RTD 大规模批量生产的因素,除了 RTD 自身的特性因素外,更重要的是RTD 的单片集成或与其他类型的晶体管混合集成制造时,如何提高集成度,以达到应用需求的器件密度和数量。因此,RTD 的集成技术就成为目前发展的主流方向^[14]。下面就比较典型的 RTD 与其他三端器件集成的几种工艺进行介绍。

1. RTD与HEMT的集成

在实际电路应用中与 RTD 集成最多的器件是高电子迁移率晶体管 (High Electron Mobility Transistor, HEMT),其所形成的电路不仅保持了高频率、低噪声和低功耗的特点,而且大大简化了电路结构,减少了芯片面积^[12]。RTD 器件主要制作在 HEMT 的源区和漏区,这样易形成串联和并联的形式,可以简化工艺,提高集成度。材料结构是在半绝缘的 GaAs 或 InP 衬底上,采用分子束外延 (MBE) 的方法依次生长 HEMT 层结构,中间是阻挡层和 RTD 结构,这样排列的主要目的:一是为防止具有高的腐蚀选择比;二是可以起到提高表面均匀性的目的,后者对 HEMT 器件的一致性以及大规模电路的集成起着更为重要的作用。除此集成技术之外, C. L. Chen 等人提出了 RTD 与 HEMT 的平面集成技术。它引入离子注入技术与自对准技术取代传统的深台面腐蚀技术,从而实现 RTD 与 HEMT 的平面集成。这种方法的主要优点是均匀性得到提高,适合大批量的生产。同时由于两个器件位于同一平面,易于后道金属互连工艺的实现。主要缺点是额外的注入工艺使得复杂程度增加,增加了成本,

而且芯片面积也较前者有所增加。

2. RTD与HBT集成

与 HEMT 不同, 异质结双极晶体管 (Heterojunction Bipolar Transistor, HBT) 属于受电流调控的增强型器件。RTD 与 HBT 的集成, 相对普通 HBT 工艺, 增加了两步: 一是 RTD 台面的刻蚀。RTD 以外的区域先刻蚀到 InP 阻挡层, 然后刻蚀到 HBT 发射极帽层, 从这点开始, 进行 HBT 工艺, HBT 发射极金属同时作为 HBT 发射极接触和 RTD 顶部接触。发射极和 RTD 顶部接触被刻蚀, 沉积 HBT 基极金属, 基极金属同时接触 HBT 基极层和 RTD 底层。二是最后器件的平面化和互连。在 HBT 集成电路工艺中, 聚酰亚胺反刻工艺。第一次反刻止于 HBT 发射极金属暴露之前, 这时只暴露出 RTD 的顶部接触。第一次平面化刻蚀以后, RTD 台面由光刻胶掩蔽, 用 O_2/Ar 等离子体继续反刻, 直至暴露出 HBT 发射接触极接触。二次反刻以后, RTD 与 HBT 顶部接触被清除干净, 以便与第二层金属接触。

3. RTD与CMOS集成

CMOS 技术在半导体产业中一直占据着统治地位, 是目前的主流技术, 虽然特征尺寸的不断减小所带来的一些诸如金属互连、电流隧穿以及功耗问题将极大地阻碍集成电路向前发展, 但短时期内纳电子器件取代 CMOS 器件是不太可能的。因此, 作为目前纳电子器件中研究最为成熟、最接近实用化的 RTD, 与 CMOS 结合的电路将成为其可能的发展方向。

RTD 的特性与采用的材料体系有关。对于 III~V 族化合物而言, 由于具有较低的肖特基势垒, HEMT 不易制作成增强型器件。而对于 HBT 来说, 虽然为增强型, 但由于其具有很大的跨导, 不易调节控制降在 RTD 两段的电压, 而 RTD 与 CMOS 电路的集成可以在一定程度上克服上述两种器件集成的不足。目前有几种方法可用来实现纳米电子器件 RTD 与 CMOS 电路的集成^[13]: 一是分别在 III~V 族化合物 (GaAs 或 InP) 的衬底上制备 RTD, 在硅衬底上制备 CMOS 器件电路, 然后通过金属键合的方法将两者结合起来。这种方法更适用于中小规模电路的集成, 键合工艺引入的寄生参量会在一定程度上降低电路的性能。二是 RTD 采用 Si/SiGe 带间隧穿二极管, 已报道的最高峰谷电流比 (PVCR) 值达到 6.0。最近已实现 Si/SiGe RIRD 与 CMOS 的集成, 电路采用两个 RTD 管串联形成一个锁存器, 实现单-双稳态逻辑转换的功能。三是 RTD 采用 $SiO_2/Si/SiO_2$ 的结构, 它对材料生长提出的要求较高, 但与 CMOS 工艺完全兼容, 可以很容易地与 CMOS 电路相集成, 并且它的对称性结构可以有效地增加电路设计上的自由度。

采用 RTD 与 CMOS 逻辑电路结合, 这种新型电路不仅保持了 CMOS 电路的所有优点, 而且在工作速率、功耗、集成度以及电路噪声抑制性等方面都得到了不同程

度的增强和改善,是 RTD 集成技术一个非常重要的发展方向。

综上所述,RTD 与其他三端器件相结合是 RTD 构成集成电路的必要条件之一,为了充分发挥 RTD 的优势,RTD 与其他三端器件必须遵循以下原则:(1)选择速度最快、性能最好的 HEMT, HBT 或 CMOS 及其他三端器件与 RTD 结合,因为 RTD 是目前最快的器件之一,如果三端器件的速度和功能与它相差太远,则无法很好地发挥 RTD 速度快的优势;(2)在单片化方面考虑制作工艺和器件结构方面的兼容问题;(3)在电路设计方面,除考虑速度因素外,必须充分考虑器件其他参数间的匹配问题。

8.4.3 RTD 应用电路的发展展望

在第 3 章中,我们已经介绍过,RTD 的主要特点是高速、自锁、多峰特性和低功耗。在 RTD 构成的电路中,那些能够充分发挥这些特点的电路采用 RTD 后就比用常规器件时性能得到进一步的提高,如利用 RTD 的多峰特性实现多值逻辑电路不仅具有高频高速的特点,而且器件数量比使用常规器件大大减少,电路结构大大简化,有利于提高集成度。因此,在 RTD 构成的电路中,那些能够充分发挥 RTD 特点电路应该成为 RTD 电路重点发展的方向。RTD 的应用电路方面,除了应该遵循上述的原则外,以下两种电路应作为 RTD 应用电路的重点研究方向:

(1)基于 RTD 的可编程逻辑电路。RTD 具有传统器件不具备的特性,以 RTD 构成的逻辑电路同样具备传统逻辑电路所不具备的优势,第 3 章讲述的 MOBILE 即具有多逻辑功能的特点,在第 3 章已经介绍过,利用 MOBILE 可组成可变逻辑门,即通过改变其中控制电压的数值就可实现两种不同的逻辑门(NAND 和 NOR)^[16]。如果进一步扩展可变逻辑门的功能,它可以发展成为可编程逻辑门,如用 9 个器件构成的电路,通过不同的控制电压值的组合,可实现 6 种不同的逻辑功能。因此,RTD 构成的可变逻辑门有可能成为将来新型 FPGA 候选结构之一,应成为基于 RTD 的数字电路一个非常重要的发展方向。

(2)基于 RTD 的混沌电路。混沌现象的理论与实验是 20 世纪 70 年代末期以来非线性科学中研究的主要方向,它广泛地渗透到自然科学与社会科学之中。非线性电路可以模拟各种动力系统,而且电路通常比较容易精确控制和测量,因此非线性电路很自然地就成了模拟各种非线性动力系统和研究混沌有力的工具。在众多的非线性电路中,以负微分电阻为核心器件的电路是一个非常重要的组成部分,但传统实现负微分电阻一般都采用以运放为基础的电路实现,结构比较复杂。RTD 非常重要的一个特性是负微分电阻特性(Negative Differential Resistance, NDR),因此一个 RTD 就可实现负微分电阻,相对于传统器件实现负微分电阻的方法,基于 RTD 的负微分电阻在结构上得到大大的简化。目前,基于 RTD 的混沌电路仍处于初级阶段^[17, 18],因此,基于 RTD 的混沌电路的研究应该成为 RTD 应用电路一个非常重要的方向。

8.4.4 碳纳米管场效应管制备及特性中的问题

生长和布局工艺水平不高是目前碳纳米管晶体管器件构成大规模集成电路制造的主要障碍^[19]。另外,碳纳米管本身如具有噪声、接触电阻散射现象等不完善因素也限制了它的应用性能。本小节从6个方面来阐述碳纳米管晶体管本身存在的问题。

1. 碳纳米管的生长制备有两种基本方法。一是外延生长法(ex situ production),在高温条件下,对碳电极进行电弧放电或激光蒸发处理,整个过程是在高温熔炉中进行的。蒸发形成烟状的碳物质在适当的溶剂下溶解并沉淀,然后对沉淀物进行清洗以除去无规则结构的碳粒,得到的就是碳纳米管物质。不同结构的碳纳米管的物理电学性质差异很大,所以提高生长所得碳纳米管的纯度非常重要。外延生长法中,需要按照不同的直径、长度和导电类型对碳纳米管进行分类^[19]。然而,至今没有达到工业可以接受的纯度水平的外延生长法。二是内生生长法(in situ production),这种方法普遍采用催化剂。最初催化剂沉积成薄层,然后通过蒸发的方法形成颗粒状,碳纳米管在这些颗粒状的催化剂上生长,颗粒的大小决定了碳纳米管的直径,螺旋角等。因此该方法能生成预定直径和长度的碳纳米管,这种方法的缺点是产量不高^[19]。

2. 器件布局是大规模集成电路制造中的重要步骤之一。由于现代集成芯片中往往含有上百万门级器件,只有并行布局方法才是工业生产可以接受的^[19]。所以像原子力显微镜这样的串行处理方法在器件布局中是不能采用的,需要类似硅集成器件中广泛采用的光学刻蚀的并行方法。器件布局的另一个障碍是碳纳米管的直径太小(纳米级),是目前的平版印制技术不能达到的。

3. 噪声也为碳纳米管器件的应用带来了一定的困难。实验显示,当栅极电压过饱和时,输入引起的噪声增加,说明噪声主要是由载流子迁移率波动引起的^[20]。将碳纳米管器件分别放在空气和真空中,也得到不同的噪声功率谱(放置在空气中的器件噪声比真空中的大),说明还有一部分噪声是由空气中的分子运动造成的。

J. Appenzeller 认为噪声也与金属电极的材料和几何外形有关,且将多个碳纳米管器件并联使用可以减小噪声^[21]。实验证明金属电极的功函数越小,器件的噪声分量也越小。

4. 碳纳米管中的声子散射将严重限制沟道电流的大小,且散射的影响与沟道长度有关^[22]。在短沟道器件中,弹性散射对电流的影响很小,非弹性散射的影响相对较大。随着沟道的增长,弹性散射的作用显著增强。理论分析还表明,散射的形式在不同漏源电压下表现不同,漏源电压很低的情况下,声子散射占主要地位,在高漏源电压情况下,光子散射占主要地位。而且随着漏源电压的增大,载流子的平均自由程相应减小,减小到一定程度后,弹性散射会极大地限制电流的大小,并且其限制作用与 MOSFET 要大得多,这是由于碳纳米管中载流子传输的一维本质,而

MOSFET 传输过程是二维的缘故。

碳纳米管中的声子散射的平均自由程约为 300 nm, 光子散射的平均自由程约为 15 nm, 所以对于沟道长度小于 10 nm 的 CNTFET 器件, 可以认为载流子的运动是弹道式的^[23]。对于长度小于 10 nm 的 CNTFET 来说, 能承受最大的沟道电流大约为 70 μA 。

5. 对于肖特基势垒 CNTFET 来说, 接触电阻的存在限制了碳纳米管沟道电流的大小^[24]。且不同实验构造的 CNTFET 来说, 接触电阻的大小也不一样。一般来说, 接触电阻的大小与三种因素有关。一是金属电极材料, 金属的功函数越高, 相应空穴作为导电载流子的接触电阻越小, 电子作为导电载流子的接触电阻越大^[25]。二是碳纳米管掺杂浓度, 参考文献[26]对碳纳米管两端进行掺杂, 获得了接触电阻非常小的碳纳米管器件。三是碳纳米管本身的电子结构, 它与碳纳米管的结构指数等因素有关。

6. 肖特基势垒 CNTFET 具有双极导电特性, 即器件在足够正和足够负的栅压下都能导电, 负栅压下主要是空穴载流子参与导电, 正栅压下主要是电子载流子参与导电^[27]。双极导电特性使得器件的关断性能下降, 即关断状态下的漏电流 I_{off} 不够小, 增大了集成电路的静态功耗。这种特点在漏源电压很大时尤其明显。

参 考 文 献

- [1] Wasshuber C. Computational Single-Electronics. Springer Verlag; ISBN: 321183558X; 2001.5.
- [2] 陈学军, 蔡理. 背景电荷对单电子晶体管性能的影响及解决方法. 微电子学与计算机. 2004. 21 (10): 176-178.
- [3] 杜磊, 庄奕琪. 纳米电子学. 电子工业出版社, 2004, 529-530.
- [4] Behzad Razavi 著, 陈贵灿, 程军, 张瑞智等译. 模拟 CMOS 集成电路设计. 西安交通大学出版社, 2005, 175-177.
- [5] Mahapatra S, Vaish V, Wasshuber C, Banerjee K, and Ionescu A M. Analytical Modeling of Single Electron Transistor for Hybrid CMOS-SET Analog IC Design. IEEE Transactions on Electron Devices. 2004, 51(11):1772-1782.
- [6] Zhang K. Challenges and Opportunities in Nano-Scale VLSI Design. IEEE 2005:6-7.
- [7] Tahoori M B, Monenzadeh M, Huang J, et al. Defects and faults in quantum cellular automata at nano scale [A]. Proceedings of the 22nd IEEE VLSI Test Symposium. 2004.
- [8] Chomsik Lee, Mark H. Weichold. Effects of evanescent modes and subband mixing in resonant tunneling transistors. J. Appl. Phys, 81(12): 8064-8073.
- [9] Antonio Abramo, Paolo Casarini, and Carlo Jacoboni. Phase time for coherent transport in two-dimensional structurea. Apl. Phys. Lett, 69(5): 629-631.
- [10] Johnson. M and Grincwajg. A. Effect of inelastic scattering on resonant and sequential tunneling in

- double barrier heterostructures. Appl. Phys. Lett, 51, 1729, 1987.
- [11] Chevoir. F and Vintor. B. Calculation of phonon-assisted tunneling and valley current in a double-barrier diode. Appl. Phys. Lett, 55, 1859, 1989.
- [12] 马龙, 黄应龙, 余洪敏, 王良臣, 杨富华. 基于共振隧穿二极管的集成电路研究. 电子器件. 2006: 29(3), 627-634.
- [13] 马龙, 王良臣, 黄应龙, 杨富华. 基于 RTD 与 CMOS 的新型数字电路设计. 固体电子学研究 与进展. 2006: 26(3), 295-299.
- [14] 郭维廉, 牛萍绢, 苗长云. 共振隧穿器件及其集成技术发展趋势和最新进展. 微纳电子技术, 2005 年第 7 期.
- [15] 周世勋. 量子力学教程. 高等教育出版社, 1979, 174.
- [16] Maezawa K, Akeyoshi T, Mizutani T. Function and application of monostable-bistable transition logic elements having multiple-input terminals. IEEE Transon Electron Devices, 1994, 41(2): 148.
- [17] Maezawa. K, Kawano. Y, Ohno. Y, Kishimoto. S and Mizutani. T. Chaos Generator MMIC's Using Resonant Tunneling Diodes.
- [18] Quintana. J. M, and Avedillo. M.J. Nonlinear dynamics in frequency divider RTD circuits. Electronics Letters 2004, 40(10).
- [19] Hoenlein. W, Kreupl. F, Duesberg. G. S. Carbon nanotubes_can they become a microelectronics technology. American Institute of Physics, 2004.
- [20] Szu. H, Noaman. B. Carbon Nanotube Noise Characterization. Proc. Of SPIE Vol. 6247, 62470S, 2006.
- [21] Appenzeller. J. 1/f Noise in carbon nanotube devices-on the impact of contacts and device geometry. IEEE Trans on Nanotechnology, Vol. 6, NO. 3, MAY, 2007.
- [22] Guo. J. Role of phonon scattering in carbon nanotube field-effect transistors. Applied Physics Letter, 2005.
- [23] Ali. Javey. High-Field quasiballistic transport in short carbon nanotube. Phy. Rev. Let, vol 92, Mar, 2004.
- [24] Nakanishi. T. Transport through the interface between a semiconducting carbon nanotube and a metal electrode. Phy. Rev. Let, 2002.
- [25] Tessoft. J. Contact resistance of carbon nanotubes. App. Phy. Let, vol. 74, Apr, 1999.
- [26] Ali. Javey. Ballistic carbon nanotube transistor. Nature, 2003.
- [27] Heinze. S. Carbon nanotube as Schottky Barrier transistors. Phy. Rev. Let, Vol. 89, Sep, 2002.

参 数 符 号

a_{C-C}	碳碳键长	E_0	共振能级
$a_{i,\sigma}^+$	产生算符	E_g	能隙宽度
$a_{i,\sigma}^-$	湮灭算符	E_{nz}	分立能级
A	反馈模板	E_F^E	发射区的费米能级
B	控制模板	E_r	相对于阱底的量子化能级
C	电容, 隧道结电容, 隧穿电容	E_F^C	集电区的费米能级
C	收集区	E_F^W	势阱中共振态的费米能级
CB	收集势垒	E_{Cp}	第 p 个子带的导带底的能势
C_D	漏极隧道结电容	$E_{xp}^{(i)}$	基态隧穿透射率峰值对应的能量
C_S	源极隧道结电容	$\Delta E_{XP}^{(i)}$	基态隧穿透射率峰值对应的宽度
C_G	栅极电容	ΔE	能带宽度
C_0	岛-栅极之间的电容	f	频率
C_T, C_I	隧道结电容	F	电场强度, 自由能
C_Σ	库仑岛电容总和	G	栅极, 漏源间的电导, 转移电导
C_L	负载电容, 杂散电容	G_Q	电导量子(量子电导)
CG	MN-FET 的控制栅极	G_{DS}	漏源电导
C_H	控制电容	h	普朗克常数
C_m	连接电容	\hbar	约化普朗克常数($\hbar/2\pi$)
C_N	SETMOS 的寄生电容	$H(Z)$	转移函数
C_{ox}	单位面积的栅氧化层电容	I_{bias}	偏置电流
C_h	手性矢量	I_{DS}	漏源电流
d	CNT 直径	I_D	漏极电流
D	源极, 电压控制电流源	I_P	峰值电流
e	基本电荷量	I_V	RTD 的固值电流
E	能量	I_S	源极电流
E	发射区, 电压控制电压源	I_n	功率谱密度
EB	发射势垒	J	隧穿电流密度
E_F	费米能级	J_{ex}	过剩电流密度
E_C	系统静电能, 导带底部边缘的能量	J_{th}	热离子电流

J_{RT}	共振隧穿电流密度	T_{E}	发射势垒的透射率
\boldsymbol{k}	波矢量	T_{C}	收集势垒的透射率
k_{B}	玻尔兹曼常数	\boldsymbol{T}	CNT 的轴向矢量
k_{F}	费米波矢, 动量	u	表面势
k_{xy}	隧穿时 xy 方向的动量	Δu	充电能的变化
k_z	隧穿时 z 方向的动量	v	速度
K_{P}	跨导系数	V	电压
l_{e}	电子平均自由程	V_0	势垒高度
L_{φ}	相位相干长度	V_{cg}	MN-FET 的栅极电压
L	体系尺度, MOS 的沟道长度	V_{cg0}	MN-FET 的栅极电压初始值
L_{W}	势阱宽度	$V_{\text{TH}}, V_{\text{T}}$	阈值电压
L_{B}	势垒宽度	V_{G}	栅极电压
m^*	电子有效质量	V_{DS}	漏源电压
M	距离	V_{in}	输入电压
n	电子数, 电子密度	V_{out}	输出电压
N_{E}	发射区掺杂浓度	V_{island}	库仑岛电压
N_{e}	样品载流子总数	V_{DD}	偏置电压
N_{d}	施主杂质原子密度	V_{P}	RTD 的峰值电压
P	状态跃迁的概率, 散粒噪声最大值	V_{V}	RTD 的谷值电压
Q	电荷电量, 品质因数	V_{G}	SET 的栅极电压
Q_{CNT}	CNT 载流子密度	V_{GG}	MOS 的栅极电压
r	岛(库仑岛)半径	V_{GS}	SET 的栅源电压
R	电子波反射率, 电阻, 隧道结电阻	V_{H}	控制电压
R_{T}	隧道结电阻, 隧穿电阻	V_{j}	SET 的隧道结电压
R_{D}	漏极隧道结电阻	V_{md}	MOS 的漏极偏置电压
R_{S}	源极隧道结电阻	V_{MN}	MN-FET 的源极电压
R_{Q}	电阻量子(量子电阻)	V_{ofs}	补偿电压
R_{Σ}	隧道结电阻之和	V_{S}	串联补偿电压
R_{P1}	RTD 正电阻区的平均电阻	V_{II}	C-C 键的结合能
R_{P2}	RTD 负电阻区的平均电阻	W	MOS 的沟道宽度
S	源极	Γ	隧穿几率(概率), 谐振宽度
S	系统所处的状态, 谱密度	Γ_{S}	散射展宽
T	温度, 周期, 透射率	Γ^{+}	正向隧穿几率
t_{r}	开关时间	Γ^{-}	反向隧穿几率

Δ_1	第一个导带底部能势	μ_D	漏极的费米能级
Δ_p	第 p 个导带底部能势	θ	螺旋角
ε	介电常数	ρ	电荷密度
ε_0	真空介电常数	σ	电导率, 电荷面密度
ε_r	相对介电常数	σ_{2D}	二维电子气态面密度
φ	相移	τ	电子隧穿势垒时间, 电子寿命
λ	电子波长	τ_s	相位破坏时间
λ_F	费米电子波长	ω_C	截止频率
μ	化学势	ω_p	极点频率, 中心频率
μ_S	源极的费米能级		

缩 略 语

Carbon Nanotube, CNT	碳纳米管
Carbon Nanotube Field Effect Transistor, CNTFET	碳纳米管场效应管
Double Barrier Quanta Well, DBQW	双势垒量子阱
Negative Differential Resistance, NDR	负微分电阻
Peak-to-Valley Current Ratio, PVCR	峰谷电流比
Peak-to-Valley Voltage Ratio, PVVR	峰谷电压比
Quantum Cellular Automata, QCA	量子细胞自动机
Quantum Cellular Neural Network, QCNN	量子细胞神经网络
Resonant Tunneling, RT	共振隧穿
Resonant Tunneling Device, RTD	共振隧穿器件
Resonant Tunneling Diode, RTD	共振隧穿二极管
Single-Electron Transistor, SET	单电子晶体管
Silicon on insulator, SOI	绝缘硅
<i>I-V</i> characteristic	电流-电压特性